

PIC18FXX2

Однокристальные 8-разрядные FLASH CMOS
микроконтроллеры с 10 – разрядным АЦП
компании Microchip Technology Incorporated

- PIC18F242
- PIC18F252
- PIC18F442
- PIC18F452

Часть 3

(Flash память программ, EEPROM память данных)

Перевод основывается на технической документации DS39564A
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»
Москва - 2003

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения
ООО «Микро-Чип»
тел. (095) 737-7545
www.microchip.ru

PIC18FXX2 Data Sheet

High Performance, Enhanced FLASH Microcontrollers with 10-Bit A/D

Trademarks: The Microchip name, logo, PIC, PICmicro, PICMASTER, PIC-START, PRO MATE, KEELOQ, SEEVAL, MPLAB and The Embedded Control Solutions Company are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

Total Endurance, ICSP, In-Circuit Serial Programming, Filter-Lab, MXDEV, microID, *FlexROM*, *fuzzyLAB*, MPASM, MPLINK, MPLIB, PICDEM, ICEPIC, Migratable Memory, FanSense, ECONOMONITOR and SelectMode are trademarks of Microchip Technology Incorporated in the U.S.A.

Serialized Quick Term Programming (SQTP) is a service mark of Microchip Technology Incorporated in the U.S.A.

All other trademarks mentioned herein are property of their respective companies.

28/40-выводные высокоскоростные FLASH микроконтроллеры с 10-разрядным АЦП

Высокоскоростной RISC микроконтроллер:

- Оптимизированная архитектура и система команд для написания программ на языке C
- Система команд совместима с командами семейств PIC16C, PIC17C и PIC18C
- Линейное адресное пространство памяти программ 32кбайта
- Линейное адресное пространство памяти данных 1.5кбайт

Устройство	Память программ		Память данных (байт)	EEPROM память данных (байт)
	Flash (байт)	Команд		
PIC18F242	16к	8192	768	256
PIC18F252	32к	16384	1536	256
PIC18F442	16к	8192	768	256
PIC18F452	32к	16384	1536	256

- Быстродействие до 10MIPS:
 - Тактовая частота от DC до 4МГц
 - Тактовая частота в режиме PLL от 4МГц до 10МГц
- 16-разрядные команды, 8-разрядные данные
- Система приоритетов прерываний
- Аппаратное умножение 8x8 за один машинный цикл

Характеристика периферийных модулей:

- Высокая нагрузочная способность портов ввода/вывода
- Три входа внешних прерываний
- Модуль TMR0: 8/16-разрядный таймер/счетчик с программируемым 8-разрядным предделителем
- Модуль TMR1: 16-разрядный таймер/счетчик
- Модуль TMR2: 8-разрядный таймер/счетчик с 8-разрядным регистром периода (основной для ШИМ)
- Модуль TMR3: 16-разрядный таймер/счетчик
- Вторичный генератор тактового сигнала на основе TMR1/TMR3
- Два модуля CCP
 - Выводы модуля CCP могут работать как:
 - 16-разрядный захват, максимальная разрешающая способность 6.25нс (ТСУ/16)
 - 16-разрядное сравнение, максимальная разрешающая способность 100нс (ТСУ)
 - ШИМ, разрядность от 1 до 10 бит, Максимальная частота ШИМ 156кГц@8 бит; 39кГц@10 бит

Характеристика периферийных модулей (продолжение):

- Модуль ведущего последовательного синхронного порта (MSSP)
 - 3-х проводной интерфейс SPITM (поддерживает 4 режима)
 - I2CTM (ведущий и ведомый режим)
- Адресуемый модуль USART, поддержка интерфейса RS-485 и RS-232
- Модуль PSP, ведомый параллельный порт

Аналоговые периферийные модули:

- Модуль 10-разрядного АЦП:
 - Высокая скорость преобразования
 - Работа модуля АЦП в SLEEP режиме микроконтроллера
 - $DNL = \pm 1Lsb$, $INL = \pm 1Lsb$
- Программируемый детектор пониженного напряжения (PLVD)
 - При обнаружении снижения напряжения возможна генерация прерываний
- Программируемый сброс по снижению напряжения питания

Особенности микроконтроллеров

- 100 000 гарантированных циклов стирание/запись памяти программ
- 1 000 000 гарантированных циклов стирание/запись EEPROM памяти данных
- Возможность самопрограммирования
- Сброс по включению питания (POR), таймер включения питания (PWRT), таймер запуска генератора (OST)
- Сторожевой таймер WDT с отдельным RC генератором
- Программируемая защита кода программы
- Режим пониженного энергопотребления и режим SLEEP
- Выбор режима работы тактового генератора, включая:
 - 4 x PLL (от основного генератора)
 - Вторичный генератор (32кГц)
- Внутрисхемное программирование по двухпроводной линии (ICSP) с одним напряжением питания 5В
- Внутрисхемная отладка по двухпроводной линии (ICD)

КМОП технология

- Высокоскоростная энергосберегающая КМОП технология
- Полностью статическая архитектура
- Широкий диапазон напряжений питания (от 2.0В до 5.5В)
- Промышленный и расширенный температурные диапазоны

Содержание

5. Flash память программ.....	3
5.1 Табличное чтение и табличная запись.....	3
5.2 Управляющие регистры	4
5.2.1 Регистры <i>EECON1</i> и <i>EECON2</i>	4
5.2.2 Регистр <i>TABLAT</i>	6
5.2.3 Указатель таблицы, регистр <i>TBLPTR</i>	6
5.2.4 Границы указателя таблицы.....	6
5.3 Чтение Flash памяти программ	7
5.4 Стирание Flash памяти программ	8
5.4.1 Последовательность действий для стирания Flash памяти программ.....	8
5.5 Запись во Flash память программ.....	9
5.5.1 Последовательность записи во Flash память программ.....	9
5.5.2 Проверка записи.....	11
5.5.3 Выносливость ячеек памяти программ.....	11
5.5.4 Неожиданное завершение операции записи.....	11
5.5.5 Защита от случайной записи	11
5.6 Операции с Flash памятью программ при включенной защите кода.....	11
6. EEPROM память данных	12
6.1 Регистр <i>EEADR</i>	12
6.2 Регистры <i>EECON1</i> , <i>EECON2</i>	12
6.3 Чтение из EEPROM памяти данных.....	14
6.4 Запись в EEPROM память данных.....	14
6.5 Проверка записи	15
6.5.1 Выносливость ячеек EEPROM памяти данных	15
6.6 Защита от случайной записи	15
6.7 Операции с EEPROM памятью при включенной защите кода программы	15

5. Flash память программ

Flash память программ доступна для записи, чтения и стирания во время нормальной работы микроконтроллера во всем диапазоне допустимого напряжения питания V_{DD} .

За одну операцию из памяти программ можно прочитать один байт данных. Операция записи выполняется по блочно, 8 байт в одном блоке. Стирание памяти программ выполняется блоками по 64 байта. Операция стирания всей памяти одной командой не может быть сформирована программой пользователя.

При выполнении записи и стирания памяти программ выполнение текущей программы приостанавливается, пока не закончится цикл записи/стирания. К памяти программ нельзя обращаться во время записи/стирания, поэтому выполнение программы приостанавливается. Операция записи/стирания выполняется от отдельного таймера.

Значения, сохраняемые в памяти программ, не обязательно должны иметь силу команды (может быть сохранена таблица данных). Если при выполнении программы встречается некорректный код команды, то эта команда будет выполнена как NOP.

5.1 Табличное чтение и табличная запись

Для передачи данных между памятью данных и памятью программ предусмотрено две операции:

- Табличное чтение (TBLRD)
- Табличная запись (TBLWT)

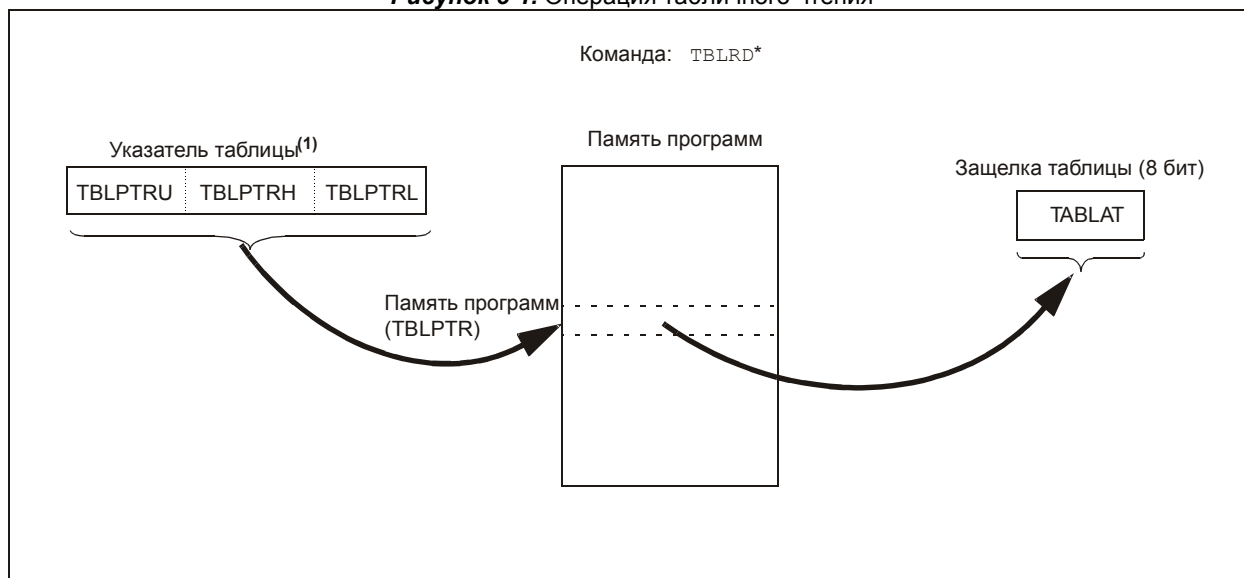
Память программ имеет 16-разрядную шину, в то время как память данных имеет 8-разрядную шину. Передача данных между памятью программ и памятью данных выполняется через 8-разрядный регистр TABLAT.

При табличном чтении данные выбираются из памяти программ и помещаются в память данных. На рисунке 5-1 показана операция табличного чтения из памяти программ.

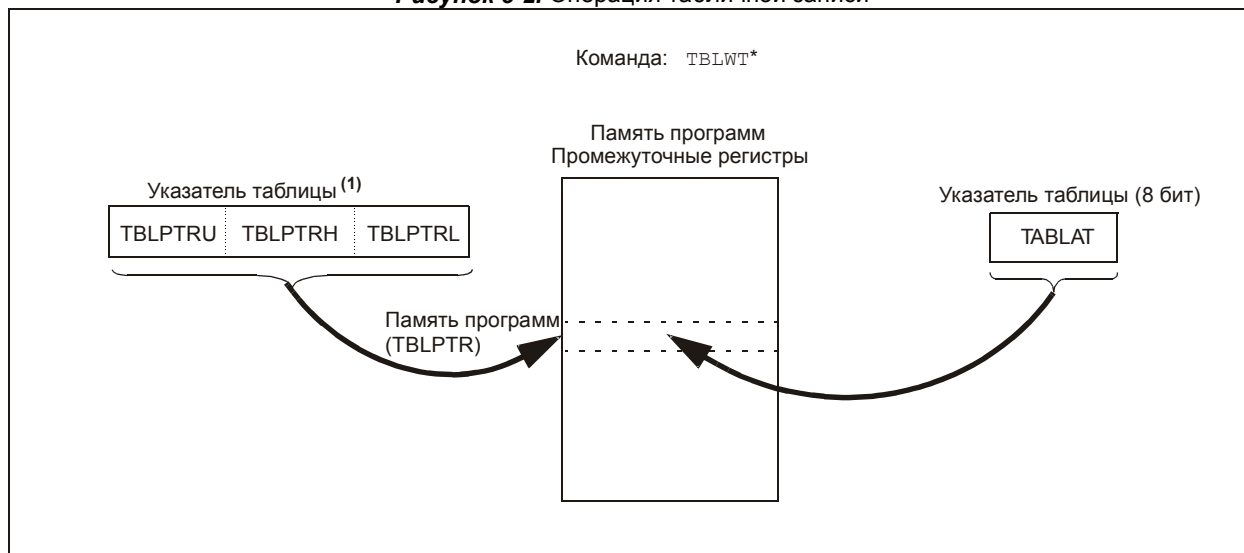
При табличной записи информация из памяти данных переписывается в область памяти программ. Подробное описание операции записи смотрите в разделе 5.5. Операция записи информации из памяти данных в память программ показана на рисунке 5-2.

Табличное чтение и запись оперирует с байтами. Блоки таблиц чаще всего содержат данные, нежели коды команд, поэтому выравнивание слов не требуется. Блок таблицы может начинаться и заканчиваться в любом месте адресного пространства памяти программ. Если выполняется запись кодов программы, то необходимо делать выравнивание по границе слов команд.

Рисунок 5-1. Операция табличного чтения



Примечание 1. Указатель адресует ячейку в памяти программ.

Рисунок 5-2. Операция табличной записи

Примечание 1. Указатель таблицы фактически адресует одну из восьми ячеек в памяти программ, точный адрес которой определяется битами TBLPTRL<2:0>. Подробное описание процедуры записи данных во flash память программ смотрите в разделе 5.5.

5.2 Управляющие регистры

Совместно с командами TBLRD и TBLWT используется несколько регистров управления:

- EECON1
- EECON2
- TABLAT
- TBLPTR

5.2.1 Регистры EECON1 и EECON2

EECON1 – регистр управления для доступа к памяти.

EECON2 – не физический регистр. Чтение EECON2 будет давать результат 00h. Регистр EECON2 используется только с операциями записи и стирания (выполнение обязательной последовательности).

Выбор, к какому типу памяти выполняется обращение (к EEPROM памяти данных или Flash памяти программ), осуществляется битом EEPGD. Если EEPGD =1, то происходит обращение к памяти программ.

Управляющий бит CFGS определяет - будет происходить обращение к регистрам конфигурации/калибровки или к памяти программ/EEPROM памяти данных. Если CFGS =1, то все последующие операции будут относиться к регистрам конфигурации/калибровки независимо от состояния бита EEPGD (смотрите раздел 19). Когда бит CFGS=0, тип памяти, к которой выполняется обращение, определяется битом EEPGD.

Если бит FREE установлен в '1', то выполняется операция стирания памяти программ при инициализации записи (бит WR). При сброшенном в '0' бите FREE разрешена только запись.

Запись в память допускается только при установленном в '1' бите WREN. При сбросе POR бит WREN=0. Бит WRERR устанавливается в '1', когда операция записи прервана сбросом микроконтроллера -MCLR или переполнением WDT в нормальном режиме работы. В этом случае пользователь может проверить состояние бита WRERR и повторить запись (необходимо повторно загрузить данные в регистры EEDATA и EEADR).

С помощью битов RD и WR инициируется соответственно операция чтения и записи. Эти биты не могут быть сброшены программно, они сбрасываются аппаратно по завершению операции чтения или записи. Запрет сброса бита WR программным способом предотвращает случайное (преждевременное) завершение операции записи. Бит RD не может быть установлен в '1' при обращении к памяти программ (EEPGD=1).

Примечание. Флаг прерывания EEIF в регистре PIR2 устанавливается в '1' по завершении операции записи. Этот бит должен быть сброшен в '0' программно.

Регистр 5-1. Регистр EECON1

R/W - x	R/W - x	U - 0	R/W - 0	R/W - x	R/W - 0	R/S - 0	R/S - 0
EEPGD	CFGS	-	FREE	WRERR	WREN	WR	RD
Бит 7						Бит 0	

Бит 7 **EEPGD:** Обращение к Flash памяти программ или EEPROM памяти данных
 1 = обращение к Flash памяти программ
 0 = обращение к EEPROM памяти данных

Бит 6 **CFGS:** Обращение к Flash памяти программ/EEPROM памяти данных или к регистрам конфигурации
 1 = обращение к регистрам конфигурации
 0 = обращение к Flash памяти программ/EEPROM памяти данных

Бит 5 **Не используется:** Читается как '0'

Бит 4 **FREE:** Разрешение стирания Flash памяти программ
 1 = стереть блок в памяти программ начиная с адреса TBLPTR при следующей команде WR (сбрасывается аппаратно при завершении операции стирания)
 0 = только запись данных

Бит 3 **WRERR:** Флаг ошибки записи в память
 1 = запись прервана (произошел один из сбросов во время выполнения записи)
 0 = запись завершена

Примечание. При установке бита WRERR биты EEGD, CFGS не сбрасываются, что позволяет определить условие ошибки.

Бит 2 **WREN:** Разрешение записи в память
 1 = запись разрешена
 0 = запись запрещена

Бит 1 **WR:** Управляющий бит записи
 1 = инициализация цикла стирание/запись в EEPROM память данных. Для памяти программ инициализация цикла записи или стирания (Бит сбрасывается аппаратно по завершении операции стирания/записи, программно он может быть только установлен в '1')
 0 = цикл стирание/запись завершен

Бит 0 **RD:** Управляющий бит чтения
 1 = инициализация чтения EEPROM памяти данных (Чтение выполняется за один цикл. Бит RD сбрасывается аппаратно, программно он может быть только установлен в '1'. RD не устанавливается в '1', если EEGD=1)
 0 = чтение EEPROM памяти данных не инициализировалось

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

5.2.2 Регистр TABLAT

8-разрядный регистр TABLAT отображается на память данных в области регистров специального назначения. Этот регистр используется для передачи байта (8 бит) данных между памятью программ и памятью данных.

5.2.3 Указатель таблицы, регистр TBLPTR

С помощью указателя таблицы адресуется байт в области памяти программ. TBLPTR состоит из трех регистров специального назначения: верхний байт TBLPTRU; старший байт TBLPTRH; младший байт TBLPTRL. Эти регистры объединены для формирования 22-разрядного указателя в памяти программ. Младшие биты (21 бит) используются для адресации памяти программ (область до 2Мбайт). 22-й бит позволяет обращаться к ID микроконтроллера; ID пользователя и битам конфигурации.

Указатель таблицы TBLPTR используется командами TBLRD и TBLWT. Команды табличного чтения/записи способны изменять значение указателя TBLPTR одним из четырех способов (смотрите таблицу 5-1), они не распространяют свое действие на 22-й бит указателя.

5.2.4 Границы указателя таблицы

TBLPTR используется в операциях чтения, записи и стирания Flash памяти программ.

При выполнении команды TBLRD в адресации байта в памяти программ участвуют все 22 бита указателя. Байт с указанным адресом помещается в регистр TABLAT.

При выполнении команды TBLWT три младших бита указателя (TBLPTR<2:0>) определяют, какой из восьми байтов блока памяти программ записывается. Когда инициализируется запись в память программ (длинная запись) 19 старших битов (TBLPTR<21:3>) определяют, в какой блок памяти данных выполняется запись. Дополнительную информацию по записи данных во Flash память программ смотрите в разделе 5.5.

При выполнении стирания памяти программ используются 16 старших битов указателя (TBLPTR<21:6>) 64 байтного блока, а младшие биты (TBLPTR<5:0>) игнорируются.

На рисунке 5-3 отображены границы указателя TBLPTR при выполнении операций с Flash памятью программ.

Таблица 5-1. Изменение указателя таблицы командами TBLRD и TBLWT

Пример	Операция с указателем таблицы
TBLRD* TBLWT*	TBLPTR не изменяется
TBLRD** TBLWT**	TBLPTR инкрементируется после чтения/записи
TBLRD*- TBLWT*-	TBLPTR декрементируется после чтения/записи
TBLRD+* TBLWT+*	TBLPTR инкрементируется перед чтением/записью

Рисунок 5-3. Границы указателя таблиц при различных операциях с памятью программ



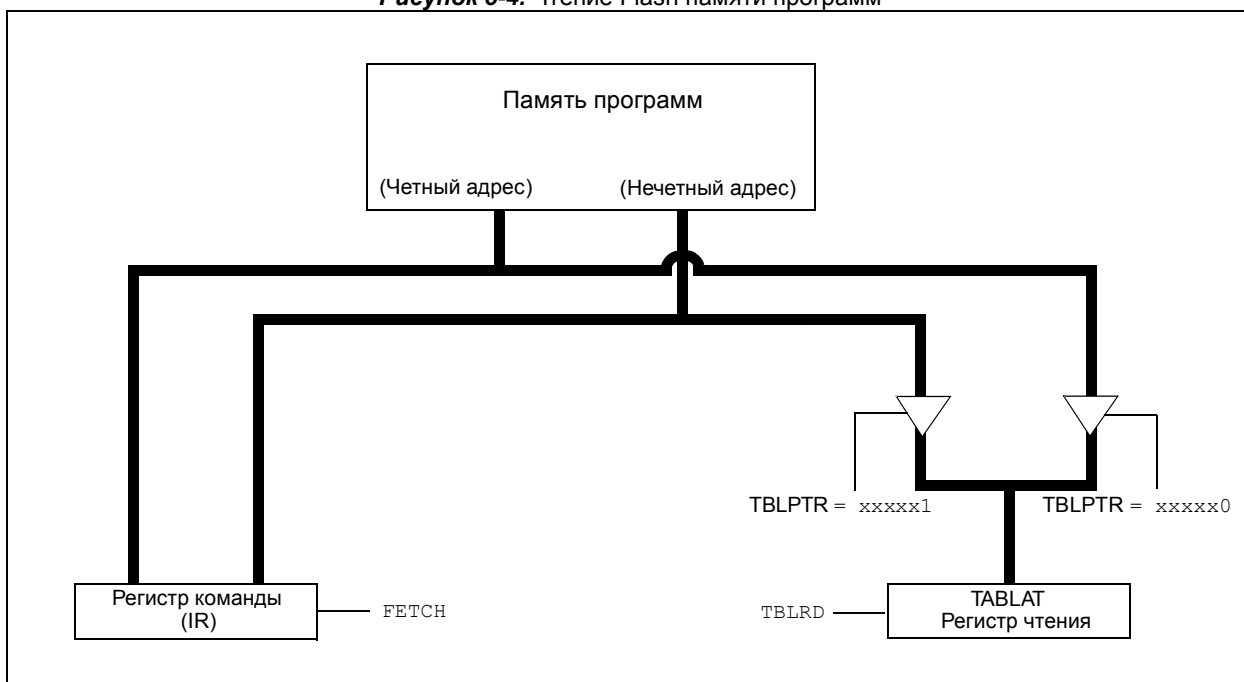
5.3 Чтение Flash памяти программ

Команда TBLRD используется для передачи байта из памяти программ в память данных. За одну операцию передается один байт данных.

В регистре TBLPTR содержится адрес ячейки в памяти программ. По команде TBLRD значение ячейки памяти программ передается в регистр TABLAT. Значение указателя TBLPTR может быть автоматически изменено для чтения следующего байта таблицы.

Внутренняя память программ имеет организацию хранения данных в виде слов. Младший бит адреса указывает, какую часть слова переписывать в регистр TABLAT (младшую или старшую). На рисунке 5-4 изображена связь памяти программ и регистра TABLAT.

Рисунок 5-4. Чтение Flash памяти программ



Пример 5-1. Чтение слова из Flash памяти программ

```

MOVLW    CODE_ADDR_UPPER    ; Загрузка в TBLPTR
MOVWF    TBLPTRU            ; адреса слова
MOVLW    CODE_ADDR_HIGH
MOVWF    TBLPTRH
MOVLW    CODE_ADDR_LOW
MOVWF    TBLPTRL

READ_WORD
TBLRD*+    ; Чтение TABLAT
MOVWF    TABLAT            ; и инкремент указателя
MOVWF    WORD_EVEN
TBLRD*+    ; Чтение TABLAT
MOVWF    TABLAT            ; и инкремент указателя
MOVWF    WORD_ODD

```

5.4 Стирание Flash памяти программ

Минимальный блок стираемой Flash памяти программ – 32 слова или 64 байта. Только с помощью внешнего программатора или через интерфейс ICSP можно стирать боки большего объема. Стирание слова во Flash памяти программ не поддерживается.

При выполнении операции стирания командами микроконтроллера стирается блок Flash памяти программ в 64 байта. 16 старших битов указателя TBLPTR<21:6> используются для адресации блока, а младшие биты TBLPTR<5:0> игнорируются.

В регистре EECON1: бит EEPGD должен быть установлен в '1' для выбора Flash памяти программ; бит WREN должен быть установлен в '1' для разрешения операции записи; бит FREE должен быть установлен в '1' для разрешения стирания блока Flash памяти программ.

Для защиты от случайного стирания необходимо выполнить обязательную последовательность действий с регистром EECON2.

Инициализация длинной записи необходима для стирания блока Flash памяти программ. Выполнение программы во время цикла стирания приостановлено. Завершение цикла стирания блока Flash памяти программ определяется внутренним таймером.

5.4.1 Последовательность действий для стирания Flash памяти программ

Рекомендованная последовательность действий для стирания блока Flash памяти программ:

1. Загрузить в указатель адрес стираемого блока
2. Установить бит EEPGD для выбора Flash памяти программ; установить бит WREN для разрешения записи; установить бит FREE для разрешения стирания
3. Выключить прерывания
4. Записать 55h в регистр EECON2
5. Записать AAh в регистр EECON2
6. Установить бит WR для инициализации цикла стирания
7. CPU остановит выполнение программы до завершения цикла стирания (ориентировочно 2мс)
8. Выполнить команду NOP
9. Разрешить прерывания

Пример 5-2. Стирание блока Flash памяти программ

```

MOV LW CODE_ADDR_UPPER           ; загрузить в TBLPTR
MOV WF TBLPTRU                   ; адрес стираемого блока
MOV LW CODE_ADDR_HIGH
MOV WF TBLPTRH
MOV LW CODE_ADDR_LOW
MOV WF TBLPTRL
ERASE_ROW
BSF EECON1,EEPGD                 ; выбрать Flash память программ
BSF EECON1,WREN                 ; разрешить запись в память
BSF EECON1,FREE                 ; разрешить операцию стирания
BCF INTCON,GIE                  ; запретить прерывания
MOV LW 55h                       ; Обязательная последовательность
MOV WF EECON2                   ; запись 55H
MOV LW AAh                       ; запись AAH
MOV WF EECON2,WR                 ; старт стирания (CPU остановлен)
NOP
BSF INTCON,GIE                   ; re-enable interrupts

```

5.5 Запись во Flash память программ

Минимальный программируемый блок – 4 слова или 8 байт. Программирование отдельного слова или байта не поддерживается.

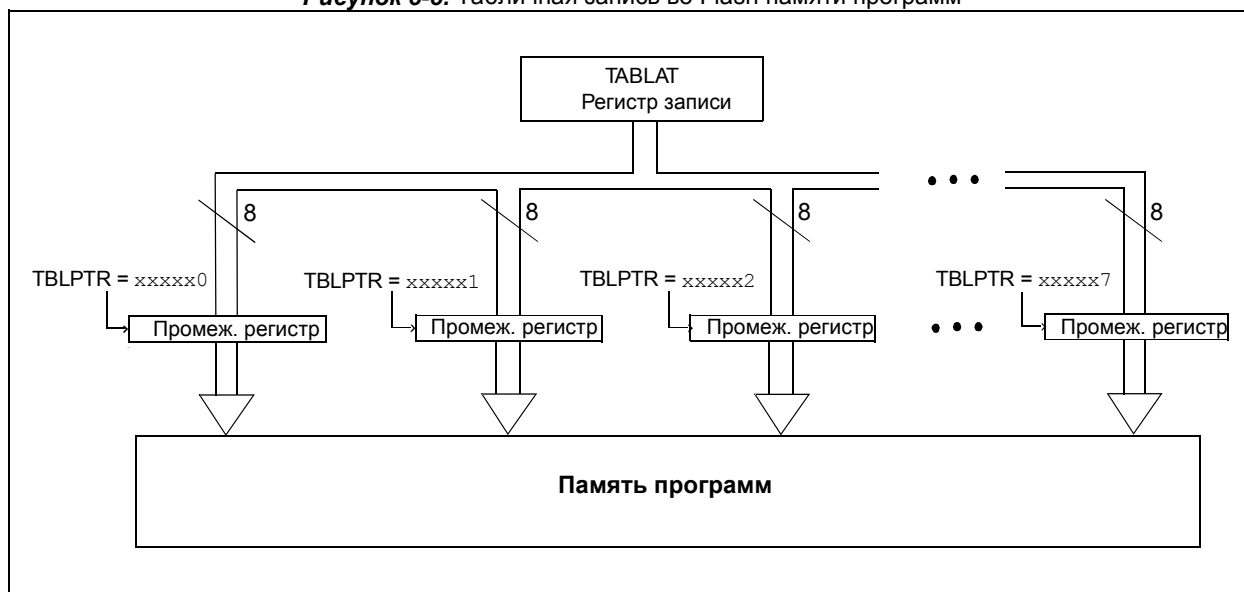
В табличной записи используется 8 промежуточных регистров, в которых хранятся подготовленные данные для записи во Flash Память программ.

Регистр TABLAT может сохранить только один байт, поэтому команда TBLWT должна быть выполнена 8 раз для каждого записываемого байта в отдельности. Все команды TBLWT будут выполнены быстро, поскольку данные передаются в промежуточные регистры. После записи 8-го байта регистр EECON1 должен быть настроен для выполнения длинной записи.

Длинная запись необходима для программирования блока во Flash память программ. Во время записи выполнение команд приостановлено, пока не завершится цикл записи. Завершение цикла записи блока Flash памяти программ определяется внутренним таймером.

Интегрированный таймер записи в EEPROM память данных управляет циклом записи во Flash память программ. Напряжения, необходимые для циклов стирания/записи, генерируются внутренним источником, чтобы нормально выполнять операции во всем диапазоне допустимых напряжений питания V_{DD} .

Рисунок 5-5. Табличная запись во Flash памяти программ



5.5.1 Последовательность записи во Flash память программ

Рекомендованная последовательность действий для записи блока Flash памяти программ:

1. Прочитать 64 байта блока в память данных
2. Обновить необходимые регистры с информацией из памяти программ
3. Загрузить в указатель адрес стираемого блока Flash памяти программ
4. Выполнить процедуру стирания
5. Загрузить в указатель адрес первого байта
6. Записать первые 8 байт с автоинкрементом указателя в промежуточные регистры
7. Установить бит EEPGD для выбора Flash памяти программ; установить бит WREN для разрешения записи
8. Выключить прерывания
9. Записать 55h в регистр EECON2
10. Записать AAh в регистр EECON2
11. Установить бит WR для инициализации цикла записи блока
12. CPU остановит выполнение программы до завершения цикла записи (ориентировочно 2мс)
13. Выполнить команду NOP
14. Разрешить прерывания
15. Повторить шаги 6-14 семь раз для записи 64 байт
16. Выполнить контрольное чтение

Процедура записи будет занимать ориентировочно 18мс, т.к. необходимо записать 64 байта. Исходный текст программы записи во Flash память программ показан в примере 5-3.

Пример 5-3. Запись блока во Flash память программ

```

        MOVLW    D'64                ; число байт в стираемом блоке
        MOVWF   COUNTER
        MOVLW   BUFFER_ADDR_HIGH    ; указатель буфера
        MOVWF   FSR0H
        MOVLW   BUFFER_ADDR_LOW
        MOVWF   FSR0L
        MOVLW   CODE_ADDR_UPPER     ; загрузка в TBLPTR адреса
        MOVWF   TBLPTRU
        MOVLW   CODE_ADDR_HIGH
        MOVWF   TBLPTRH
        MOVLW   CODE_ADDR_LOW
        MOVWF   TBLPTRL

READ_BLOCK
        TBLRD*+                      ; чтение TABLAT
        MOVFW   TABLAT               ; и инкремент указателя
        MOVWF   POSTINC0            ; сохранение данных
        DECFSZ  COUNTER              ; завершено?
        GOTO    READ_BLOCK          ; повтор

MODIFY_WORD
        MOVLW   DATA_ADDR_HIGH     ; указатель буфера
        MOVWF   FSR0H
        MOVLW   DATA_ADDR_LOW
        MOVWF   FSR0L
        MOVLW   NEW_DATA_LOW        ; обновление слова в буфере
        MOVWF   POSTINC0
        MOVLW   NEW_DATA_HIGH
        MOVWF   INDF0

ERASE_BLOCK
        MOVLW   CODE_ADDR_UPPER     ; загрузка в TBLPTR адреса
        MOVWF   TBLPTRU
        MOVLW   CODE_ADDR_HIGH
        MOVWF   TBLPTRH
        MOVLW   CODE_ADDR_LOW
        MOVWF   TBLPTRL
        BSF    EECON1,EEPGD         ; выбрать Flash память программ
        BSF    EECON1,WREN          ; разрешить запись в память
        BSF    EECON1,FREE          ; разрешить операцию стирания
        BCF    INTCON,GIE           ; запретить прерывания
        MOVLW   55h
        MOVWF   EECON2              ; запись 55H
        MOVLW   AAh
        MOVWF   EECON2              ; запись AAH
        BSF    EECON1,WR            ; старт стирания (CPU остановлен)
        NOP
        BSF    INTCON,GIE           ; разрешить прерывания
        TBLRD*-                      ; пустое чтение с декрементом
WRITE_BUFFER_BACK
        MOVLW   8                    ; количество записей по 8 байт
        MOVWF   COUNTER_HI
        MOVLW   BUFFER_ADDR_HIGH    ; указатель буфера
        MOVWF   FSR0H
        MOVLW   BUFFER_ADDR_LOW
        MOVWF   FSR0L

PROGRAM_LOOP
        MOVLW   8                    ; число записываемых байт в промежуточные
        ; регистры
        MOVWF   COUNTER
        WRITE_  WORD_TO_HREGS
        MOVFW   POSTINC0            ; байт из буфера
        MOVWF   TABLAT              ; поместить в защелку таблицы
        TBLWT*+                      ; короткая запись данных во
        ; внутренние промежуточные регистры.
        DECFSZ  COUNTER              ; буфер из промежуточных регистров полон
        GOTO    WRITE_WORD_TO_HREGS

```

Пример 5-3. Запись блока во Flash память программ (продолжение)

```

PROGRAM_MEMORY
    BSF     EECON1,EEPGD           ; выбрать Flash память программ
    BSF     EECON1,WREN           ; разрешить запись в память
    BCF     INTCON,GIE            ; запретить прерывания
    MOVLW   55h
    MOVWF   EECON2                ; запись 55h
    MOVLW   AAh
    MOVWF   EECON2                ; запись AAh
    BSF     EECON1,WR             ; старт программирования (CPU остановлен)
    NOP
    BSF     INTCON,GIE            ; разрешить прерывания
    DECFSZ  COUNTER_HI            ; цикл завершен
    GOTO    PROGRAM_LOOP
    BCF     EECON1,WREN           ; запретить запись в память

```

5.5.2 Проверка записи

Хорошим тоном программирования считается проверка записанных данных. Особенно проверка записанных данных должна выполняться в приложениях, в которых допускается исчерпание гарантированного числа циклов стирание/запись.

5.5.3 Выносливость ячеек памяти программ

Приложения, в которых допускается превышение 10% использования гарантированного числа циклов стирание/запись (параметры D120, D120A), число обновлений для каждой ячейки должно быть не более 1/10 указанных значений. Дополнительную информацию смотрите в документе AN790 (DS00790).

5.5.4 Неожиданное завершение операции записи

При неожиданном завершении операции записи (выключение питания, сброс микроконтроллера), программируемая область должна быть проверена и при необходимости перепрограммирована. Бит WRERR устанавливается в '1', если произошел сброс -MCLR или переполнение WDT в нормальном режиме при выполнении цикла записи. В этом случае пользователь может проверить состояние бита WRERR и повторить запись.

5.5.5 Защита от случайной записи

Для защиты от случайной записи во Flash память программ предусмотрена обязательная последовательность действий. Дополнительную информацию смотрите в разделе 19.

5.6 Операции с Flash памятью программ при включенной защите кода

Детальное описание защиты кода программы смотрите в разделе 19.

Таблица 5-2. Регистры и биты, связанные с Flash памятью программ

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR	
FF8h	TBLPTRU	-	-	Бит 21 ⁽²⁾	Указ. табл. памяти progr. верхний байт (TBLPTR<20:16>)					--00 0000	
FF7h	TBLPTRH	Указатель таблицы памяти программ старший байт (TBLPTR<15:8>)								0000 0000	
FF6h	TBLPTRL	Указатель таблицы памяти программ младший байт (TBLPTR<7:0>)								0000 0000	
FF5h	TABLAT	Защелка таблицы памяти программ								0000 0000	
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x	
FA7h	EECON2	Управляющий регистр 2 EEPROM памяти (нефизический регистр)									---- ----
FA6h	EECON1	EEPGD	CFGFS	-	FREE	WRERR	WREN	WR	RD	xx-0 x000	
FA2h	IPR2	-	-	-	EEIP	BCLIP	LVDIP	TMR3IP	CCP2IP	---1 1111	
FA1h	PIR2	-	-	-	EEIF	BCLIF	LVDIF	TMR3IF	CCP2IF	---0 0000	
FA0h	PIE2	-	-	-	EEIE	BCLIE	LVDIE	TMR3IE	CCP2IE	---0 0000	

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

6. EEPROM память данных

EEPROM память данных доступна для записи/чтения в нормальном режиме работы микроконтроллера во всем диапазоне рабочего напряжения питания V_{DD} . EEPROM память данных не отображается на адресное пространство памяти данных, а доступна через регистры специального назначения.

Для косвенного доступа к EEPROM памяти данных используются 4 регистра специального назначения:

- EECON1
- EECON2
- EEDATA
- EEADR

Чтение и запись EEPROM памяти выполняется по байтно. В регистре EEDATA сохраняются 8-разрядные данные записи/чтения, а регистр EEADR содержит адрес ячейки EEPROM памяти данных. С помощью 8 - разрядного регистра EEADR можно адресовать 256 байт EEPROM памяти данных (диапазон адресов 00h-FFh).

EEPROM память позволяет выполнить циклы чтения и записи байта данных. При записи байта происходит автоматическое стирание ячейки и запись новых данных (стирание перед записью). Время записи управляется интегрированным таймером и зависит от напряжения питания, температуры и технологического разброса параметров кристалла (смотрите параметр D122 в разделе 22).

6.1 Регистр EEADR

Регистр адреса ячейки в EEPROM памяти данных, с помощью которого можно адресовать 256 байт (максимум).

6.2 Регистры EECON1, EECON2

Регистр EECON1 содержит биты управления EEPROM памяти данных.

Регистр EECON2 не реализован физически, читается как 00h. Он используется в операциях записи в EEPROM память данных для реализации обязательной последовательности команд.

Управляющие биты RD и WR инициализируют соответственно чтение и запись данных. Программно эти биты могут быть только установленные в '1', сброс в '0' происходит аппаратно по завершению операции чтения/записи. Защита от программного сброса бита WR позволяет предотвратить преждевременное завершение операции записи.

Если бит WREN=1, то разрешена запись в EEPROM память данных. После сброса по включению питания (POR) бит WREN равен '0'. Бит WRERR устанавливается в '1', если во время выполнения записи в EEPROM память данных произошел сброс по сигналу -MCLR или по переполнению сторожевого таймера WDT в нормальном режиме. Проверив состояние бита WREER пользователь может повторить запись (регистры EEDATA и EEADR не изменяют своего значения).

Примечание. После завершения записи в EEPROM память данных устанавливается флаг EEIF в регистре PIR2. Бит EEIF должен быть сброшен в '0' программно.

Регистр 6-1. Регистр EECON1

R/W - x	R/W - x	U - 0	R/W - 0	R/W - x	R/W - 0	R/S - 0	R/S - 0
EEPGD	CFGS	-	FREE	WRERR	WREN	WR	RD
Бит 7						Бит 0	

Бит 7 **EEPGD:** Обращение к Flash памяти программ или EEPROM памяти данных
 1 = обращение к Flash памяти программ
 0 = обращение к EEPROM памяти данных

Бит 6 **CFGS:** Обращение к Flash памяти программ/EEPROM памяти данных или к регистрам конфигурации
 1 = обращение к регистрам конфигурации
 0 = обращение к Flash памяти программ/EEPROM памяти данных

Бит 5 **Не используется:** Читается как '0'

Бит 4 **FREE:** Разрешение стирания Flash памяти программ
 1 = стереть блок в памяти программ начиная с адреса TBLPTR при следующей команде WR (сбрасывается аппаратно при окончании операции стирания)
 0 = только запись данных

Бит 3 **WRERR:** Флаг ошибки записи в память
 1 = запись прервана (произошел один из сбросов во время выполнения записи)
 0 = запись завершена

Примечание. При установке бита WRERR биты EEGD, CFGS не сбрасывается, что позволяет определить условие ошибки.

Бит 2 **WREN:** Разрешение записи в память
 1 = запись разрешена
 0 = запись запрещена

Бит 1 **WR:** Управляющий бит записи
 1 = инициализация цикла стирание/запись в EEPROM память данных. Для памяти программ инициализация цикла записи или стирания (Бит сбрасывается аппаратно по завершении операции стирания/записи, программно он может быть только установлен в '1')
 0 = цикл стирание/запись завершен

Бит 0 **RD:** Управляющий бит чтения
 1 = инициализация чтения EEPROM памяти данных (Чтение выполняется за один цикл. Бит RD сбрасывается аппаратно, программно он может быть только установлен в '1'. RD не устанавливается в '1', если EEGD=1)
 0 = чтение EEPROM памяти данных не инициализировалось

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

6.3 Чтение из EEPROM памяти данных

Для чтения EEPROM памяти данных необходимо записать адрес в регистр EEADR, сбросить бит EEPGD (EECON1<7>) и установить бит RD (EECON1<0>) в '1'. В следующем машинном цикле данные доступны для чтения из регистра EEDATA. Прочитанное значение из EEPROM памяти данных будет храниться в регистре EEDATA до следующего чтения или записи в этот регистр по команде микроконтроллера.

Пример 6-1 Чтение из EEPROM памяти данных

```
BCF      STATUS, RP0      ; Выбрать банк 0
MOVLW   CONFIG_ADDR     ;
MOVWF   EEADR            ; Адрес считываемого регистра
BSF     STATUS, RP0      ; Выбрать банк 1
BSF     EECON1, RD       ; Чтение
BCF     STATUS, RP0      ; Выбрать банк 0
MOVF   EEDATA, W         ; W = EEDATA
```

6.4 Запись в EEPROM память данных

Для записи в EEPROM память данных необходимо записать адрес в регистр EEADR, данные в регистр EEDATA и выполнить обязательную последовательность команд, показанных в примере 6-2.

Запись байта не будет произведена, если не выполнена указанная последовательность (запись 55h в EECON2, запись AAh в EECON2, установка бита WR в '1' для каждого байта). Рекомендуется запрещать прерывания при выполнении обязательной последовательности команд. Если во время выполнения указанной последовательности произойдет переход по вектору прерывания, запись байта выполнена не будет.

Чтобы разрешить запись в EEPROM память данных, необходимо установить бит WREN (EECON1<2>) в '1', защищающий от случайной записи. Пользователь должен установить бит WREN в '1' перед началом записи, а после окончания записи сбросить его в '0' (аппаратно бит WREN в '0' не сбрасывается).

После инициализации записи значения регистров EECON1, EEADR и EEDATA не может быть изменено. Установка бита WR заблокирована, если бит WREN=0. Бит WR не может быть установлен в '1' при одновременной установке бита WREN (одной командой), бит WREN должен быть предварительно установлен.

По окончании записи бит WR аппаратно сбрасывается в '0', а флаг прерывания EEIF устанавливается в '1'. Пользователь может использовать прерывания для проверки окончания записи в EEPROM память данных. Флаг EEIF сбрасывается в '0' программно.

Пример 6-2. Запись в EEPROM память данных

```
MOVLW   DATA_EE_ADDR   ;
MOVWF   EEADR           ; адрес записываемой ячейки
MOVLW   DATA_EE_DATA   ;
MOVWF   EEDATA          ; записываемые данные
BCF     EECON1, EEPGD    ; операция с EEPROM памятью
BSF     EECON1, WREN     ; разрешить запись
BCF     INTCON, GIE      ; запретить прерывания
MOVLW   55h             ; Обязательная последовательность
MOVWF   EECON2          ; запись 55H
MOVLW   AAh             ;
MOVWF   EECON2          ; запись AAH
BSF     EECON2, WR       ; установить бит WR для начала записи
BSF     INTCON, GIE      ; разрешить прерывания
SLEEP                                ; ожидать прерывания завершения цикла записи
BCF     EECON1, WREN     ; запретить запись
```


6.5 Проверка записи

Рекомендуется после выполнения операции записи в EEPROM память данных произвести контрольное чтение. Выполнять контрольное чтение особенно рекомендуется, если возможно исчерпание гарантированных циклов стирание/запись.

6.5.1 Выносливость ячеек EEPROM памяти данных

Приложения, в которых допускается превышение 10% использования гарантированного числа циклов стирание/запись (параметры D130, D130A), число обновлений для каждой ячейки должно быть не более 1/10 указанных значений. Дополнительную информацию смотрите в документе AN790 (DS00790).

6.6 Защита от случайной записи

Существует несколько условий, когда запись байта в EEPROM память данных не выполняется:

1. После сброса по включению питания POR бит WREN = 0.
2. Таймер включения питания (в течение 72мс) запрещает запись в EEPROM память данных.
3. Обязательная последовательность инициализации записи и бит WREN предотвращают случайную запись.

Все эти меры предотвращают случайную запись в EEPROM память данных при сбое программы, снижении напряжения питания и других ненормальных режимах работы микроконтроллера.

6.7 Операции с EEPROM памятью при включенной защите кода программы

EEPROM память данных имеет собственный механизм защиты. При включенной защите запрещена запись/чтение EEPROM памяти внешними устройствами (программаторами). Программа пользователя может нормально читать/записывать данные EEPROM память вне зависимости от состояния бита защиты в регистрах конфигурации. Дополнительную информацию смотрите в разделе 19.

Таблица 6-1. Регистры и биты, связанные с EEPROM памятью данных

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
FA9h	EEADR	Регистр адреса EEPROM памяти								0000 0000
FA8h	EEDATA	Регистр данных EEPROM памяти								0000 0000
FA7h	EECON2	Управляющий регистр 2 EEPROM памяти (нефизический регистр)								---- ----
FA6h	EECON1	EEPGD	CFGS	-	FREE	WRERR	WREN	WR	RD	xx-0 x000
FA2h	IPR2	-	-	-	EEIP	BCLIP	LVDIP	TMR3IP	CCP2IP	---1 1111
FA1h	PIR2	-	-	-	EEIF	BCLIF	LVDIF	TMR3IF	CCP2IF	---0 0000
FA0h	PIE2	-	-	-	EEIE	BCLIE	LVDIE	TMR3IE	CCP2IE	---0 0000

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

Уважаемые господа!

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу support@microchip.ru

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:

(095) 963-9601

(095) 737-7545

и адресу sales@microchip.ru

На сайте

www.microchip.ru

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.