

# PIC18FXX2

Однокристальные 8-разрядные FLASH CMOS  
микроконтроллеры с 10 – разрядным АЦП  
компании Microchip Technology Incorporated

- PIC18F242
- PIC18F252
- PIC18F442
- PIC18F452

Часть 6  
(Таймеры и ССР модули)

Перевод основывается на технической документации DS39564A  
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»  
Москва - 2003

Распространяется бесплатно.  
Полное или частичное воспроизведение материала допускается только с письменного разрешения  
ООО «Микро-Чип»  
тел. (095) 737-7545  
[www.microchip.ru](http://www.microchip.ru)

---

# PIC18FXX2 Data Sheet

## High Performance, Enhanced FLASH Microcontrollers with 10-Bit A/D

**Trademarks:** The Microchip name, logo, PIC, PICmicro, PICMASTER, PIC-START, PRO MATE, KEELOQ, SEEVAL, MPLAB and The Embedded Control Solutions Company are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

Total Endurance, ICSP, In-Circuit Serial Programming, Filter-Lab, MXDEV, microID, *FlexROM*, *fuzzyLAB*, MPASM, MPLINK, MPLIB, PICDEM, ICEPIC, Migratable Memory, FanSense, ECONOMONITOR and SelectMode are trademarks of Microchip Technology Incorporated in the U.S.A.

Serialized Quick Term Programming (SQTP) is a service mark of Microchip Technology Incorporated in the U.S.A.

All other trademarks mentioned herein are property of their respective companies.

## 28/40-выводные высокоскоростные FLASH микроконтроллеры с 10-разрядным АЦП

### Высокоскоростной RISC микроконтроллер:

- Оптимизированная архитектура и система команд для написания программ на языке C
- Система команд совместима с командами семейств PIC16C, PIC17C и PIC18C
- Линейное адресное пространство памяти программ 32кбайта
- Линейное адресное пространство памяти данных 1.5кбайт

Устройство	Память программ		Память данных (байт)	EEPROM память данных (байт)
	Flash (байт)	Команд		
PIC18F242	16к	8192	768	256
PIC18F252	32к	16384	1536	256
PIC18F442	16к	8192	768	256
PIC18F452	32к	16384	1536	256

- Быстродействие до 10MIPS:
  - Тактовая частота от DC до 40МГц
  - Частота генератора с вкл. PLL от 4МГц до 10МГц
- 16-разрядные команды, 8-разрядные данные
- Система приоритетов прерываний
- Аппаратное умножение 8x8 за один машинный цикл

### Характеристика периферийных модулей:

- Высокая нагрузочная способность портов ввода/вывода
- Три входа внешних прерываний
- Модуль TMR0: 8/16-разрядный таймер/счетчик с программируемым 8-разрядным предделителем
- Модуль TMR1: 16-разрядный таймер/счетчик
- Модуль TMR2: 8-разрядный таймер/счетчик с 8-разрядным регистром периода (основной для ШИМ)
- Модуль TMR3: 16-разрядный таймер/счетчик
- Вторичный генератор тактового сигнала на основе TMR1/TMR3
- Два модуля CCP
  - Выводы модуля CCP могут работать как:
    - 16-разрядный захват, максимальная разрешающая способность 6.25нс (ТСУ/16)
    - 16-разрядное сравнение, максимальная разрешающая способность 100нс (ТСУ)
    - ШИМ, разрядность от 1 до 10 бит, Максимальная частота ШИМ 156кГц@8 бит; 39кГц@10 бит

### Характеристика периферийных модулей (продолжение):

- Модуль ведущего последовательного синхронного порта (MSSP)
  - 3-х проводной интерфейс SPITM (поддерживает 4 режима)
  - I2CTM (ведущий и ведомый режим)
- Адресуемый модуль USART, поддержка интерфейса RS-485 и RS-232
- Модуль PSP, ведомый параллельный порт

### Аналоговые периферийные модули:

- Модуль 10-разрядного АЦП:
  - Высокая скорость преобразования
  - Работа модуля АЦП в SLEEP режиме микроконтроллера
  - $DNL = \pm 1Lsb$ ,  $INL = \pm 1Lsb$
- Программируемый детектор пониженного напряжения (PLVD)
  - При обнаружении снижения напряжения возможна генерация прерываний
- Программируемый сброс по снижению напряжения питания

### Особенности микроконтроллеров

- 100 000 гарантированных циклов стирание/запись памяти программ
- 1 000 000 гарантированных циклов стирание/запись EEPROM памяти данных
- Возможность самопрограммирования
- Сброс по включению питания (POR), таймер включения питания (PWRT), таймер запуска генератора (OST)
- Сторожевой таймер WDT с отдельным RC генератором
- Программируемая защита кода программы
- Режим пониженного энергопотребления и режим SLEEP
- Выбор режима работы тактового генератора, включая:
  - 4 x PLL (от основного генератора)
  - Вторичный генератор (32кГц)
- Внутрисхемное программирование по двухпроводной линии (ICSP) с одним напряжением питания 5В
- Внутрисхемная отладка по двухпроводной линии (ICD)

### КМОП технология

- Высокоскоростная энергосберегающая КМОП технология
- Полностью статическая архитектура
- Широкий диапазон напряжений питания (от 2.0В до 5.5В)
- Промышленный и расширенный температурные диапазоны

## Содержание

<b>10.</b>	<b>Модуль таймера TMR0</b>	<b>3</b>
10.1	Работа таймера TMR0	4
10.2	Предделитель	5
10.2.1	<i>Переключение предделителя</i>	5
10.3	Прерывание от TMR0	5
10.4	Чтение и запись таймера в 16-разрядном режиме	5
<b>11.</b>	<b>Модуль таймера TMR1</b>	<b>6</b>
11.1	Работа таймера TMR1	7
11.2	Генератор TMR1	8
11.3	Прерывания от TMR1	8
11.4	Сброс TMR1 триггером модуля CCP	8
11.5	Чтение и запись таймера в 16-разрядном режиме	8
<b>12.</b>	<b>Модуль таймера TMR2</b>	<b>10</b>
12.1	Работа таймера TMR2	10
12.2	Прерывания от TMR2	11
12.3	Выход TMR2	11
<b>13.</b>	<b>Модуль таймера TMR3</b>	<b>12</b>
13.1	Работа таймера TMR3	13
13.2	Генератор TMR1	14
13.3	Прерывания от TMR3	14
13.4	Сброс TMR3 триггером модуля CCP	14
<b>14.</b>	<b>CCP модуль (Захват/Сравнение/ШИМ)</b>	<b>15</b>
14.1	Модуль CCP1	16
14.2	Модуль CCP2	16
14.3	Режим захвата	17
14.3.1	<i>Настройка вывода модуля CCP</i>	17
14.3.2	<i>Настройка таймера TMR1/TMR3</i>	17
14.3.3	<i>Обработка прерываний</i>	17
14.3.4	<i>Предварительный счетчик событий модуля CCP</i>	17
14.4	Режим сравнения	18
14.4.1	<i>Настройка вывода модуля CCP</i>	18
14.4.2	<i>Настройка таймера TMR1/TMR3</i>	18
14.4.3	<i>Обработка прерываний</i>	18
14.4.4	<i>Триггер специального события</i>	18
14.5	Режим ШИМ	20
14.5.1	<i>Период ШИМ</i>	21
14.5.2	<i>Длительность импульса ШИМ</i>	21
14.5.3	<i>Последовательность настройки модуля CCP в ШИМ режиме</i>	21

## 10. Модуль таймера TMR0

Модуль таймера TMR0 имеет следующие особенности:

- Программный выбор режима работы – 8-разрядный или 16-разрядный таймер/счетчик
- Значение таймера доступно для записи и чтения
- Программируемый 8-разрядный предделитель
- Выбор источника тактового сигнала (внешний или внутренний)
- Генерация прерываний по переполнению от FFh к 00h в 8-разрядном режиме, от FFFFh к 0000h в 16-разрядном режиме
- Выбор активного фронта внешнего тактового сигнала

На рисунке 10-1 показана упрощенная структурная схема модуля TMR0 в 8-разрядном режиме, а на рисунке 10-2 – в 16-разрядном режиме.

В регистре T0CON расположены биты управления работой таймера TMR0. Регистр T0CON доступен для записи и чтения.

**Регистр 10-1.** Регистр управления таймером TMR0 T0CON

R/W - 1	R/W - 1	R/W - 1	R/W - 1	R/W - 1	R/W - 1	R/W - 1	R/W - 1
TMR0ON	T08BIT	T0CS	T0SE	PSA	T0PS2	T0PS1	T0PS0
Бит 7							Бит 0

Бит 7 **TMR0ON:** Бит разрешения работы TMR0

- 1 = таймер TMR0 включен
- 0 = таймер TMR0 выключен

Бит 6 **T08BIT:** Выбор режима работы таймера TMR0

- 1 = таймер TMR0 работает в режиме 8-разрядного таймера/счетчика
- 0 = таймер TMR0 работает в режиме 16-разрядного таймера/счетчика

Бит 5 **T0CS:** Выбор источника тактового сигнала для TMR0

- 1 = тактовый сигнал с вывода T0CKI
- 0 = внутренний тактовый сигнал (CLKOUT)

Бит 4 **T0SE:** Выбор активного фронта внешнего тактового сигнала

- 1 = приращения таймера TMR0 происходит по заднему фронту сигнала на выводе T0CKI
- 0 = приращения таймера TMR0 происходит по переднему фронту сигнала на выводе T0CKI

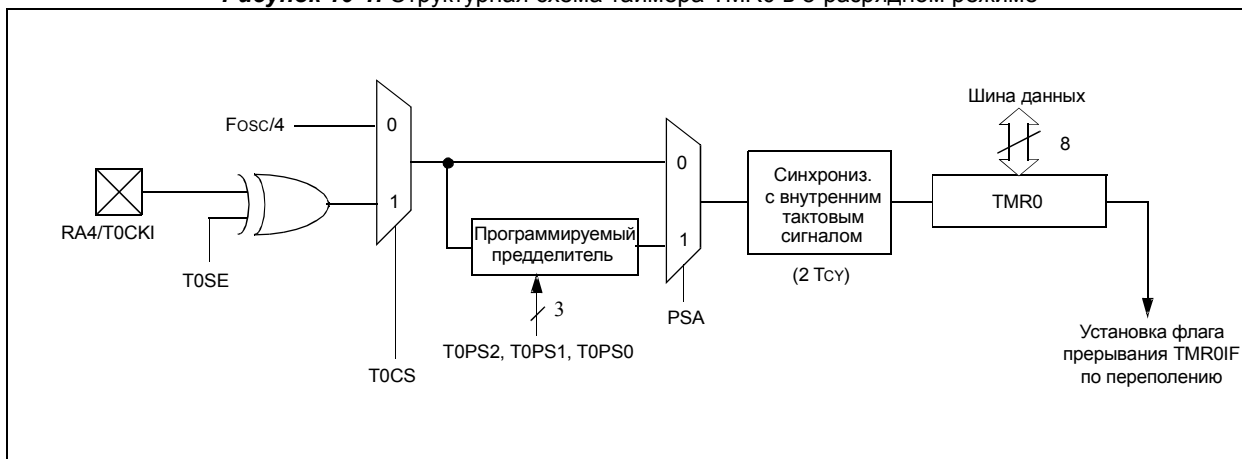
Бит 3 **PSA:** Подключение предделителя к таймеру TMR0

- 1 = таймер TMR0 работает без предделителя (используется тактовый сигнал с входа предделителя)
- 0 = таймер TMR0 работает с предделителем (используется тактовый сигнал с выхода предделителя)

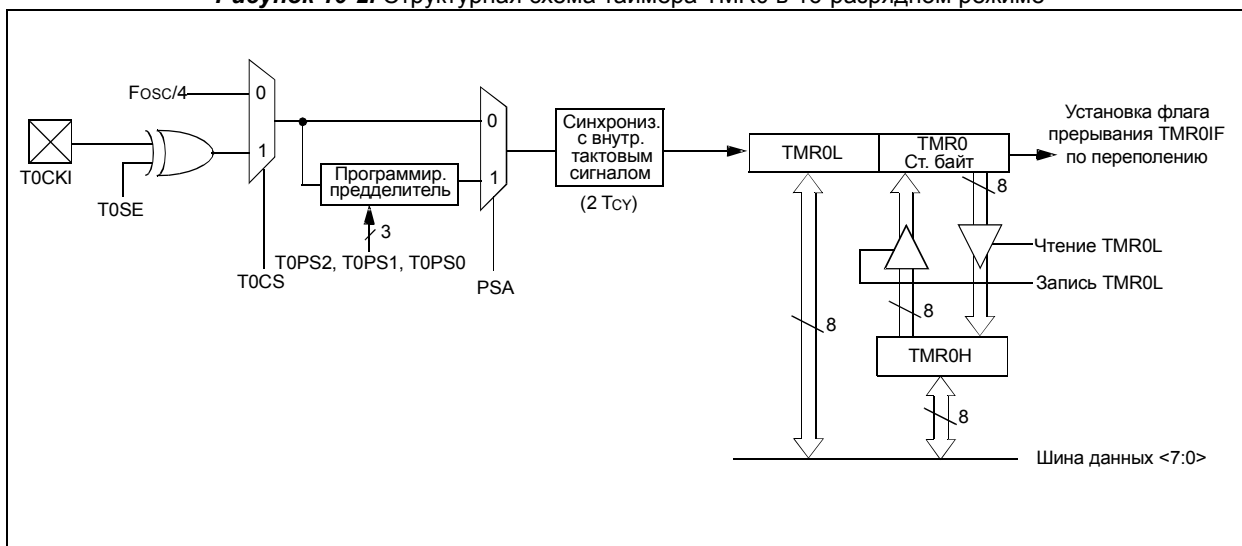
Бит 2-1 **T0PS2:T0PS0:** Коэффициент деления предделителя TMR0

- 111 = 1:256
- 110 = 1:128
- 101 = 1:64
- 100 = 1:32
- 011 = 1:16
- 010 = 1:8
- 001 = 1:4
- 000 = 1:2

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

**Рисунок 10-1.** Структурная схема таймера TMR0 в 8-разрядном режиме

**Примечание.** После сброса микроконтроллера TMR0 работает в 8-разрядном режиме с внешним тактовым сигналом (вывод T0CKI) и максимальным коэффициентом деления делителя.

**Рисунок 10-2.** Структурная схема таймера TMR0 в 16-разрядном режиме

**Примечание.** После сброса микроконтроллера TMR0 работает в 8-разрядном режиме с внешним тактовым сигналом (вывод T0CKI) и максимальным коэффициентом деления делителя.

## 10.1 Работа таймера TMR0

Модуль TMR0 может работать в режиме таймера или счетчика.

Выбор режима таймера осуществляется сбросом бита T0CKI в '0'. В режиме таймера приращение TMR0 происходит на каждом машинном цикле микроконтроллера (если делитель выключен). После записи в TMR0 приращение счетчика запрещено два следующих цикла. Пользователь должен скорректировать эту задержку перед записью нового значения в TMR0.

Если бит T0CS установлен в '1', TMR0 работает в режиме счетчика с приращением от внешнего источника тактового сигнала на входе RA4/T0CKI. Активный фронт внешнего тактового сигнала выбирается битом T0SE. Если T0SE=0, то активным является передний фронт сигнала). Основные требования к внешнему источнику тактового сигнала смотрите ниже по тексту.

При использовании внешнего тактового сигнала для TMR0 необходимо учитывать некоторые детали работы таймера. Активный фронт внешнего тактового сигнала синхронизируется с внутренней тактовой частотой микроконтроллера ( $F_{osc}$ ), из-за чего возникает задержка от получения активного фронта сигнала до приращения TMR0.

## 10.2 Предделитель

8-разрядный счетчик может работать как предделитель TMR0, он не доступен для записи и чтения.

Коэффициент деления предделителя определяется битами PSA и TOPS2:TOPS0.

Сброс бита PSA в '0' отключает предделитель от таймера TMR0. Когда предделитель включен, то можно программно настроить его коэффициент деления от 1:2 до 1:256.

Если предделитель включен перед TMR0, любые команды записи в TMR0 (например, CLRF TMR0; MOVWF TMR0; BSF TMR0,x и т.д.) сбрасывают предделитель.

**Примечание.** Запись в TMR0 сбросит предделитель, если он включен, но коэффициент деления предделителя не изменится.

### 10.2.1 Переключение предделителя

Предделитель имеет программное управление (т.е. изменение коэффициента деления может быть произведено в течение выполнения программы).

## 10.3 Прерывание от TMR0

В 8-разрядном режиме таймера TMR0 при переполнении регистра TMR0 (переход от FFh к 00h) происходит установка флага прерываний TMR0IF. В 16-разрядном режиме флаг прерывания TMR0IF устанавливается в '1', когда происходит переполнение двоянного регистра TMR0H:TMR0L (переход от FFFFh к 0000h). Прерывание может быть разрешено/запрещено битом TMR0IE. Бит TMR0IF должен быть программно сброшен в обработчике прерываний перед разрешением прерываний. Прерывание от TMR0 не может вывести микроконтроллер из режима SLEEP, т.к. модуль TMR0 в SLEEP режиме выключен.

## 10.4 Чтение и запись таймера в 16-разрядном режиме

Регистр TMR0H не является старшим байтом таймера/счетчика TMR0 в 16-разрядном режиме, он выполняет функции буфера (смотрите рисунок 10-2). Старший байт TMR0 не доступен для непосредственного чтения или записи. В TMR0H загружается старший байт TMR0 при чтении TMR0L. Это позволяет читать 16-разрядное значение полностью без необходимости проверки возможного переполнения младшего байта.

Запись старшего байта TMR0 должна выполняться через буферный регистр TMR0H. В старший байт TMR0 переписывается значение из TMR0H при записи в регистр TMR0L. Это позволяет сразу записывать 16-разрядное значение.

**Таблица 10-1.** Регистры и биты, связанные с работой модуля таймера TMR0

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FD7h	TMR0H	Регистр таймера 0 старший байт								0000 0000
FD6h	TMR0L	Регистр таймера 0 младший байт								xxxx xxxx
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
FD5h	T0CON	TMR0ON	T08BIT	T0CS	T0SE	PSA	T0PS2	T0PS1	T0PS0	1111 1111
F92h	TRISA	-	Регистр направления данных							-111 1111

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

## 11. Модуль таймера TMR1

Модуль таймера TMR1 имеет следующие особенности:

- 16-разрядный таймер/счетчик (с двумя 8-разрядными регистрами TMR1H, TMR1L)
- Значение таймера доступно для записи и чтения (оба регистра)
- Выбор источника тактового сигнала (внешний или внутренний)
- Генерация прерываний по переполнению от FFFFh к 0000h
- Сброс таймера по сигналу триггера специального события модуля CCP

Структурная схема модуля таймера TMR1 показана на рисунке 11-1.

Управляющий регистр T1CON доступен для записи и чтения. Этот регистр содержит биты управления модулем таймера TMR1 и бит включения тактового генератора TMR1 таймера (T1OSCEN). Таймер TMR1 включается установкой в '1' бита TMR1ON (T1CON<0>).

**Регистр 11-1.** Регистр управления таймером TMR1 T1CON

R/W - 0	U - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0
RD16	-	T1CKPS1	T1CKPS0	T1OSCEN	-T1SYNC	TMR1CS	TMR1ON
Бит 7							Бит 0

- Бит 7 **RD16:** Включение режима 16-разрядного чтения/записи  
 1 = чтение/запись регистров TMR1 выполняется за одну 16-разрядную операцию  
 0 = чтение/запись регистров TMR1 выполняется за две 8-разрядные операции
- Бит 6 **Не используется:** Читается как '0'
- Бит 5-4 **T1CKPS1:T1CKPS0:** Коэффициент деления предделителя TMR1  
 11 = 1:8  
 10 = 1:4  
 01 = 1:2  
 00 = 1:1
- Бит 3 **T1OSCEN:** Включение тактового генератора TMR1  
 1 = генератор TMR1 включен  
 0 = генератор выключен  
 (инвертирующий элемент и резистивная обратная связь выключены для уменьшения тока потребления)
- Бит 2 **-T1SYNC:** Синхронизация внешнего тактового сигнала  
TMR1CS = 1  
 1 = не синхронизировать внешний тактовый сигнал  
 0 = синхронизировать внешний тактовый сигнал  
  
TMR1CS = 0  
 Значение бита игнорируется. Используется внутренний тактовый сигнал.
- Бит 1 **TMR1CS:** Выбор источника тактового сигнала  
 1 = внешний источник тактового сигнала с вывода RC0/T1OSO/T1CKI  
 (активным является передний фронт сигнала)  
 0 = внутренний тактовый сигнал Fosc/4
- Бит 0 **TMR1ON:** Бит разрешения работы TMR1  
 1 = таймер TMR1 включен  
 0 = таймер TMR1 выключен

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.



## 11.1 Работа таймера TMR1

Модуль таймера TMR1 может работать в одном из трех режимов:

- Таймер
- Синхронный счетчик
- Асинхронный счетчик

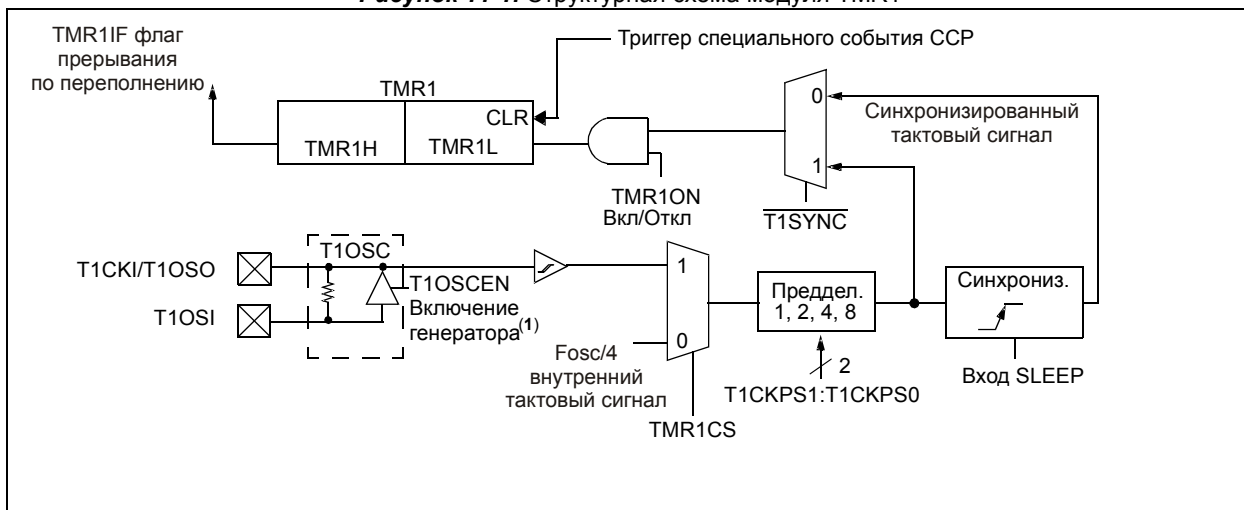
Режим работы определяется битом выбора источника тактового сигнала TMR1CS (T1CON<1>).

Если TMR1CS=0, то значение таймера TMR1 инкрементируется на каждом машинном цикле (если коэффициент делителя 1:1). Когда TMR1CS=1, приращение происходит по каждому переднему фронту внешнего тактового сигнала или сигнала генератора TMR1 (если он включен).

Когда включен генератор тактовых импульсов (T1OSCEN=1), выводы RC1/T1OSI и RC0/T1OSO/T1CKI настроены как входы. Значение битов TRISC<1:0> игнорируется, а чтение данных с этих выводов дает результат '0'.

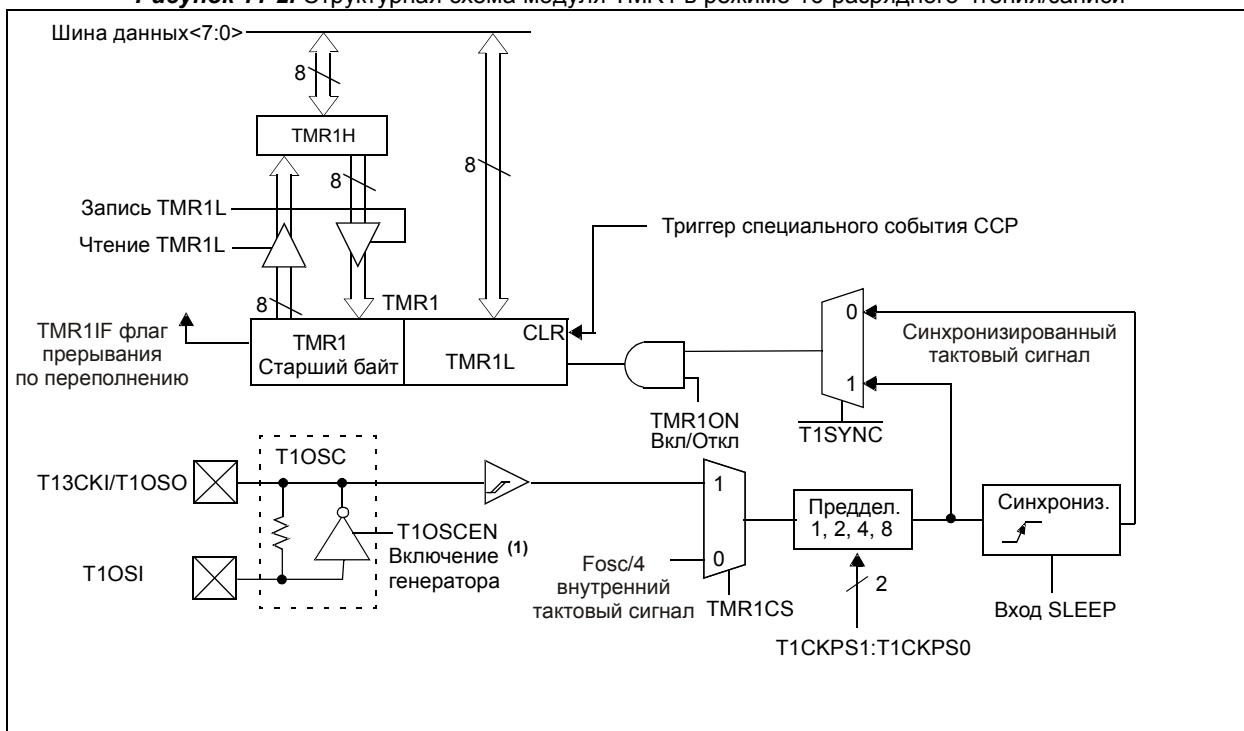
Модуль TMR1 имеет вход внутреннего сброса от CCP модуля (смотрите раздел 14).

Рисунок 11-1. Структурная схема модуля TMR1



**Примечание.** Если T1OSCEN=0, то инвертирующий элемент и резистивная обратная связь выключены для уменьшения тока потребления.

Рисунок 11-2. Структурная схема модуля TMR1 в режиме 16-разрядного чтения/записи



**Примечание.** Если T1OSCEN=0, то инвертирующий элемент и резистивная обратная связь выключены для уменьшения тока потребления.

## 11.2 Генератор TMR1

Кварцевый резонатор подключается к выводам T1OSI (вход) и T1OSO (выход усилителя). Включение генератора производится установкой бита T1OSEN (T1CON<3>). Максимальная частота резонатора 200кГц. Генератор позволяет работать TMR1 в SLEEP режиме микроконтроллера. Тактовый генератор TMR1 в основном предназначен для кварцевого резонатора 32кГц. В таблицы 11-1 указаны рекомендуемые значения конденсаторов для генератора TMR1.

Пользователь должен обеспечить программную задержку, чтобы гарантировать надлежащий запуск генератора.

**Таблица 11-1.** Выбор конденсаторов для генератора TMR1

Тип генератора	Частота	C1	C2
LP	32 кГц	TBD <sup>(1)</sup>	TBD <sup>(1)</sup>

Протестированные резонаторы:		
32.768кГц	Epson C-001 R32.768K-A	±20 PPM

**Примечания:**

1. При подборе емкости конденсаторов Microchip рекомендует конденсаторы 33пФ как отправную точку.
2. Большая емкость увеличивает стабильность генератора, но также увеличивает время запуска.
3. Каждый резонатор имеет собственные характеристики. Проконсультируйтесь у производителя резонаторов для правильного подбора внешних компонентов.
4. Указанная емкость конденсаторов является оценочной.

## 11.3 Прерывания от TMR1

Пара регистров TMR1 (TMR1H:TMR1L) инкрементируются от 0000h до FFFFh и переполняется к 0000h. Прерывание от TMR1, если разрешено, происходит при переполнении TMR1, устанавливая флаг TMR1IF (PIR1<0>). Прерывание от TMR1 можно разрешить/запретить установкой/сбросом бита TMR1IE(PIE1<0>).

## 11.4 Сброс TMR1 триггером модуля CCP

Если модуль CCP работает в режиме сравнения с триггером специального события (CCP1M3 : CCP1M0=1011), то сигнал триггера сбросит TMR1 и запустит преобразование АЦП (если АЦП включено).

**Примечание.** Сигнал с триггера специального события модуля CCP1 не будет устанавливать флаг прерывания TMR1IF (PIR1<0>) в '1'.

TMR1 должен работать в режиме синхронизированного внешнего тактового сигнала или внутреннего тактового сигнала. В асинхронном режиме функция сброса не работает.

Когда запись в TMR1 совпадает с сигналом сброса от триггера специальных событий, приоритет отдается записи в TMR1.

В этом режиме модуля CCP период сброса TMR1 сохраняется в регистрах CCPR1H:CCPR1L.

## 11.5 Чтение и запись таймера в 16-разрядном режиме

TMR1 может быть настроен для работы в режиме 16-разрядного чтения/записи (смотрите рисунок 11-2). Когда бит RD16(T1CON<7>) установлен в '1', обращение по адресу TMR1H вызовет действие с буферным регистром. При чтении TMR1L значение старшего байта TMR1 будет загружено в буфер. Это позволяет читать 16-разрядное значение полностью без необходимости проверки возможного переполнения младшего байта.

Запись старшего байта TMR1 должна выполняться через буферный регистр TMR1H. В старший байт TMR1 переписывается значение из TMR1H при записи в регистр TMR1L. Это позволяет сразу записывать 16-разрядное значение.

В этом режиме старший байт TMR1 не доступен для непосредственного чтения или записи. Любая запись или чтение должно выполняться через буферный регистр TMR1. Запись в TMR1H не сбрасывает предделитель. Предделитель сбрасывается только при записи в TMR1L.

**Таблица 11-2.** Регистры и биты, связанные с работой модуля таймера TMR1

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSPIP	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000
F9Eh	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000
F98h	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000
FCFh	TMR1H	Регистр таймера 1 старший байт								xxxx xxxx
FCEh	TMR1L	Регистр таймера 1 младший байт								xxxx xxxx
FCDh	T1CON	RD16	-	T1CKPS1	T1CKPS0	T1OSCEN	-T1SYNC	TMR1CS	TMR1ON	0-00 0000

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

## 12. Модуль таймера TMR2

Модуль таймера TMR2 имеет следующие особенности:

- 8-разрядный таймер (регистр TMR2)
- 8-разрядный регистр периода (PR2)
- Регистры таймера доступны для записи и чтения
- Программируемый предделитель (1:1, 1:2, 1:16)
- Программируемый постделитель (1:1 – 1:16)
- Прерывания от TMR2 по достижению значения в PR2
- TMR2 может использоваться для генерации тактового сигнала модуля SSP

Биты управления таймером TMR2 находятся в регистре T2CON. TMR2 может быть выключен сбросом бита TMR2ON(T2CON<2>) для уменьшения энергопотребления. На рисунке 12-2 представлена структурная схема таймера TMR2. Значение коэффициентов предделителя и постделителя может быть выбрано в регистре T2CON.

### 12.1 Работа таймера TMR2

TMR2 может быть опорным таймером для CCP модуля в ШИМ режиме. Регистры TMR2 доступны для записи/чтения и очищаются при любом виде сброса. Входной тактовый сигнал ( $F_{osc}/4$ ) поступает через предделитель с программируемым коэффициентом деления (1:1, 1:4 или 1:16), определяемый битами T2CKPS1:T2CKPS0 (T2CON<1:0>). Сигнал переполнения TMR2 проходит через выходной 4-разрядный делитель с программируемым коэффициентом деления (от 1:1 до 1:16 включительно) для установки флага TMR2IF в регистре PIR1<1>.

Счетчик предделителя и выходного делителя сбрасываются в случае:

- Записи в регистр TMR2
- Записи в регистр T2CON
- Любого вида сброса микроконтроллера (POR, BOR, сброс WDT или активный сигнал -MCLR)

Регистр TMR2 не очищается при записи в T2CON.

**Регистр 12-1.** Регистр управления таймером TMR2 T2CON

U - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0
-	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0
Бит 7							Бит 0

Бит 7 **Не используется:** Читается как '0'

Бит 6-3 **T2CKPS1:T2CKPS0:** Коэффициент деления выходного делителя TMR2

0000 = 1:1  
0001 = 1:2  
:  
1111 = 1:16

Бит 2 **TMR2ON:** Бит разрешения работы TMR2

1 = таймер TMR2 включен  
0 = таймер TMR2 выключен

Бит 1-0 **T2CKPS1:T2CKPS0:** Коэффициент деления предделителя TMR2

00 = 1:1  
01 = 1:4  
1x = 1:16

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

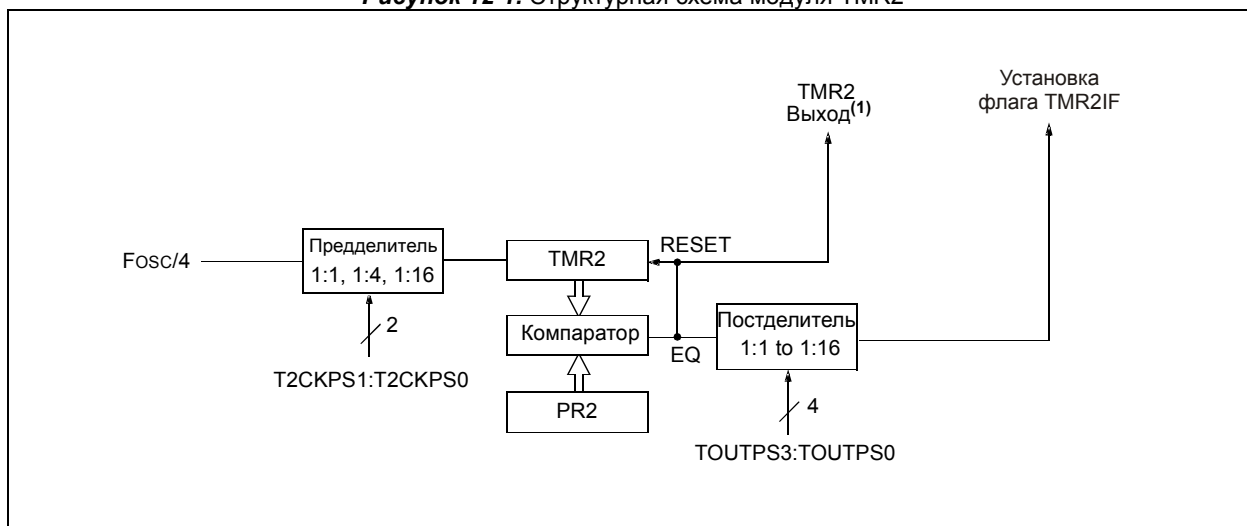
## 12.2 Прерывания от TMR2

TMR2 имеет 8-разрядный регистр периода PR2. TMR2 считает, инкрементируя от 00h до значения в регистре PR2, затем сбрасывается в 00h на следующем машинном цикле. Регистр PR2 доступен для записи и чтения. После сброса значение регистра PR2 равно FFh.

## 12.3 Выход TMR2

Сигнал переполнения TMR2 (до выходного делителя) поступает в модуль MSSP для управления скоростью передачи данных.

Рисунок 12-1. Структурная схема модуля TMR2



**Примечание.** Выходной сигнал TMR2 может использоваться для программной настройки скорости передачи данных модуля MSSP.

Таблица 12-1. Регистры и биты, связанные с работой модуля таймера TMR2

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSPIP	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000
F9Eh	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000
F98h	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000
FCCh	TMR2	Регистр таймера 2								0000 0000
FCAh	T2CON	-	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000
FCBh	PR2	Регистр периода таймера 2								1111 1111

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

## 13. Модуль таймера TMR3

Модуль таймера TMR3 имеет следующие особенности:

- 16-разрядный таймер/счетчик (с двумя 8-разрядными регистрами TMR3H, TMR3L)
- Значение таймера доступно для записи и чтения (оба регистра)
- Выбор источника тактового сигнала (внешний или внутренний)
- Генерация прерываний по переполнению от FFFFh к 0000h
- Сброс таймера по сигналу триггера специального события модуля CCP

Структурная схема модуля таймера TMR3 показана на рисунке 13-1.

Управляющий регистр T3CON доступен для записи и чтения. Этот регистр содержит биты управления таймера TMR3 и выбора тактового сигнала для модуля CCP.

Смотрите описание регистра T1CON. Этот регистр содержит биты управления TMR1 и бит включения тактового генератора TMR1 (T1OSCEN), который может использоваться для работы TMR3.

**Регистр 13-1.** Регистр управления таймером TMR3 T3CON

R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0
RD16	T3CCP2	T3CKPS1	T3CKPS0	T3CCP1	-T3SYNC	TMR3CS	TMR3ON
Бит 7							Бит 0

- Бит 7 **RD16:** Включение режима 16-разрядного чтения/записи  
 1 = чтение/запись регистров TMR3 выполняется за одну 16-разрядную операцию  
 0 = чтение/запись регистров TMR3 выполняется за две 8-разрядные операции
- Бит 6,3 **T3CCP2:T3CCP1:** Выбор источника тактового сигнала для работы модуля CCP  
 1x = TMR3 используется для работы CCP модулей в режиме сравнение/захват  
 01 = TMR3 используется для работы CCP2 модуля в режиме сравнение/захват  
 TMR1 используется для работы CCP1 модуля в режиме сравнение/захват  
 00 = TMR1 используется для работы CCP модулей в режиме сравнение/захват
- Бит 5-4 **T3CKPS1:T3CKPS0:** Коэффициент деления предделителя TMR3  
 11 = 1:8  
 10 = 1:4  
 01 = 1:2  
 00 = 1:1
- Бит 2 **-T3SYNC:** Синхронизация внешнего тактового сигнала  
TMR3CS = 1  
 1 = не синхронизировать внешний тактовый сигнал  
 0 = синхронизировать внешний тактовый сигнал  
  
TMR3CS = 0  
 Значение бита игнорируется. Используется внутренний тактовый сигнал.
- Бит 1 **TMR3CS:** Выбор источника тактового сигнала  
 1 = внешний источник тактового сигнала с вывода RC0/T1OSO/T1CKI (активным является передний фронт сигнала)  
 0 = внутренний тактовый сигнал Fosc/4
- Бит 0 **TMR3ON:** Бит разрешения работы TMR3  
 1 = таймер TMR3 включен  
 0 = таймер TMR3 выключен

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

### 13.1 Работа таймера TMR3

Модуль таймера TMR3 может работать в одном из трех режимов:

- Таймер
- Синхронный счетчик
- Асинхронный счетчик

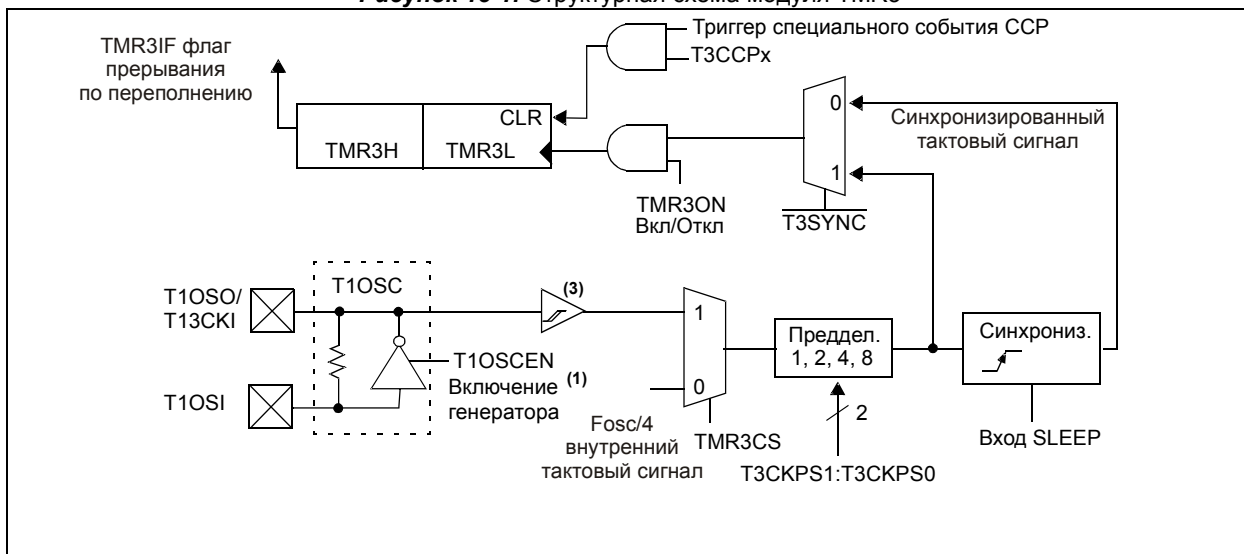
Режим работы определяется битом выбора источника тактового сигнала TMR3CS (T3CON<1>).

Если TMR3CS=0, то значение таймера TMR3 инкрементируется на каждом машинном цикле (если коэффициент делителя 1:1). Когда TMR3CS=1, приращение происходит по каждому переднему фронту внешнего тактового сигнала или сигнала генератора TMR1 (если он включен).

Когда включен генератор тактовых импульсов (T1OSCEN=1), выводы RC1/T1OSI и RC0/T1OSO/T1CKI настроены как входы. Значение битов TRISC<1:0> игнорируется, а чтение данных с этих выводов дает результат '0'.

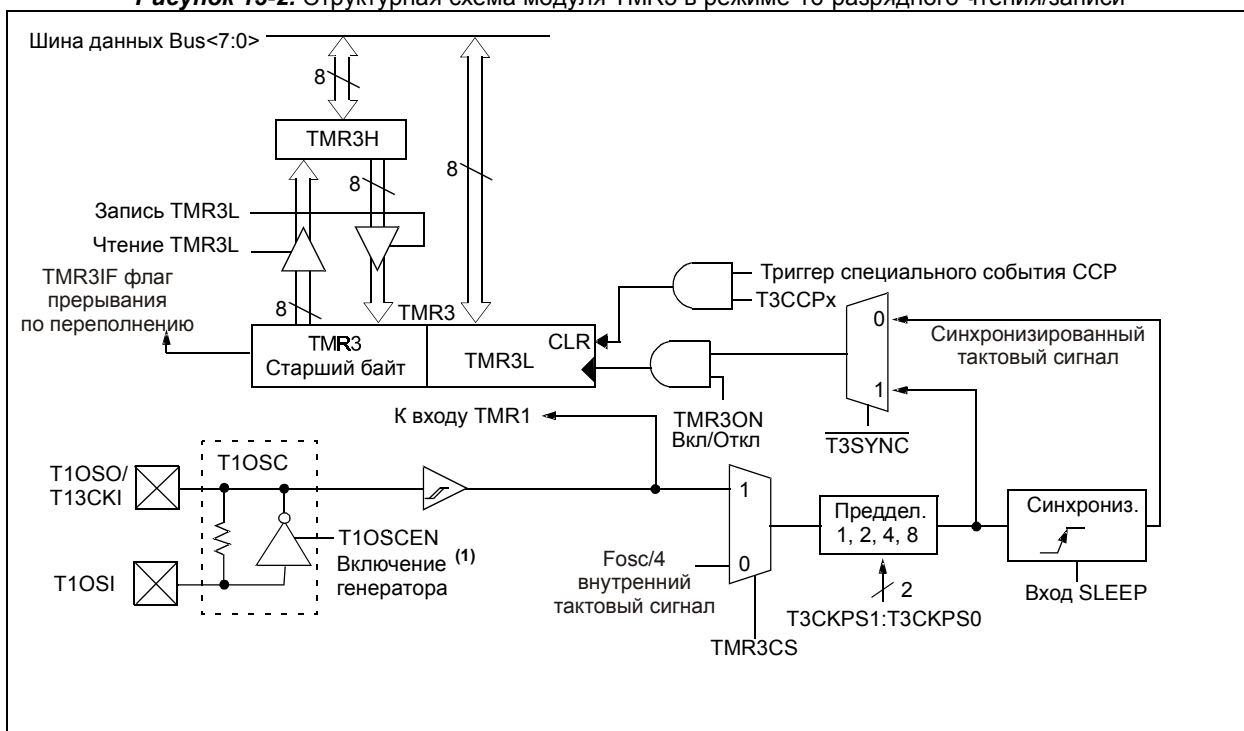
Модуль TMR3 имеет вход внутреннего сброса от CCP модуля (смотрите раздел 14).

Рисунок 13-1. Структурная схема модуля TMR3



**Примечание.** Если T1OSCEN=0, то инвертирующий элемент и резистивная обратная связь выключены для уменьшения тока потребления.

Рисунок 13-2. Структурная схема модуля TMR3 в режиме 16-разрядного чтения/записи



**Примечание.** Если T1OSCEN=0, то инвертирующий элемент и резистивная обратная связь выключены для уменьшения тока потребления.

### 13.2 Генератор TMR1

Кварцевый резонатор подключается к выводам T1OSI (вход) и T1OSO (выход усилителя). Включение генератора производится установкой бита T1OSEN (T1CON<3>). Максимальная частота резонатора 200КГц. Подробное описание смотрите в разделе 11.0.

### 13.3 Прерывания от TMR3

Пара регистров TMR3 (TMR3H:TMR3L) инкрементируются от 0000h до FFFFh и переполняется к 0000h. Прерывание от TMR3, если разрешено, происходит при переполнении TMR3, устанавливая флаг TMR3IF (PIR2<1>). Прерывание от TMR3 можно разрешить/запретить установкой/сбросом бита TMR3IE(PIE2<1>).

### 13.4 Сброс TMR3 триггером модуля CCP

Если модуль CCP работает в режиме сравнения с триггером специального события (CCP1M3 : CCP1M0=1011), то сигнал триггера сбросит TMR3.

**Примечание.** Сигнал с триггера специального события модуля CCP1 не будет устанавливать флаг прерывания TMR3IF (PIR2<1>) в '1'.

TMR3 должен работать в режиме синхронизированного внешнего тактового сигнала или внутреннего тактового сигнала. В асинхронном режиме функция сброса не работает. Когда запись в TMR3 совпадает с сигналом сброса от триггера специальных событий, приоритет отдается записи в TMR3. В этом режиме модуля CCP период сброса TMR1 сохраняется в регистрах CCP1H:CCPR1L.

**Таблица 13-1.** Регистры и биты, связанные с работой модуля таймера TMR3

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
FA2h	IRP2	-	-	-	EEIP	BCLIP	LVDIP	TMR3IP	CCP2IP	---1 1111
FA1h	PIR2	-	-	-	EEIF	BCLIF	LVDIF	TMR3IF	CCP2IF	---0 0000
FA0h	PIE2	-	-	-	EEIE	BCLIE	LVDIE	TMR3IE	CCP2IE	---0 0000
FB3h	TMR3H	Регистр таймера 3 старший байт								xxxx xxxx
FB2h	TMR3L	Регистр таймера 3 младший байт								xxxx xxxx
FCDh	T1CON	RD16	-	T1CKPS1	T1CKPS0	T1OSCEN	-T1SYNC	TMR1CS	TMR1ON	0-00 0000
FB1h	T3CON	RD16	T3CCP2	T3CKPS1	T3CKPS0	T3CCP1	-T3SYNC	TMR3CS	TMR3ON	0000 0000

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.



## 14. CCP модуль (Захват/Сравнение/ШИМ)

Каждый модуль CCP содержит 16-разрядный регистр, который может использоваться в качестве:

- 16-разрядного регистра захвата данных;
- 16-разрядного регистра сравнения;
- Двух 8-разрядных (ведущий и ведомый) регистров ШИМ.

Работа модулей CCP1 и CCP2 идентична, за исключением функционирования триггера специального события. В таблице 14-1 и 14-2 указаны ресурсы, используемые модулем CCP. Далее будет описана работа модуля CCP1. Модуль CCP2 работает аналогично, отличия будут указаны отдельно.

**Регистр 14-1.** Регистры управления модулем CCP CCP1CON и CCP2CON

U - 0	U - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0
-	-	DCxB1	DCxB0	CCPxM3	CCPxM2	CCPxM1	CCPxM0
Бит 7						Бит 0	

Бит 7,6 **Не используется:** Читается как '0'

Бит 5,4 **DCxB1:DCxB0:** Биты 1 и 0 длительности импульса в ШИМ режиме

Режим захвата

Не используются

Режим сравнения

Не используются

Режим ШИМ

Младшие биты (1 и 0) 10-разрядной длительности импульса ШИМ. Старшие 8 битов (DCx9:DCx2) размещаются в регистре CCPxL

Бит 3-0 **CCPxM3:CCPxM0:** Режим работы CCPx модуля

0000 = модуль CCPx выключен (сброс модуля CCPx)

0001 = резерв

0010 = сравнение, переключение уровня при совпадении (устанавливается флаг CCPxIF в '1')

0011 = резерв

0100 = захвата по каждому заднему фронту сигнала

0101 = захват по каждому переднему фронту сигнала

0110 = захват по каждому 4-му переднему фронту сигнала

0111 = захват по каждому 16-му переднему фронту сигнала

1000 = сравнение, устанавливает выходной сигнал (устанавливается флаг CCPxIF в '1')

1001 = сравнение, сбрасывает выходной сигнал (устанавливается флаг CCPxIF в '1')

1010 = сравнение, на выходной сигнал не влияет (устанавливается флаг CCPxIF в '1')

1011 = сравнение, триггер специальных функций (устанавливается флаг CCPxIF в '1')

11xx = ШИМ режим

Обозначения

R = чтение бита

W = запись бита

U = не используется, читается как '0'

- n = значение после POR

'1' = бит установлен

'0' = бит сброшен

X = неизвестное сост.

### 14.1 Модуль CCP1

Регистр CCP1 модуля CCP состоит из двух 8-разрядных регистров: CCP1L (младший байт), CCP1H (старший байт). В регистре CCP1CON находятся управляющие биты модуля CCP1, доступные для записи и чтения.

### 14.2 Модуль CCP2

Регистр CCP2 модуля CCP состоит из двух 8-разрядных регистров: CCP2L (младший байт), CCP2H (старший байт). В регистре CCP2CON находятся управляющие биты модуля CCP2, доступные для записи и чтения.

**Таблица 14-1** Использование таймеров модулями CCP

Режим модуля CCP	Таймер
Захват	TMR1 или TMR3
Сравнение	TMR1 или TMR3
ШИМ	TMR2

**Таблица 14-2** Взаимодействие двух модулей CCP

Режим CCPx	Режим CCPy	Взаимодействие
Захват	Захват	Базовый таймер TMR1 или TMR3. Каждому CCP модулю может быть назначен свой базовый таймер.
Захват	Сравнение	Модуль CCP, работающий в режиме сравнения, должен сбрасывать таймер TMR1 или TMR3 триггером специального события.
Сравнение	Сравнение	Модули CCP, работающие в режиме сравнения, должны сбрасывать таймер TMR1 или TMR3 триггером специального события.
ШИМ	ШИМ	Оба ШИМ имеют одинаковую частоту и фазу (базовый таймер TMR2)
ШИМ	Захват	Нет
ШИМ	Сравнение	Нет

### 14.3 Режим захвата

При возникновении события захвата 16-разрядное значение счетчика TMR1 или TMR3 переписывается в регистры CCP1L:CCP1H модуля CCP1. Событием захвата может быть:

- Каждый задний фронт сигнала на входе RC2/CCP1
- Каждый передний фронт сигнала на входе RC2/CCP1
- Каждый 4-й передний фронт сигнала на входе RC2/CCP1
- Каждый 16-й передний фронт сигнала на входе RC2/CCP1

Тип события захвата устанавливается битами CCP1M3:CCP1M0 в регистре CCP1CON. После выполнения захвата устанавливается флаг прерывания CCP1F (PIR1<2>) в '1', который должен быть сброшен программно. Если происходит событие захвата до того как предыдущие данные были прочитаны, старое значение будет потеряно.

#### 14.3.1 Настройка вывода модуля CCP

Порт ввода/вывода RC2/CCP1 должен быть настроен на вход установкой бита TRISC<2> в '1'.

**Примечание.** Если порт ввода/вывода RC2/CCP1 настроен на выход, то захват может происходить командой из программы.

#### 14.3.2 Настройка таймера TMR1/TMR3

В случае использования внешнего тактового сигнала с вывода RC1/T1OSI/CCP2 таймер TMR1/TMR3 должен работать в синхронизированном режиме. В асинхронном режиме TMR1/TMR3 модуль CCP1 работать не будет. Выбор базового таймера для CCP выполняется в регистре T3CON.

#### 14.3.3 Обработка прерываний

Когда изменяется режим работы модуля CCP, необходимо запрещать прерывания сбросом бита CCP1IE (PIE<2>) в '0' для предотвращения ложных прерываний. После изменение режима работы модуля CCP1, перед разрешением прерываний, необходимо сбросить флаг CCP1IF (PIR1<2>) в '0'.

#### 14.3.4 Предварительный счетчик событий модуля CCP

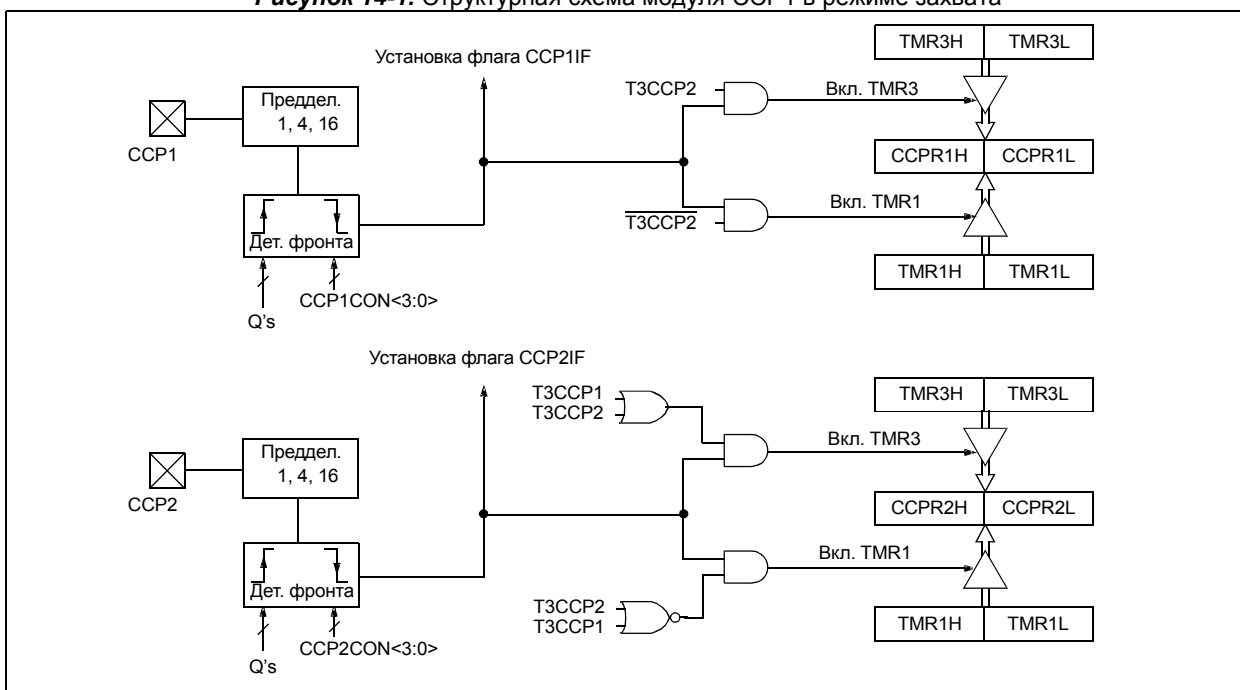
Существует четыре режима работы предварительного счетчика событий (определяется битами CCP1M3:CCP1M0). Включение режима захвата очищает предварительный счетчик событий. Переключение между типами событий не очищает счетчик событий, поэтому результат первого захвата после переключения может быть недостоверным. Любой сброс микроконтроллера очищает счетчик событий.

В примере 14-1 показано как нужно производить переключение типа события, чтобы не вызвать ложное прерывание.

**Пример 14-1** Переключение типа события

```
CLRF    CCP1CON, F           ; Выключить CCP модуль
MOVLW  NEW_CAPT_PS         ; Записать W новый тип захвата и режим работы CCP
MOVWF  CCP1CON             ; Загрузить настройку в регистр CCP1CON
```

**Рисунок 14-1.** Структурная схема модуля CCP1 в режиме захвата



## 14.4 Режим сравнения

В этом режиме 16-разрядный регистр CCP1R сравнивается со значением TMR1 или TMR3. Как только значения в регистрах становятся одинаковыми, модуль CCP1 изменяет состояние вывода RC2/CCP1:

- Устанавливает высокий уровень сигнала
- Устанавливает низкий уровень сигнала
- На вывод не воздействует

Действие при совпадении может быть выбрано битами CCP1M3:CCP1M0 в регистре CCP1CON. В момент изменения состояния вывода устанавливается флаг прерывания CCP1IF в '1'.

### 14.4.1 Настройка вывода модуля CCP

Для изменения состояния вывода RC2/CCP1, он должен быть настроен на выход сбросом бита TRISC<2> в '0'.

**Примечание.** При очистке регистра CCP1CON на выводе RC2/CCP1 появится сигнал низкого уровня, что не является результатом сравнения или данными из выходной защелки PORTC.

### 14.4.2 Настройка таймера TMR1/TMR3

В случае использования внешнего тактового сигнала с вывода RC1/T1OSI/CCP2 таймер TMR1/TMR3 должен работать в синхронизированном режиме. В асинхронном режиме TMR1/TMR3 модуль CCP1 работать не будет. Выбор базового таймера для CCP выполняется в регистре T3CON.

### 14.4.3 Обработка прерываний

Программное изменение уровня сигнала на выходе CCP1 не вызовет генерацию прерывания. Прерывание генерируются только модулем CCP1.

### 14.4.4 Триггер специального события

В режиме сравнения модуля CCP1 может быть включен триггер специального события.

Триггер специального события CCP1 сбрасывает значения таймера TMR1 или TMR3 при каждом положительно выполненном сравнении. Регистр CCP1R является 16-разрядным программируемым регистром периода для TMR1.

Триггер специального события CCP2 сбрасывает значения таймера TMR1 или TMR3 и запускает преобразование АЦП (если модуль АЦП включен).

**Примечание.** Триггер специального события модулей CCP1 и CCP2 не устанавливает флаг прерывания TMR1IF (PIR1<0>) в '1'.

Рисунок 14-2. Структурная схема модуля CCP1 в режиме сравнения

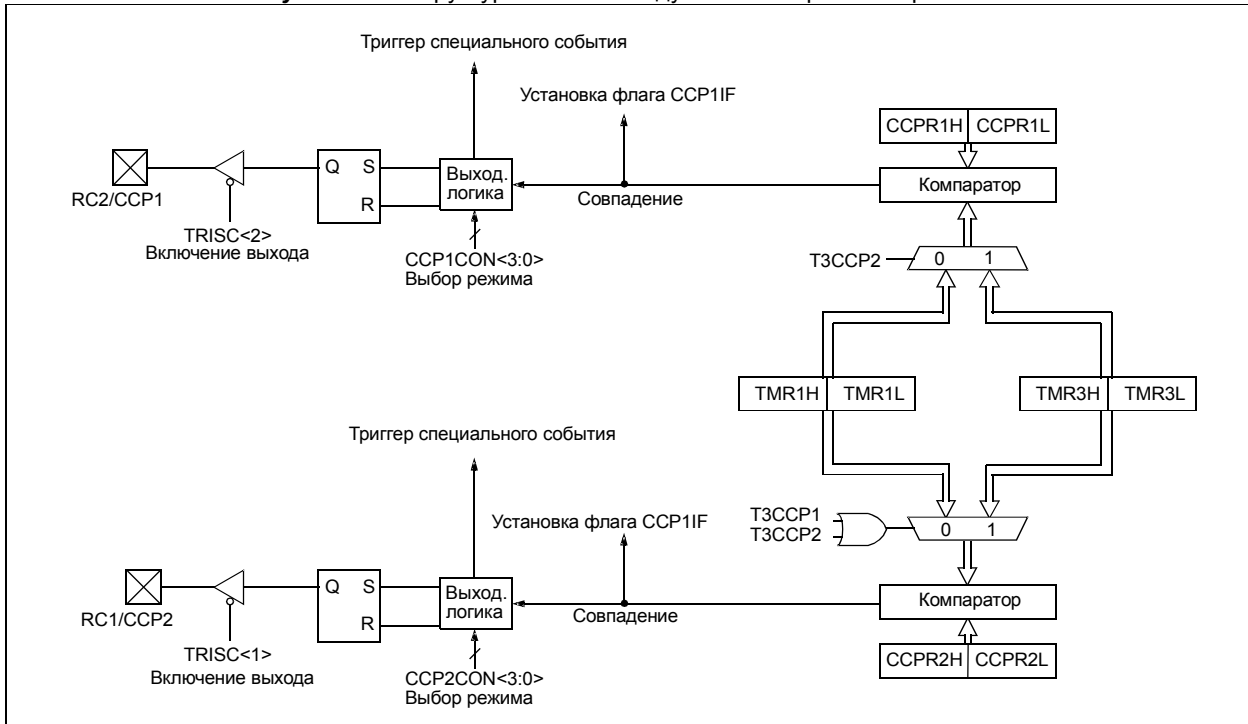


Таблица 14-3. Регистры и биты, связанные с работой модуля CCP в режиме захват/сравнение и TMR1, TMR3

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSP1P	AD1P	RC1P	TX1P	SS1P	CCP11P	TMR21P	TMR11P	0000 0000
F9Eh	PIR1	PSP1F	AD1F	RC1F	TX1F	SS1F	CCP11F	TMR21F	TMR11F	0000 0000
F98h	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP11E	TMR21E	TMR11E	0000 0000
F94h	TRISC	Регистр направления данных								1111 1111
FCFh	TMR1H	Регистр таймера 1 старший байт								xxxx xxxx
FCEh	TMR1L	Регистр таймера 1 младший байт								xxxx xxxx
FCDh	T1CON	RD16	-	T1CKPS1	T1CKPS0	T1OSCEN	-T1SYNC	TMR1CS	TMR1ON	0-00 0000
FBFh	CCPR1H	Регистр 1 Захват/Сравнение/ШИМ старший байт								xxxx xxxx
FBEh	CCPR1L	Регистр 1 Захват/Сравнение/ШИМ младший байт								xxxx xxxx
FBDh	CCP1CON	-	-	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000
FBCb	CCPR2H	Регистр 2 Захват/Сравнение/ШИМ старший байт								xxxx xxxx
FBBh	CCPR2L	Регистр 2 Захват/Сравнение/ШИМ младший байт								xxxx xxxx
FBAh	CCP2CON	-	-	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000
FA2h	IRP2	-	-	-	EEIP	BCLIP	LVDIP	TMR31P	CCP21P	---1 1111
FA1h	PIR2	-	-	-	EEIF	BCLIF	LVDIF	TMR31F	CCP21F	---0 0000
FA0h	PIE2	-	-	-	EEIE	BCLIE	LVDIE	TMR31E	CCP21E	---0 0000
FB3h	TMR3H	Регистр таймера 3 старший байт								xxxx xxxx
FB2h	TMR3L	Регистр таймера 3 младший байт								xxxx xxxx
FB1h	T3CON	RD16	T3CCP2	T3CKPS1	T3CKPS0	T3CCP1	-T3SYNC	TMR3CS	TMR3ON	0000 0000

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

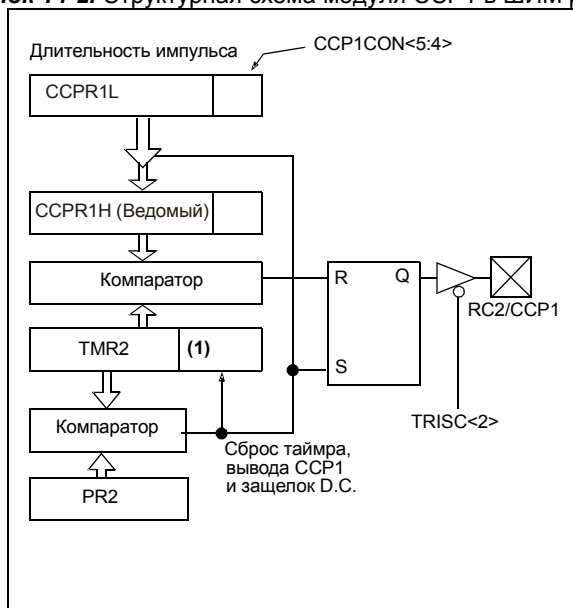
## 14.5 Режим ШИМ

В ШИМ режиме модуля CCP1 вывод CCP1 используется в качестве выхода 10-разрядного ШИМ. Т.к. вывод CCP1 мультиплицирован с цифровым каналом порта ввода/вывода, бит направления TRISC<2> должен быть сброшен в '0' для настройки его как выход.

**Примечание.** Очистка регистра CCP1CON вынудит перевести вывод CCP1 в низкий логический уровень. Низкий логический уровень не является данными из защелки PORTC.

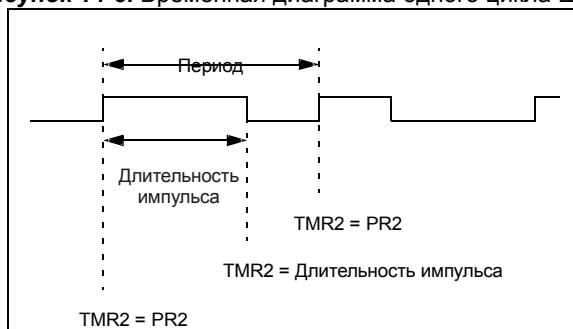
На рисунке 14-3 показана структурная схема модуля CCP1 в ШИМ режиме. Пошаговое описание настройки модуля CCP1 в ШИМ режиме смотрите в разделе 14.5.3.

**Рисунок 14-2.** Структурная схема модуля CCP1 в ШИМ режиме



На рисунке 14-4 показана временная диаграмма одного цикла ШИМ (период ШИМ и длительность высокого уровня сигнала). Частота ШИМ есть обратная величина периоду ( $1/\text{период}$ ).

**Рисунок 14-3.** Временная диаграмма одного цикла ШИМ



### 14.5.1 Период ШИМ

Период ШИМ определяется значением в регистре PR2 и может быть вычислен по формуле:

$$\text{Период ШИМ} = [ (PR2) + 1 ] \times 4 \times T_{osc} \times (\text{коэффициент делителя TMR2})$$

$$\text{Частота ШИМ} = 1 / \text{Период ШИМ}$$

Когда значение TMR2 сравнивается с PR2, выполняются следующие действия:

- TMR2 сбрасывается в 00h
- Устанавливается высокий уровень сигнала на выводе CCP1 (Если скважность равна 0%, то сигнал в высокий уровень устанавливаться не будет)
- Модуль ШИМ начинает новый цикл, загружая значение из регистра CCP1L в CCP1H

**Примечание.** Выходной делитель TMR2 (см. раздел 12.0) не влияет на частоту ШИМ. Он может использоваться для отсчета времени, когда необходимо изменить скважность ШИМ.

### 14.5.2 Длительность импульса ШИМ

Длительность импульса ШИМ определяется битами в регистрах CCP1L и CCP1CON<5:4>. Для 10-разрядного ШИМ старшие восемь бит сохраняются в регистре CCP1L, а младшие два бита в регистре CCPCON<5:4> (CCP1L:CCPCON<5:4>). Для вычисления длительности сигнала высокого уровня, воспользуйтесь следующей формулой:

$$\text{Длительность импульса ШИМ} = (\text{CCP1L:CCPCON<5:4>}) \times T_{osc} \times (\text{коэффициент делителя TMR2})$$

Биты в регистре CCP1L и CCP1CON<5:4> могут быть изменены в любое время, но значение в регистре CCP1H не изменяется, пока не произойдет соответствие PR2 и TMR2. В ШИМ режиме регистр CCP1H доступен только для чтения.

Регистр CCP1H и внутренняя двух разрядная защелка образуют буфер ШИМ. Эффект буферизации необходим при записи нового значения длительности импульса ШИМ.

Когда значение CCP1H и 2-разрядной внутренней защелки соответствует значению TMR2 и внутреннему 2-разрядному счетчику, в такте Q2 на выводе CCP1 будет установлен низкий уровень сигнала.

Расчет максимальной разрядности ШИМ для данной частоты можно вычислить по формуле (бит):

$$= \frac{\log\left(\frac{F_{osc}}{F_{pwm}}\right)}{\log(2)}$$

**Примечание.** Если длительность импульса ШИМ больше периода ШИМ, вывод CCP1 не будет иметь низкий уровень сигнала.

### 14.5.3 Последовательность настройки модуля CCP в ШИМ режиме

Рекомендованная последовательность включения модуля CCP в ШИМ режиме:

1. Установить период ШИМ в регистре PR2;
2. Установить длительность импульса в регистрах CCP1L и CCP1CON <5:4>;
3. Настроить вывод CCP1 как выход, сбросив бит TRISC<2>;
4. Настроить делитель и включить TMR2 в регистре T2CON;
5. Включить CCP1 в режиме ШИМ.

**Таблица 14-4** Соответствие частоты ШИМ и разрядности ШИМ при тактовой частоте микроконтроллера 40МГц

Частота ШИМ	2.44кГц	9.77кГц	36.09кГц	156.25кГц	312.50кГц	416.67кГц
Коэффициент делителя TMR2	16	4	1	1	1	1
Значение PR2	0xFF	0xFF	0xFF	0x3F	0x1F	0x17
Макс. разрядность ШИМ (бит)	14	12	10	8	7	6.58

**Таблица 14-5.** Регистры и биты, связанные с работой модуля CCP в режиме ШИМ и TMR2

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSPIP	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000
F9Eh	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000
F98h	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000
F94h	TRISC	Регистр направления данных								1111 1111
FCCh	TMR2	Регистр таймера 2								0000 0000
FCAh	T2CON	-	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000
FCBh	PR2	Регистр периода таймера 2								1111 1111
FBFh	CCPR1H	Регистр 1 Захват/Сравнение/ШИМ старший байт								xxxx xxxx
FBEh	CCPR1L	Регистр 1 Захват/Сравнение/ШИМ младший байт								xxxx xxxx
FBDh	CCP1CON	-	-	DC1B1	DC1B0	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000
FBCb	CCPR2H	Регистр 2 Захват/Сравнение/ШИМ старший байт								xxxx xxxx
FBBh	CCPR2L	Регистр 2 Захват/Сравнение/ШИМ младший байт								xxxx xxxx
FBAh	CCP2CON	-	-	DC2B1	DC2B0	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.



## Уважаемые господа!

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу [support@microchip.ru](mailto:support@microchip.ru)

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:

**(095) 963-9601**

**(095) 737-7545**

и адресу [sales@microchip.ru](mailto:sales@microchip.ru)

На сайте

[www.microchip.ru](http://www.microchip.ru)

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.