

PIC18FXX2

Однокристальные 8-разрядные FLASH CMOS
микроконтроллеры с 10 – разрядным АЦП
компании Microchip Technology Incorporated

- PIC18F242
- PIC18F252
- PIC18F442
- PIC18F452

Часть 8
(Модуль USART)

Перевод основывается на технической документации DS39564A
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»
Москва - 2003

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения
ООО «Микро-Чип»
тел. (095) 737-7545
www.microchip.ru

PIC18FXX2 Data Sheet

High Performance, Enhanced FLASH Microcontrollers with 10-Bit A/D

Trademarks: The Microchip name, logo, PIC, PICmicro, PICMASTER, PIC-START, PRO MATE, KEELOQ, SEEVAL, MPLAB and The Embedded Control Solutions Company are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

Total Endurance, ICSP, In-Circuit Serial Programming, Filter-Lab, MXDEV, microID, *FlexROM*, *fuzzyLAB*, MPASM, MPLINK, MPLIB, PICDEM, ICEPIC, Migratable Memory, FanSense, ECONOMONITOR and SelectMode are trademarks of Microchip Technology Incorporated in the U.S.A.

Serialized Quick Term Programming (SQTP) is a service mark of Microchip Technology Incorporated in the U.S.A.

All other trademarks mentioned herein are property of their respective companies.

28/40-выводные высокоскоростные FLASH микроконтроллеры с 10-разрядным АЦП

Высокоскоростной RISC микроконтроллер:

- Оптимизированная архитектура и система команд для написания программ на языке C
- Система команд совместима с командами семейств PIC16C, PIC17C и PIC18C
- Линейное адресное пространство памяти программ 32кбайта
- Линейное адресное пространство памяти данных 1.5кбайт

Устройство	Память программ		Память данных (байт)	EEPROM память данных (байт)
	Flash (байт)	Команд		
PIC18F242	16к	8192	768	256
PIC18F252	32к	16384	1536	256
PIC18F442	16к	8192	768	256
PIC18F452	32к	16384	1536	256

- Быстродействие до 10MIPS:
 - Тактовая частота от DC до 40МГц
 - Частота генератора с вкл. PLL от 4МГц до 10МГц
- 16-разрядные команды, 8-разрядные данные
- Система приоритетов прерываний
- Аппаратное умножение 8x8 за один машинный цикл

Характеристика периферийных модулей:

- Высокая нагрузочная способность портов ввода/вывода
- Три входа внешних прерываний
- Модуль TMR0: 8/16-разрядный таймер/счетчик с программируемым 8-разрядным предделителем
- Модуль TMR1: 16-разрядный таймер/счетчик
- Модуль TMR2: 8-разрядный таймер/счетчик с 8-разрядным регистром периода (основной для ШИМ)
- Модуль TMR3: 16-разрядный таймер/счетчик
- Вторичный генератор тактового сигнала на основе TMR1/TMR3
- Два модуля CCP
 - Выводы модуля CCP могут работать как:
 - 16-разрядный захват, максимальная разрешающая способность 6.25нс (ТСУ/16)
 - 16-разрядное сравнение, максимальная разрешающая способность 100нс (ТСУ)
 - ШИМ, разрядность от 1 до 10 бит, Максимальная частота ШИМ 156кГц@8 бит; 39кГц@10 бит

Характеристика периферийных модулей (продолжение):

- Модуль ведущего последовательного синхронного порта (MSSP)
 - 3-х проводной интерфейс SPITM (поддерживает 4 режима)
 - I2CTM (ведущий и ведомый режим)
- Адресуемый модуль USART, поддержка интерфейса RS-485 и RS-232
- Модуль PSP, ведомый параллельный порт

Аналоговые периферийные модули:

- Модуль 10-разрядного АЦП:
 - Высокая скорость преобразования
 - Работа модуля АЦП в SLEEP режиме микроконтроллера
 - $DNL = \pm 1Lsb$, $INL = \pm 1Lsb$
- Программируемый детектор пониженного напряжения (PLVD)
 - При обнаружении снижения напряжения возможна генерация прерываний
- Программируемый сброс по снижению напряжения питания

Особенности микроконтроллеров

- 100 000 гарантированных циклов стирание/запись памяти программ
- 1 000 000 гарантированных циклов стирание/запись EEPROM памяти данных
- Возможность самопрограммирования
- Сброс по включению питания (POR), таймер включения питания (PWRT), таймер запуска генератора (OST)
- Сторожевой таймер WDT с отдельным RC генератором
- Программируемая защита кода программы
- Режим пониженного энергопотребления и режим SLEEP
- Выбор режима работы тактового генератора, включая:
 - 4 x PLL (от основного генератора)
 - Вторичный генератор (32кГц)
- Внутрисхемное программирование по двухпроводной линии (ICSP) с одним напряжением питания 5В
- Внутрисхемная отладка по двухпроводной линии (ICD)

КМОП технология

- Высокоскоростная энергосберегающая КМОП технология
- Полностью статическая архитектура
- Широкий диапазон напряжений питания (от 2.0В до 5.5В)
- Промышленный и расширенный температурные диапазоны

Содержание

16.	Адресуемый универсальный синхронно-асинхронный приемопередатчик (USART)	3
16.1	Генератор скорости обмена USART BRG	6
16.1.1	<i>Выборка</i>	6
16.2	Асинхронный режим USART	9
16.2.1	<i>Асинхронный передатчик USART</i>	9
16.2.2	<i>Асинхронный приемник USART</i>	11
16.2.3	<i>Настройка 9-разрядного асинхронного приема с детектированием адреса</i>	11
16.3	Синхронный ведущий режим USART	13
16.3.1	<i>Передача синхронного ведущего</i>	13
16.3.2	<i>Прием синхронного ведущего</i>	15
16.4	Синхронный ведомый режим USART	16
16.4.1	<i>Передача синхронного ведомого</i>	16
16.4.2	<i>Прием синхронного ведомого</i>	17

16. Адресуемый универсальный синхронно-асинхронный приемопередатчик (USART)

USART – это один из модулей последовательного порта ввода/вывода (имеет существенные отличия от модуля MSSP), который может работать в полнодуплексном асинхронном режиме для связи с терминалами, персональными компьютерами или синхронном полудуплексном режиме для связи с микросхемами ЦАП, АЦП, последовательными EEPROM и т.д.

USART может работать в одном из трех режимов:

- Асинхронный, полный дуплекс
- Ведущий синхронный, полудуплекс
- Ведомый синхронный, полудуплекс

Биты SPEN (RCSTA<7>) и TRISC<7:6> должны быть установлены в '1' для использования выводов RC6/TX/CK и RC7/RX/DT в качестве портов универсального синхронно-асинхронного приемопередатчика. Модуль USART поддерживает режим детектирования 9-разрядного адреса для работы в сетевом режиме.

Для настройки модуля USART предусмотрены два регистра: TXSTA – регистр управления и статуса передатчика USART; RCSTA – регистр управления и статуса приемника USART.

Регистр 16-1. TXSTA: Регистр управления и статуса передатчика

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D
Бит 7							Бит 0

- бит 7 **CSRC:** Выбор источника тактового сигнала
Синхронный режим
 1 = ведущий, внутренний тактовый сигнал от BRG
 0 = ведомый, внешний тактовый сигнал с входа CK

Асинхронный режим
 Не имеет значения
- бит 6 **TX9:** Разрешение 9-разрядной передачи
 1 = 9-разрядная передача
 0 = 8-разрядная передача
- бит 5 **TXEN:** Разрешение передачи
 1 = разрешена
 0 = запрещена
Примечание. В синхронном режиме биты SREN/CREN отменяют действие бита TXEN.
- бит 4 **SYNC:** Режим работы USART
 1 = синхронный
 0 = асинхронный
- бит 3 **Не используется:** читается как '0'
- бит 2 **BRGH:** Выбор высокоскоростного режима
Синхронный режим
 Не имеет значения

Асинхронный режим
 1 = высокоскоростной режим
 0 = низкоскоростной режим
- бит 1 **TRMT:** Флаг очистки сдвигового регистра передатчика TSR
 1 = TSR пуст
 0 = TSR полон
- бит 0 **TX9D:** 9-й бит передаваемых данных (может использоваться для программной проверки четности)

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

Регистр 16-2. RCSTA: Регистр управления и статуса приемника

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
Бит 7							Бит 0

- бит 7 **SPEN:** Разрешение работы последовательного порта
 1 = модуль USART включен (выводы RX/DT, TX/CK подключены к USART)
 0 = модуль USART выключен
- бит 6 **RX9:** Разрешение 9-разрядного приема
 1 = 9-разрядный прием
 0 = 8-разрядный прием
- бит 5 **SREN:** Разрешение одиночного приема
Синхронный режим
 1 = разрешен одиночный прием
 0 = запрещен одиночный прием
 Сбрасывается в '0' по завершению приема.
Примечание. В режиме ведомого не имеет значения
- Асинхронный режим
 Не имеет значения
- бит 4 **CREN:** Разрешение приема
Синхронный режим
 1 = прием разрешен (при установке бита CREN автоматически сбрасывается бит SREN)
 0 = прием запрещен
- Асинхронный режим
 1 = прием разрешен
 0 = прием запрещен
- бит 3 **ADDEN:** Разрешение детектирования адреса
Асинхронный 9-разрядный прием (RX9=1)
 1 = детектирование адреса разрешено. Если бит RSR<8>=1, то генерируется прерывание и загружается приемный буфер.
 0 = детектирование адреса запрещено. Принимаются все байты, девятый бит может использоваться для проверки четности.
- бит 2 **FERR:** Ошибка кадра, сбрасывается при чтении регистра RCREG
 1 = произошла ошибка кадра
 0 = ошибки кадра не было
- бит 1 **OERR:** Ошибка переполнения внутреннего буфера, устанавливается в '0' при сбросе бита CREN
 1 = произошла ошибка переполнения
 0 = ошибки переполнения не было
- бит 0 **RX9D:** 9-й бит принятых данных (может использоваться для программной проверки четности)

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

16.1 Генератор скорости обмена USART BRG

BRG используется для работы USART в синхронном ведущем и асинхронном режимах. BRG представляет собой отдельный 8-разрядный генератор скорости обмена в бодах, период которого определяется значением в регистре SPBRG. В асинхронном режиме бит BRGH (TXSTA<2>) тоже влияет на скорость обмена (в синхронном режиме бит BRGH игнорируется). В таблице 16-1 указаны формулы для вычисления скорости обмена в бодах при различных режимах работы модуля USART (относительно внутреннего тактового сигнала микроконтроллера).

Учитывая требуемую скорость и F_{OSC} , выбирается самое близкое целое значение для записи в регистр SPBRG (от 0 до 255), рассчитанное по формулам приведенным в таблице 16-1. Затем рассчитывается ошибка скорости обмена.

В примере 16-1 показан расчет значения для регистра SPBRG и погрешность скорости обмена для следующих условий:

$F_{OSC} = 16$ МГц
 Скорость приема/передачи данных = 9600 бит/с
 BRGH = 0
 SYNC = 0

В некоторых случаях может быть выгодно использовать высокоскоростной режим работы USART (BRGH=1), поскольку уравнение $F_{OSC} / (16 (X + 1))$ позволяет уменьшить погрешность скорости.

Запись нового значения в регистр SPBRG сбрасывает таймер BRG, гарантируя немедленный переход на новую скорость.

16.1.1 Выборка

Сигнал с входа RX/DT опрашивается цепью мажоритарного детектора три раза за такт передачи, чтобы определить, высокого или низкого уровня сигнал присутствует на входе.

Пример 16-1. Расчет значения для регистра SPBRG и погрешность скорости обмена

Желаемое значение скорости = $F_{OSC} / (64 (X + 1))$

$X = (F_{OSC} / \text{Желаемое значение скорости}) / 64 - 1$

$X = (16\,000\,000 / 9600) / 64 - 1$

$X = [25.042] = 25$

Вычисленное значение скорости = $16\,000\,000 / (64 (25 + 1)) = 9615$

Ошибка = $100 \times (\text{Вычисленное} - \text{Желаемое}) / \text{Желаемое значение скорости}$

Ошибка = $100 \times (9615 - 9600) / 9600 = 0.16\%$

Таблица 16-1. Формулы расчета скорости обмена данными

SYNC	BRGH = 0	BRGH = 1
0	(Асинхронный) Скорость обмена = $F_{OSC} / (64 (X + 1))$	(Асинхронный) Скорость обмена = $F_{OSC} / (16 (X + 1))$
1	(Синхронный) Скорость обмена = $F_{OSC} / (4 (X + 1))$	(Синхронный) Скорость обмена = $F_{OSC} / (4 (X + 1))$

X = значение регистра SPBRG (от 0 до 255)

Таблица 16-2. Регистры и биты, связанные с работой генератора BRG

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FACH	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 010
FABH	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x
FAFH	SPBRG	Регистр скорости обмена USART								0000 0000

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

Таблица 16-3 Скорость обмена в асинхронном режиме (BRGH=0)

Скорость обмена (К)	Fosc = 40 МГц			Fosc = 20 МГц			Fosc = 16 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	Нет	-	-	Нет	-	-	Нет	-	-
1,2	Нет	-	-	1,221	+1,73	255	1,202	+0,16	207
2,4	2,441	-1,70	255	2,404	+0,16	129	2,404	+0,16	103
9,6	9,615	-0,16	64	9,469	-1,36	32	9,615	+0,16	25
19,2	18,94	+1,38	32	19,53	+1,73	15	19,23	+0,16	12
76,8	78,13	-1,70	7	78,13	+1,73	3	83,33	+8,51	2
96	89,29	+7,52	6	104,2	+8,51	2	Нет	-	-
300	312,5	-4,00	1	312,5	+4,17	0	Нет	-	-
500	625,0	-20,0	0	Нет	-	-	Нет	-	-
Максим.	625,0	-	0	312,5	-	0	250	-	0
Миним.	2,441	-	255	1,221	-	255	0,977	-	255

Скорость обмена (К)	Fosc = 10 МГц			Fosc = 7,15909 МГц			Fosc = 5,0688 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	Нет	-	-	Нет	-	-	0,31	+3,13	255
1,2	1,202	+0,16	129	1,203	+0,23	92	1,2	0	65
2,4	2,404	+0,16	64	2,380	-0,83	46	2,4	0	32
9,6	9,615	+1,73	15	9,322	-2,90	11	9,9	+3,13	7
19,2	19,53	+1,73	7	18,64	-2,90	5	19,8	+3,13	3
76,8	78,13	+1,73	1	Нет	-	-	79,2	+3,13	0
96	Нет	-	-	Нет	-	-	Нет	-	-
300	Нет	-	-	Нет	-	-	Нет	-	-
500	Нет	-	-	Нет	-	-	Нет	-	-
Максим.	156,3	-	0	111,9	-	0	79,2	-	0
Миним.	0,6104	-	255	0,437	-	255	0,3094	-	255

Скорость обмена (К)	Fosc = 4 МГц			Fosc = 3,579545 МГц			Fosc = 1 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	0,3005	-0,17	207	0,301	+0,23	185	0,300	+0,16	51
1,2	1,202	+1,67	51	1,190	-,083	46	1,202	+0,16	12
2,4	2,404	+1,67	25	2,432	+1,32	22	2,232	-6,99	6
9,6	Нет	-	-	9,322	-2,90	5	Нет	-	-
19,2	Нет	-	-	18,64	-2,90	2	Нет	-	-
76,8	Нет	-	-	Нет	-	-	Нет	-	-
96	Нет	-	-	Нет	-	-	Нет	-	-
300	Нет	-	-	Нет	-	-	Нет	-	-
500	Нет	-	-	Нет	-	-	Нет	-	-
Максим.	62,500	-	0	55,93	-	0	15,63	-	0
Миним.	3,906	-	255	0,2185	-	255	0,0610	-	255

Скорость обмена (К)	Fosc = 32,768 кГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
0,3	0,256	-14,67	1
1,2	Нет	-	-
2,4	Нет	-	-
9,6	Нет	-	-
19,2	Нет	-	-
76,8	Нет	-	-
96	Нет	-	-
300	Нет	-	-
500	Нет	-	-
Максим.	0,512	-	0
Миним.	0,0020	-	255

Таблица 16-4. Скорость обмена в асинхронном режиме (BRGH=1)

Скорость обмена (К)	F _{osc} = 40 МГц			F _{osc} = 20 МГц			F _{osc} = 16 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
9,6	9.766	-1.70	255	9,615	+0,16	129	9,615	+0,16	103
19,2	19.231	-0.16	129	19,230	+0,16	64	19,230	+0,16	51
38,4	38.461	-0.16	64	37,878	-1,36	32	38,461	+0,16	25
57,6	58.139	-0.93	42	56,818	-1,36	21	58,823	+2,12	16
115,2	113.64	1.38	21	113,636	-1,36	10	111,111	-3,55	8
250	250	0	9	250	0	4	250	0	3
625	625	0	3	625	0	1	Нет	-	-
1250	1250	0	1	1250	0	0	Нет	-	-

Скорость обмена (К)	F _{osc} = 10 МГц			F _{osc} = 7,16 МГц			F _{osc} = 5,068 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
9,6	9,615	+0,16	64	9,520	-0,83	46	9,6	0	32
19,2	18,939	-1,36	32	19,454	+1,32	22	18,645	-2,94	16
38,4	39,062	+1,7	15	37,286	-2,90	11	39,6	+3,12	7
57,6	56,818	-1,36	10	55,930	-2,90	7	52,8	-8,33	5
115,2	125	+8,51	4	111,860	-2,90	3	105,6	-8,33	2
250	Нет	-	-	Нет	-	-	Нет	-	-
625	625	0	0	Нет	-	-	Нет	-	-
1250	Нет	-	-	Нет	-	-	Нет	-	-

Скорость обмена (К)	F _{osc} = 4 МГц			F _{osc} = 3,579 МГц			F _{osc} = 1 МГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
9,6	Нет	-	-	9,727	+1,32	22	8,928	-6,99	6
19,2	1,202	+0,17	207	18,643	-2,90	11	20,833	+8,51	2
38,4	2,403	+0,13	103	37,286	-2,90	5	31,25	-18,61	1
57,6	9,615	+0,16	25	55,930	-2,90	3	62,5	+8,51	0
115,2	19,231	+0,16	12	111,860	-2,90	1	Нет	-	-
250	Нет	-	-	223,721	-10,51	0	Нет	-	-
625	Нет	-	-	Нет	-	-	Нет	-	-
1250	Нет	-	-	Нет	-	-	Нет	-	-

Скорость обмена (К)	F _{osc} = 32,768 кГц		
	Реальная скорость	Ошибка %	Значение SPBRG (десят.)
9,6	Нет	-	-
19,2	Нет	-	-
38,4	Нет	-	-
57,6	Нет	-	-
115,2	Нет	-	-
250	Нет	-	-
625	Нет	-	-
1250	Нет	-	-

16.2 Асинхронный режим USART

В этом режиме USART использует стандартный формат NRZ: один стартовый бит, восемь или девять битов данных и один стоповый бит. Наиболее часто встречается 8-разрядный формат передачи данных. Интегрированный 8-разрядный генератор BRG позволяет получить стандартные скорости передачи данных. Генератор скорости обмена может работать в одном из двух режимов: высокоскоростной (x16 BRGH=1 TXSTA<2>), низкоскоростной (x64 BRGH=0 TXSTA<2>). Приемник и передатчик последовательного порта работают независимо друг от друга, но используют один и тот же формат данных и одинаковую скорость обмена. Бит четности аппаратно не поддерживается, но может быть реализован программно, применяя 9-разрядный формат данных. Все данные передаются младшим битом вперед. В SLEEP режиме микроконтроллера модуль USART (асинхронный режим) выключен.

Выбор асинхронного режима USART выполняется сбросом бита SYNC в '0' (TXSTA<4>).

Модуль USART в асинхронном режиме состоит из следующих элементов:

- Генератор скорости обмена
- Цепь опроса
- Асинхронный передатчик
- Асинхронный приемник

16.2.1 Асинхронный передатчик USART

Структурная схема асинхронного передатчика USART показана на рисунке 16-1. Главным в передатчике является сдвиговый регистр TSR, который получает данные из буфера передатчика TXREG. Данные в регистр TXREG загружаются программно. После передачи стопового бита предыдущего байта, в последнем машинном такте цикла BRG, TSR загружается новым значением из TXREG (если оно присутствует), после чего устанавливается флаг прерывания TXIF. Прерывание может быть разрешено или запрещено битом TXIE. Флаг TXIF устанавливается независимо от состояния бита TXIE и не может быть сброшен в '0' программно. Очистка флага TXIF происходит только после загрузки новых данных в регистр TXREG. Аналогичным образом бит TRMT (TXSTA<1>) отображает состояние регистра TSR. Бит TRMT доступен только на чтение и не может вызвать генерацию прерывания.

Примечания:

1. Регистр TSR не отображается на память и не доступен для чтения.
2. Флаг TXIF устанавливается в '1' только, когда бит TXEN=1 и сбрасывается автоматически в '0' после загрузки новых данных в регистр TXREG.

Рекомендованная последовательность действий для передачи данных в асинхронном режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 16.1)
2. Выбрать асинхронный режим сбросом бита SYNC в '0' и установкой бита SPEN в '1'
3. Если необходимо, разрешить прерывания установкой бита TXIE в '1'
4. Если передача 9-разрядная, установить бит TX9 в '1'
5. Разрешить передачу установкой бита TXEN в '1', автоматически устанавливается флаг TXIF
6. Если передача 9-разрядная, записать 9-й бит данных в TX9D
7. Записать данные в регистр TXREG (начало передачи данных)
8. Если используются прерывания, то биты GIE и PEIE в регистре INTCON<7:6> должны быть установлены в '1'

Рисунок 16-1. Структурная схема асинхронного передатчика USART

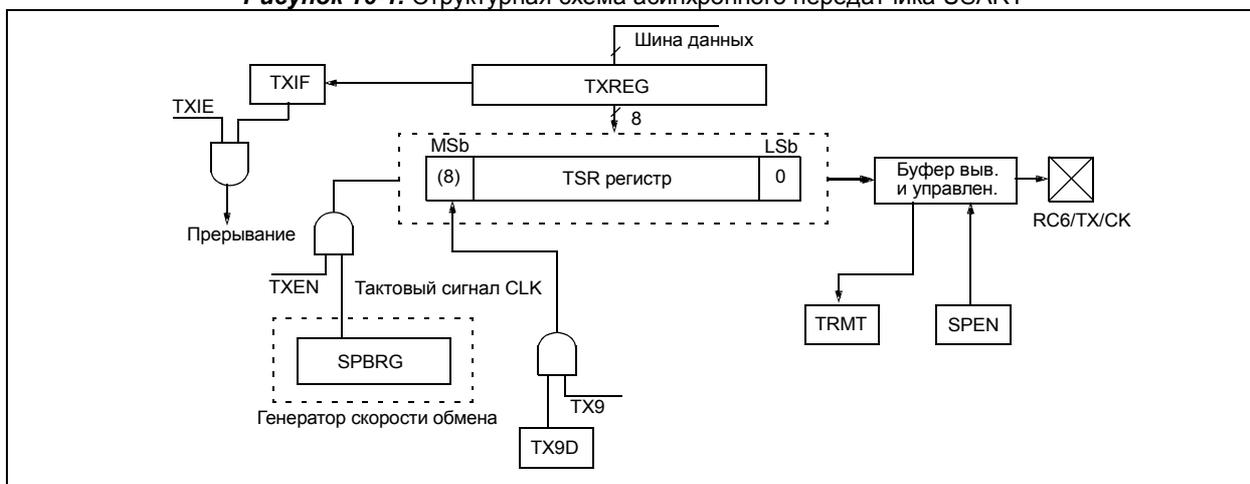


Рисунок 16-2. Временная диаграмма асинхронной передачи данных

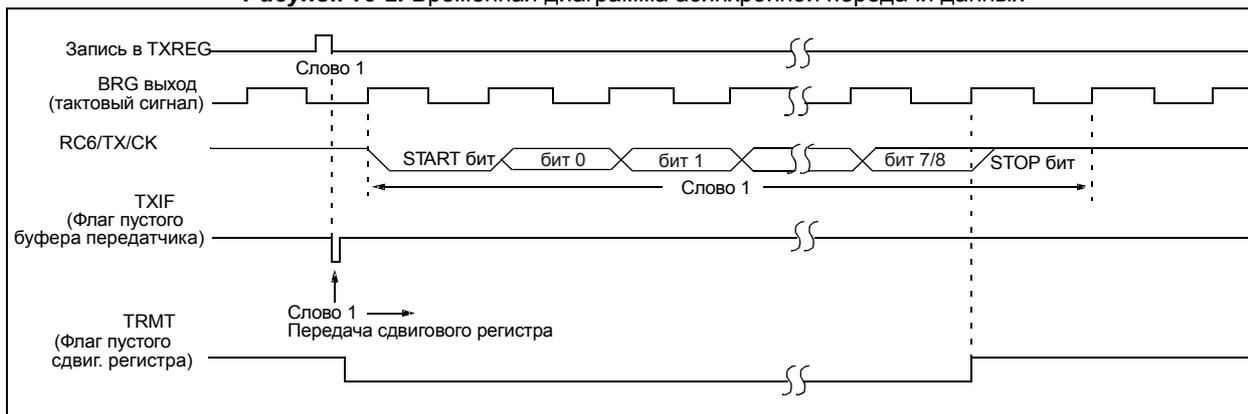


Рисунок 16-3. Временная диаграмма слитной асинхронной передачи (последовательная передача двух байт)

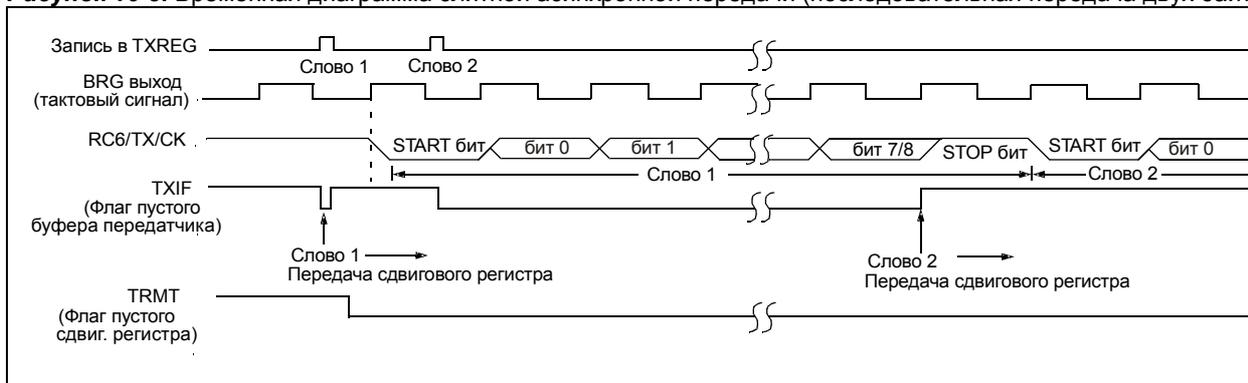


Таблица 16-5. Регистры и биты, связанные с работой передатчика USART в асинхронном режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSPIP ⁽¹⁾	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000
F9Eh	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000
F98h	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000
FABh	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x
FADh	TXREG	Регистр передатчика USART								0000 0000
FACH	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010
FAFh	SPBRG	Регистр скорости обмена USART								0000 0000

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

Примечание 1. Эти биты в микроконтроллерах PIC18F2X2 не реализованы, они должны поддерживаться сброшенными в '0'.

16.2.2 Асинхронный приемник USART

Структурная схема асинхронного приемника USART показана на рисунке 16-4. Данные подаются на вход RC7/RX/DT в блок восстановления данных, представляющий собой скоростной сдвиговый регистр, работающий на частоте в 16 раз превышающей скорость передачи или F_{osc} . Этот режим обычно применяется для работы по интерфейсу RS-232.

Рекомендованные действия при приеме данных в асинхронном режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 16.1)
2. Выбрать асинхронный режим сбросом бита SYNC в '0' и установкой бита SPEN в '1'
3. Если необходимо, разрешить прерывания установкой бита RCIE в '1'
4. Если прием 9-разрядный, установить бит RX9 в '1'
5. Разрешить прием установкой бита CREN в '1'
6. Ожидать установку бита RCIF, или прерывание, если оно разрешено битом RCIE
7. Считать 9-й бит данных (если разрешен 9-разрядный прием) из регистра RCSTA и проверить возникновение ошибки
8. Считать 8 бит данных из регистра RCREG
9. При возникновении ошибки переполнения сбросить бит CREN в '0'
10. Если используются прерывания, то биты GIE и PEIE в регистре INTCON<7:6> должны быть установлены в '1'

16.2.3 Настройка 9-разрядного асинхронного приема с детектированием адреса

Этот режим обычно применяется для работы по интерфейсу RS-485.

Рекомендованная последовательность действия при использовании детектора адреса:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 16.1)
2. Выбрать асинхронный режим сбросом бита SYNC в '0' и установкой бита SPEN в '1'
3. Если необходимо, разрешить прерывания установкой бита RCIE в '1'
4. Установить бит RX9 в '1' для включения 9-разрядного приема
5. Установить бит ADDEN в '1' для разрешения детектирования адреса
6. Разрешить прием установкой бита CREN в '1'
7. Ожидать установку бита RCIF или прерывание, если оно разрешено битами RCIE, GIE
8. Считать 9-й бит данных из регистра RCSTA и проверить возникновение ошибки
9. Считать 8 бит данных из регистра RCREG для проверки адресации устройства
10. При возникновении ошибки переполнения сбросить бит CREN в '0'
11. Если принятый адрес соответствует адресу устройства, сбросить биты ADDEN и RCIF в '0' для начала приема данных

Рисунок 16-4. Структурная схема асинхронного приемника USART

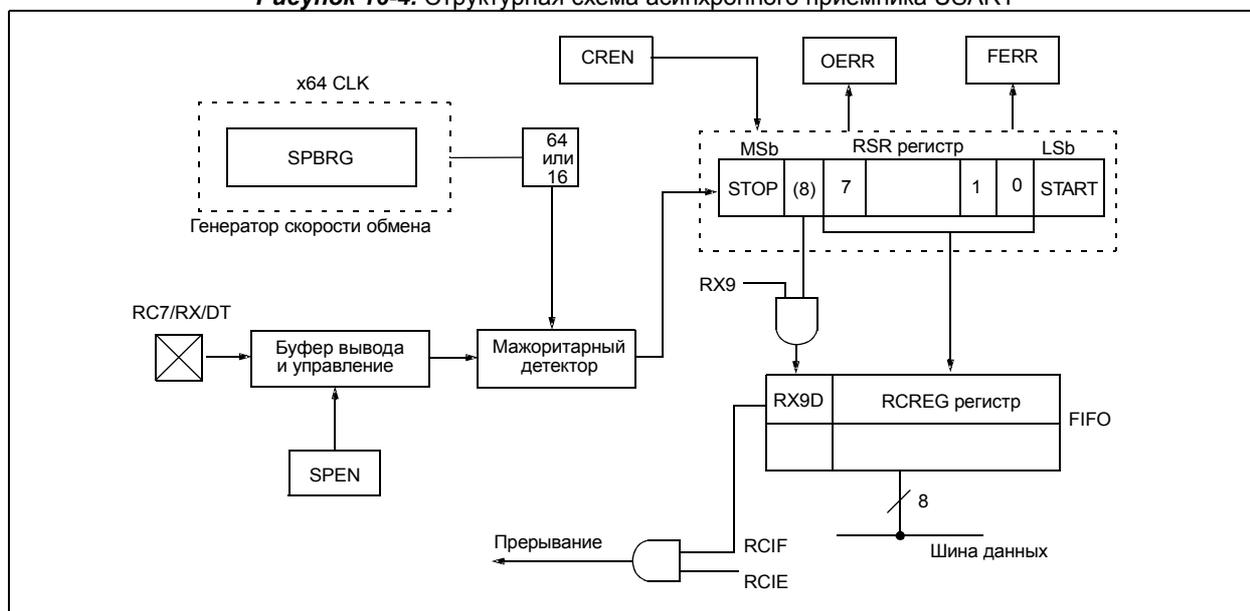
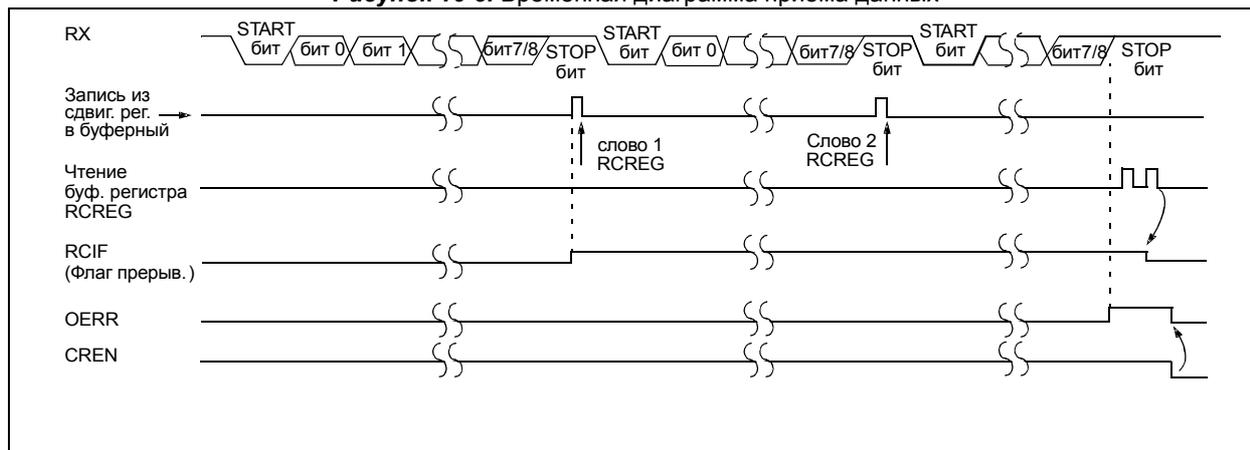


Рисунок 16-5. Временная диаграмма приема данных

Примечание. На временной диаграмме показан последовательный прием трех байт. Регистр RCREG (приемный буфер) читается после приема трех байт, поэтому устанавливается бит OERR в '1'.

Таблица 16-6. Регистры и биты, связанные с работой приемника USART в асинхронном режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSP1P ⁽¹⁾	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000
F9Eh	PIR1	PSP1F ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000
F98h	PIE1	PSP1E ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000
FABh	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x
FAEh	RCREG	Регистр приемника USART								0000 0000
FACh	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010
FAFh	SPBRG	Регистр скорости обмена USART								0000 0000

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

Примечание 1. Эти биты в микроконтроллерах PIC18F2X2 не реализованы, они должны поддерживаться сброшенными в '0'.

16.3 Синхронный ведущий режим USART

В ведущем синхронном режиме данные передаются полудуплексом, т.е. прием и передача не происходит одновременно. При передаче запрещен прием и наоборот. Синхронный режим включается установкой бита SYNC (TXSTA<4>) в '1'. Также необходимо включить модуль USART, установкой бита SPEN (RCSTA<7>) в '1', для настройки портов ввода/вывода RC6/TX/CK и RC7/RX/DT в качестве тактового сигнала CK и линии данных DT соответственно. В режиме ведущего модуль USART формирует тактовый сигнал CK. Выбор режима ведущего производится установкой бита CSRC (TXSTA<7>) в '1'.

16.3.1 Передача синхронного ведущего

Структурная схема передатчика USART показана на рисунке 16-1. Главным в передатчике является сдвиговый регистр TSR. Сдвиговый регистр получает данные из буфера передатчика TXREG. В регистр TSR не загружаются новые данные, пока не будет передан последний бит предыдущего байта. После передачи последнего бита предыдущего байта TSR загружается новым значением из TXREG (если оно присутствует), и устанавливается флаг прерывания TXIF (PIR1<4>). Это прерывание может быть разрешено/запрещено битом TXIE (PIE1<4>). Флаг TXIF устанавливается вне зависимости от состояния бита TXIE и может быть сброшен только загрузкой новых данных в регистр TXREG. Также, как TXIF отображает состояние TXREG, бит TRMT (TXSTA<1>) показывает состояние регистра TSR. Этот бит не вызывает генерацию прерывания, доступен только на чтение и устанавливается в '1', когда регистр TSR пуст. Регистр TSR не отображается на память и не доступен пользователю.

Рекомендованная последовательность действий для передачи данных в синхронном ведущем режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 16.1)
2. Выбрать синхронный ведущий режим установкой битов SYNC, SPEN и CSRC в '1'
3. Если необходимо, разрешить прерывания установкой бита TXIE в '1'
4. Если передача 9-разрядная, установить бит TX9 в '1'
5. Разрешить передачу установкой бита TXEN в '1'
6. Если передача 9-разрядная, записать 9-й бит данных в TX9D
7. Записать данные в регистр TXREG
8. Если используются прерывания, то биты GIE и PEIE в регистре INTCON<7:6> должны быть установлены в '1'

Таблица 16-7. Регистры и биты, связанные с работой передатчика USART в синхронном ведущем режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSPIP ⁽¹⁾	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000
F9Eh	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000
F98h	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000
FABh	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x
FADh	TXREG	Регистр передатчика USART								0000 0000
FACh	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010
FAFh	SPBRG	Регистр скорости обмена USART								0000 0000

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

Примечание 1. Эти биты в микроконтроллерах PIC18F2X2 не реализованы, они должны поддерживаться сброшенными в '0'.

Рисунок 16-6. Временная диаграмма синхронной передачи двух 8-разрядных слов (SPBRG = 0)

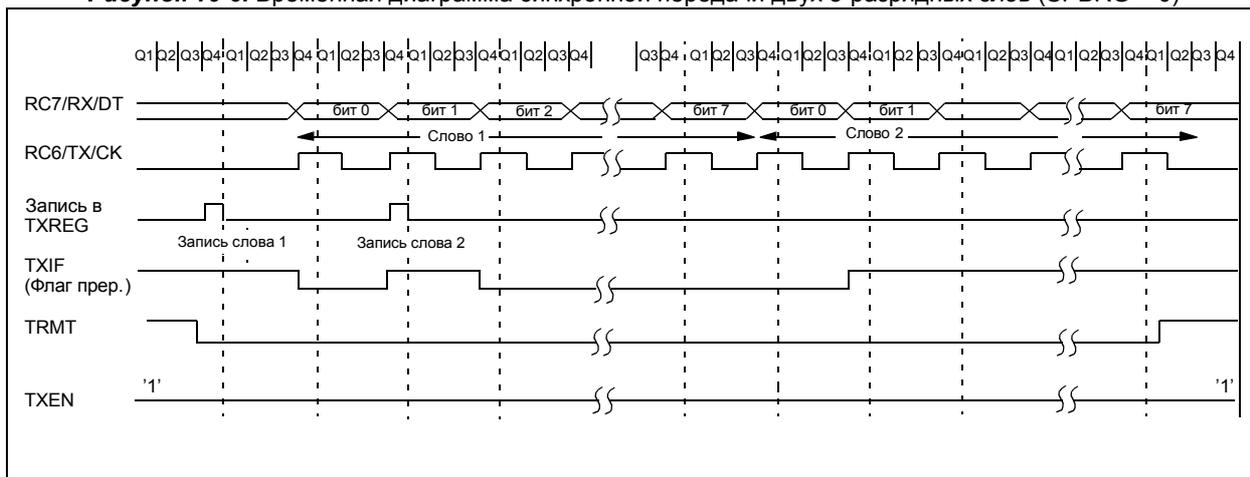
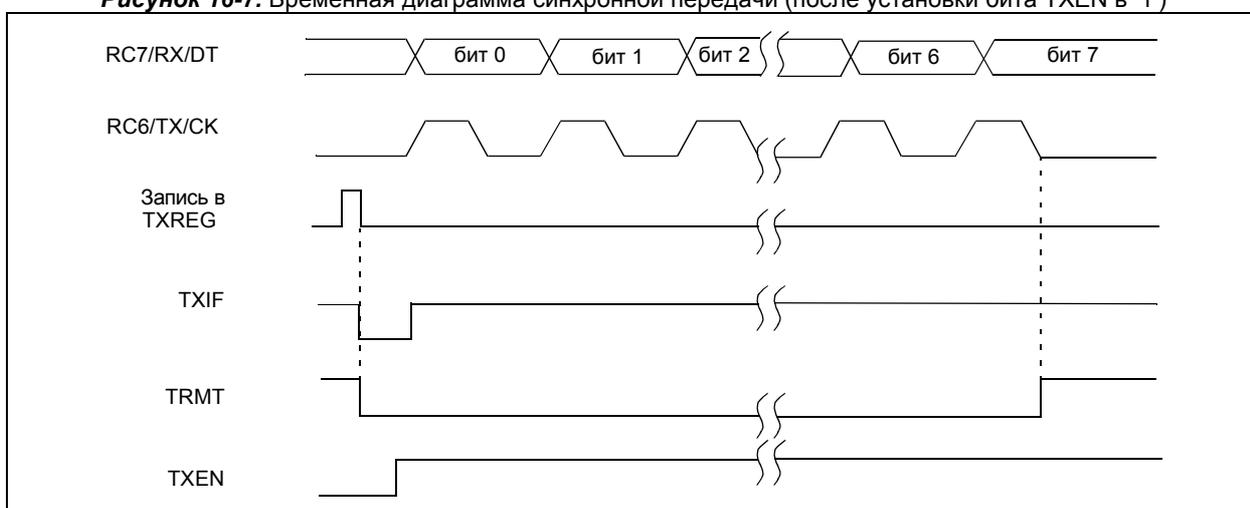


Рисунок 16-7. Временная диаграмма синхронной передачи (после установки бита TXEN в '1')



16.3.2 Прием синхронного ведущего

В синхронном режиме прием разрешается установкой битов CREN (RCSTA<4>) или SREN (RCSTA<5>) в '1'. Линия данных RC7/RX/DT опрашивается по заднему фронту тактового сигнала. Если бит SREN установлен в '1', то принимается одиночное слово. Если бит CREN установлен в '1', то в не зависимости от состояния бита SREN будет производиться поточный прием данных, пока CREN не будет равен нулю. Если оба бита (CREN, SREN) установлены в '1', то приоритет отдается биту CREN.

Рекомендованные действия при приеме данных в синхронном ведущем режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH (см. раздел 16.1)
2. Выбрать синхронный ведущий режим установкой битов SYNC, SPEN и CSRC в '1'
3. Сбросить биты SREN и CREN в '0'
4. Если необходимо, разрешить прерывания установкой бита RCIE в '1'
5. Если прием 9-разрядный, установить бит RX9 в '1'
6. Если необходимо выполнить одиночный прием, установите бит SREN в '1'. Для поточного приема установите бит CREN в '1'
7. Ожидать установку бита RCIF, или прерывание, если оно разрешено битом RCIE
8. Считать 9-й бит данных (если разрешен 9-разрядный прием) из регистра RCSTA и проверить возникновение ошибки
9. Считать 8 бит данных из регистра RCREG
10. При возникновении ошибки переполнения сбросить бит CREN в '0'
11. Если используются прерывания, то биты GIE и PEIE в регистре INTCON<7:6> должны быть установлены в '1'

Таблица 16-8. Регистры и биты, связанные с работой приемника USART в синхронном ведущем режиме

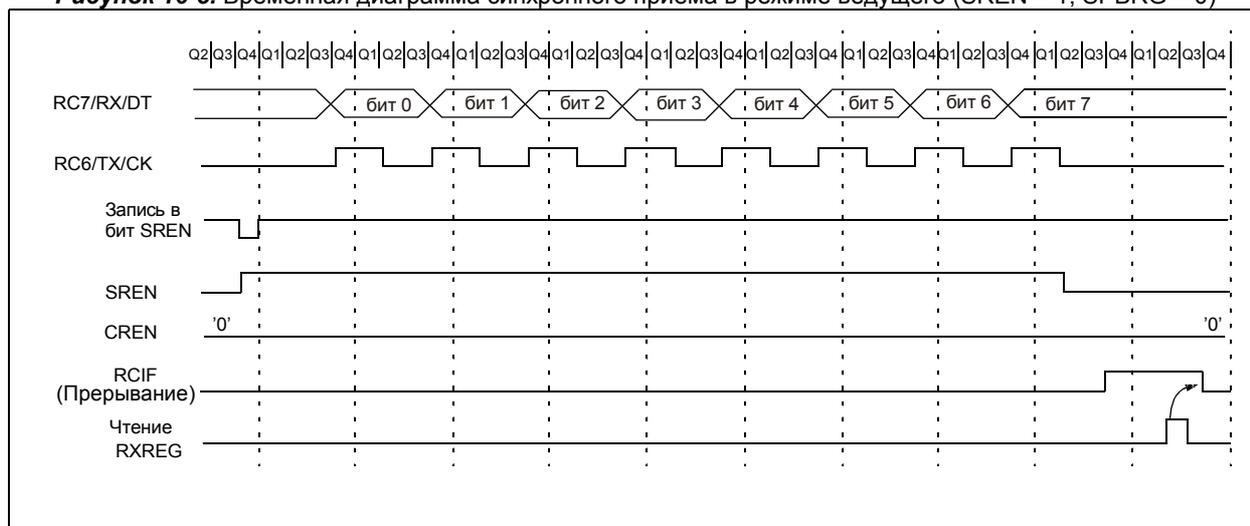
Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSPIP ⁽¹⁾	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000
F9Eh	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000
F98h	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000
FABh	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x
FAEh	RCREG	Регистр приемника USART								0000 0000
FACh	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010
FAFh	SPBRG	Регистр скорости обмена USART								0000 0000

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

Примечание 1. Эти биты в микроконтроллерах PIC18F2X2 не реализованы, они должны поддерживаться сброшенными в '0'.

Рисунок 16-8. Временная диаграмма синхронного приема в режиме ведущего (SREN = 1, SPBRG = 0)



16.4 Синхронный ведомый режим USART

Режим ведомого отличается от ведущего тем, что микроконтроллер использует тактовый сигнал с входа RC6/TX/CK, а не формирует его самостоятельно. Это позволяет устройству принимать и передавать данные в SLEEP режиме. Выбрать режим ведомого можно сбросом бита CSRC (TXSTA<7>) в '0'.

16.4.1 Передача синхронного ведомого

Работа передатчика в обоих синхронных режимах одинакова, за исключением работы ведомого в SLEEP режиме микроконтроллера.

Если в TXREG были записаны два слова подряд и исполнена команда SLEEP, выполняются следующие действия:

- Первое слово сразу записывается в TSR и передается по мере прихода тактового сигнала
- Второе слово остается в TXREG
- Флаг TXIF не устанавливается в '1'
- После передачи первого слова, второе слово передается из TXREG в TSR, и устанавливается флаг TXIF в '1'
- Если установлен бит TXIE в '1', микроконтроллер выходит из режима SLEEP, происходит переход по вектору прерывания, если прерывания разрешены

Рекомендованная последовательность действий для передачи данных в синхронном ведомом режиме:

- Выбрать синхронный ведомый режим установкой битов SYNC, SPEN в '1' и сбросом CSRC в '0'
- Сбросить биты SREN и CREN в '0'
- Если необходимо, разрешить прерывания установкой бита TXIE в '1'
- Если передача 9-разрядная, установить бит TX9 в '1'
- Разрешить передачу установкой бита TXEN в '1'
- Если передача 9-разрядная, записать 9-й бит данных в TX9D
- Для начала передачи записать данные в регистр TXREG
- Если используются прерывания, то биты GIE и PEIE в регистре INTCON<7:6> должны быть установлены в '1'

Таблица 16-9. Регистры и биты, связанные с работой передатчика USART в синхронном ведомом режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSPIP ⁽¹⁾	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000
F9Eh	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000
F98h	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000
FABh	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x
FADh	TXREG	Регистр передатчика USART								0000 0000
FACh	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

Примечание 1. Эти биты в микроконтроллерах PIC18F2X2 не реализованы, они должны поддерживаться сброшенными в '0'.

16.4.2 Прием синхронного ведомого

Работа приемника в обоих синхронных режимах одинакова, кроме работы в режиме SLEEP. В синхронном ведомом режиме не учитывается состояние бита SREN.

Если перед выполнением команды SLEEP был разрешен прием (бит CREN = 1), то модуль USART может принять слово в SLEEP режиме микроконтроллера. По окончании приема данные передаются из регистра RSR в RCREG. Если бит RCIE = 1, микроконтроллер выйдет из режима SLEEP. Если прерывания разрешены, произойдет переход по адресу вектора прерываний.

Рекомендованные действия при приеме данных в синхронном ведомом режиме:

1. Выбрать синхронный ведомый режим установкой битов SYNC, SPEN в '1' и сбросом CSRC в '0'
2. Если необходимо, разрешить прерывания установкой бита RCIE в '1'
3. Если прием 9-разрядный, установить бит RX9 в '1'
4. Установите бит CREN в '1' для разрешения приема
5. Ожидать установку бита RCIF, или прерывание, если оно разрешено битом RCIE
6. Считать 9-й бит данных (если разрешен 9-разрядный прием) из регистра RCSTA и проверить возникновение ошибки
7. Считать 8 бит данных из регистра RCREG
8. При возникновении ошибки переполнения сбросить бит CREN в '0'
9. Если используются прерывания, то биты GIE и PEIE в регистре INTCON<7:6> должны быть установлены в '1'

Таблица 16-10. Регистры и биты, связанные с работой приемника USART в синхронном ведомом режиме

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSPIP ⁽¹⁾	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000
F9Eh	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000
F98h	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000
FABh	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x
FAEh	RCREG	Регистр приемника USART								0000 0000
FACH	TXSTA	CSRC	TX9	TXEN	SYNC	-	BRGH	TRMT	TX9D	0000 -010

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

Примечание 1. Эти биты в микроконтроллерах PIC18F2X2 не реализованы, они должны поддерживаться сброшенными в '0'.

Уважаемые господа!

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу support@microchip.ru

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:

(095) 963-9601

(095) 737-7545

и адресу sales@microchip.ru

На сайте

www.microchip.ru

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.