

# **TMR0, TMR1, TMR2, TMR3, ШИМы и регистры захвата в микроконтроллерах PIC17C4X**

Статья основывается на технической документации DS30412c  
компании Microchip Technology Incorporated, USA.

**© ООО «Микро-Чип»  
Москва - 2001**

Распространяется бесплатно.  
Полное или частичное воспроизведение материала допускается только с письменного разрешения  
ООО «Микро-Чип»  
тел. (095) 737-7545  
[www.microchip.ru](http://www.microchip.ru)

## TMR0, TMR1, TMR2, TMR3, ШИМы и регистры захвата в микроконтроллерах PIC17C4X

Статья основывается на технической документации DS30412c компании Microchip Technology Incorporated, USA.

В статье описывается TMR0, TMR1, TMR2, TMR3, ШИМы и регистры захвата микроконтроллеров: PIC17C42; PIC17C42A; PIC17C43; PIC17CR43; PIC17C44.

### Модуль TMR0

Модуль TMR0 содержит 16-разрядный таймер-счетчик, программируемый 8-разрядный предделитель, позволяющий организовать 24-разрядный таймер с переполнением. Источник тактового сигнала выбирается программно:

- внутренний источник, совпадающий с машинным циклом
- внешний источник, вход RA1/T0CKI

Биты управления модулем TMR0 находятся в регистре T0STA.

**T0STA (адрес 05h, доступен из любого банка):** регистр управления TMR0

R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	U - 0
<b>INTEDG</b>	<b>T0SE</b>	<b>T0CS</b>	<b>PS3</b>	<b>PS2</b>	<b>PS1</b>	<b>PS0</b>	-
бит7							бит0

бит 7: **INTEG:** выбор активного фронта сигнала прерывания на входе RA0/INT  
 1 = прерывания по переднему фронту  
 0 = прерывания по заднему фронту

бит 6-5: **T0SE, T0CS:** выбор активного фронта тактового сигнала на входе RA1/T0CKI и источника тактового сигнала  
 00 = по переднему фронту тактового сигнала на входе RA1/T0CKI происходит приращение TMR0 и/или генерируется прерывание T0IF  
 10 = по заднему фронту тактового сигнала на входе RA1/T0CKI происходит приращение TMR0 и/или генерируется прерывание T0IF  
 X1 = источником тактового сигнала для TMR0 служит внутренний генератор

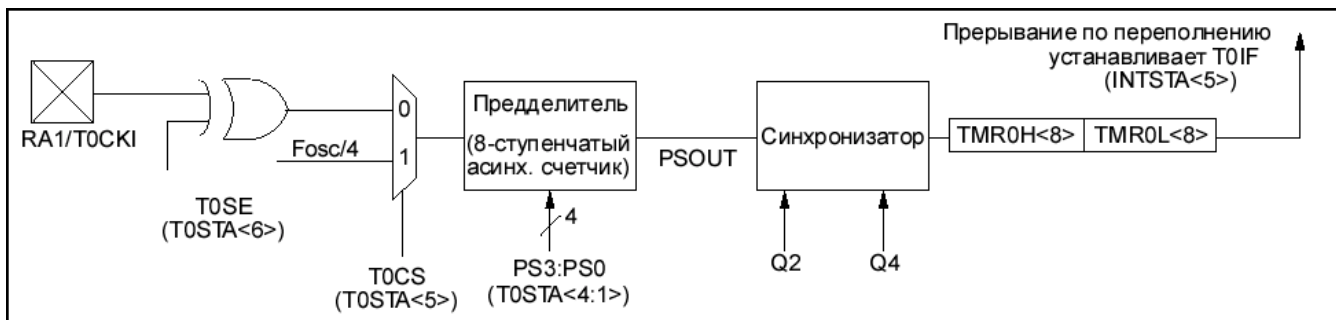
бит 4-1: **PS3:PS0:** выбор коэффициента предделителя TMR0  
 0000 = 1:1  
 0001 = 1:2  
 0010 = 1:4  
 :  
 :  
 0111 = 1:128  
 1XXX = 1:256

бит 0: **Не используется:** читается как '0'

### Работа TMR0

Когда бит T0CS установлен, TMR0 работает от внутреннего тактового сигнала, а при T0CS = 0 - от внешнего с входа RA1/T0CKI, причем активный фронт внешнего тактового сигнала может быть выбран с помощью бита T0SE. Предделитель может работать с коэффициентом деления от 1:1 до 1:256. Таймер считает от 0000h до FFFFh, после чего снова переходит к 0000h, при этом устанавливается флаг прерывания T0IF от TMR0. Прерывание может быть разрешено/запрещено с помощью бита T0IE. Флаг прерывания T0IF автоматически сбрасывается при переходе по вектору прерывания TMR0.

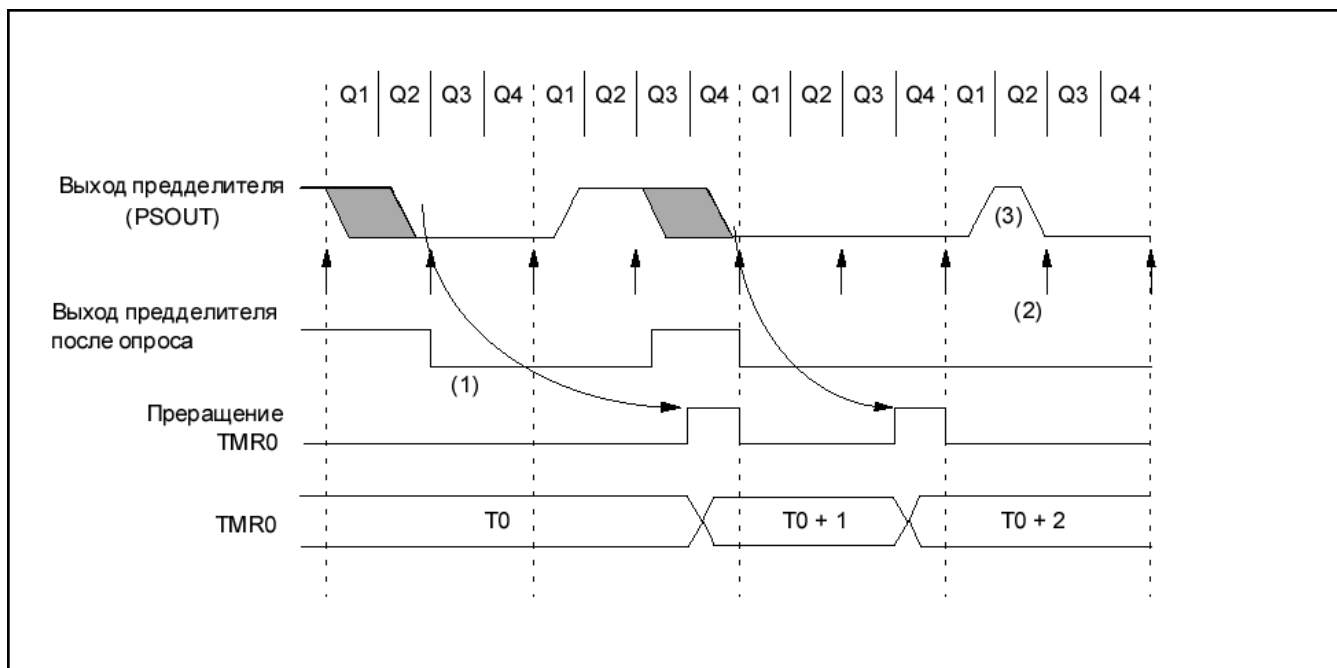
Структурная схема TMR0



### Использование внешнего источника тактового сигнала для TMR0

Когда для TMR0 используется тактовый сигнал от внешнего источника, то этот сигнал на выходе предделителя синхронизируется с внутренним тактовым сигналом. На рисунке показан процесс синхронизации.

Временная диаграмма работы TMR0 от внешнего источника тактового сигнала



Примечания к рисунку:

1. Задержка от активного фронта на TMR0 до приращения TMR0 от  $3T_{osc}$  до  $7T_{osc}$ .
2. Состояние выхода PSOUT проверяется здесь.
3. Длительность высокого уровня PSOUT слишком мала, и импульс пропускается синхронизатором.

Выход предделителя опрашивается дважды в течение машинного цикла, чтобы обнаружить на нем задний фронт сигнала. В результате чего возникает небольшая задержка от появления активного фронта внешнего тактового сигнала до приращения счетчиков TMR0. На рисунке, представленном выше видно, что эта задержка может быть от 3 до 7  $T_{osc}$ . К примеру, точность измерения интервала между двумя активными фронтами может быть  $\pm 4T_{osc}$  (121нс при 33МГц).

### Чтение/запись в TMR0

Поскольку TMR0 – 16-разрядный таймер-счетчик, а читать или записывать в него при выполнении одной команды можно только 8 бит, пользователь должен быть внимателен при выполнении чтения или записи.

Проблема при чтении целого 16-разрядного значения возникает из-за того, что после чтения одного из байтов значение младшего байта может измениться.

В примере приведена программа чтения 16-разрядного значения. Чтобы гарантированно считать правильное значение, следует перед чтением запретить прерывания.

```

MOVFP  TMR0L, TMRLO      ; считать младший байт TMR0
MOVFP  TMR0H, TMRHI      ; считать старший байт TMR0
MOVFP  TMRLO, WREG        ; младший байт -> WREG
CPFSLT TMR0L              ; сравнить WREG с TMR0L
RETURN                               ; возврат
MOVFP  TMR0L, TMRLO      ; считать младший байт TMR0
MOVFP  TMR0H, TMRHI      ; считать старший байт TMR0
RETURN                               ; возврат

```

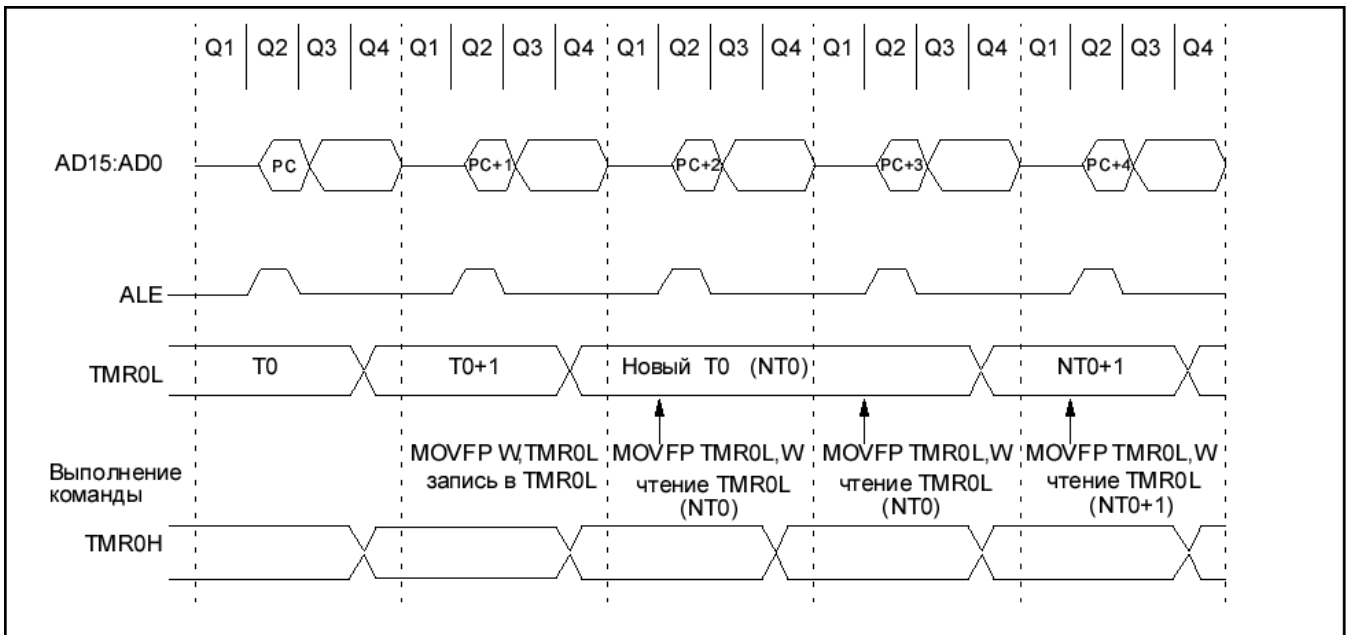
Запись в один из байтов TMR0 запрещает приращение этого байта в следующем машинном цикле, но не запрещает приращение другого байта. Поэтому пользователь должен сначала записать младший байт TMR0L, а затем старший TMR0H в следующей команде, как показано в примере. Прерывания при записи должны быть запрещены. Запись в любой из регистров TMR0L или TMR0H очищают предделитель.

```

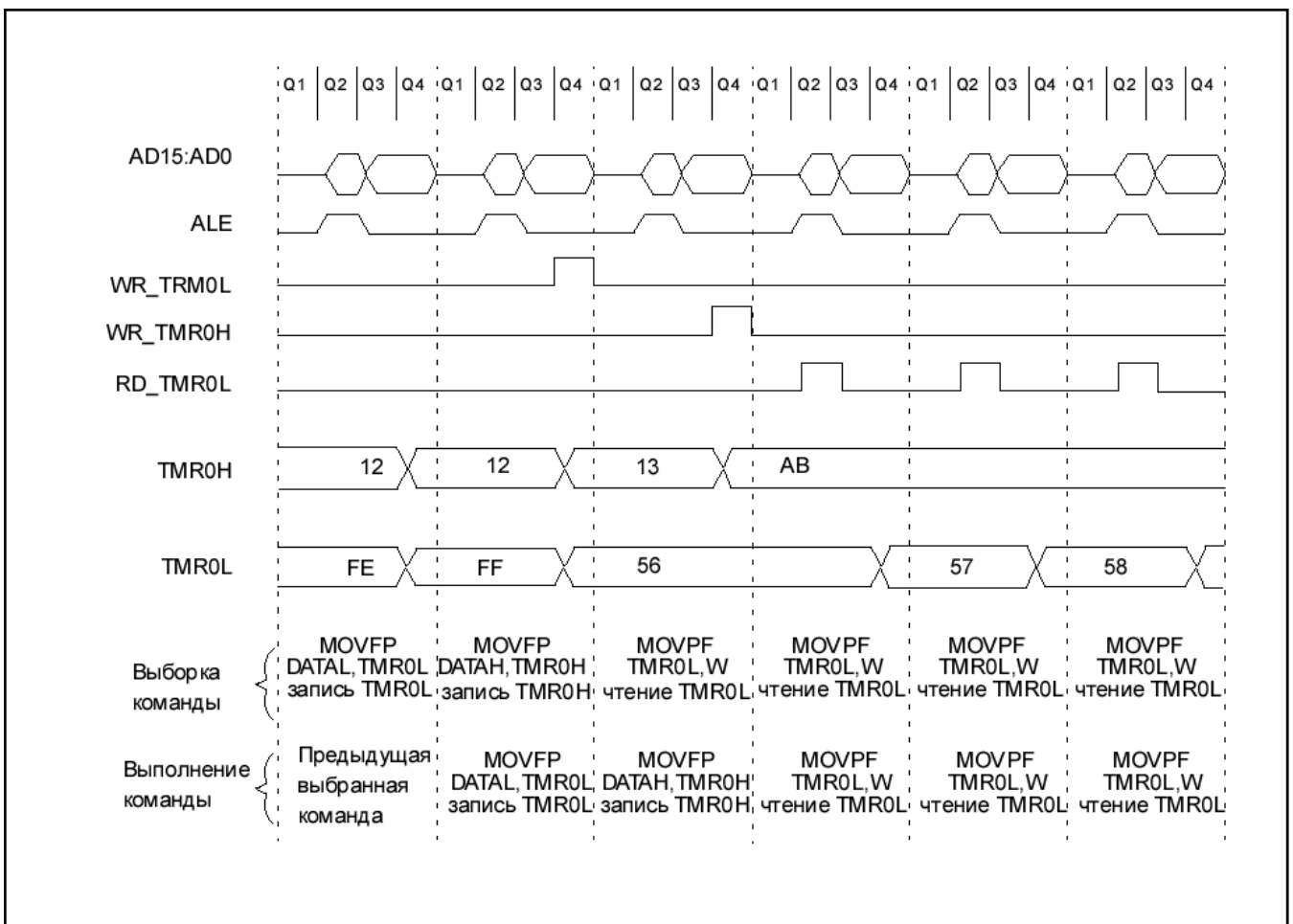
BSF    CPUSTA, GLINTD     ; запретить прерывания
MOVFP  RAM_L, TMR0L       ;
MOVFP  RAM_H, TMR0H       ;
BCF    CPUSTA, GLINTD     ; разрешить прерывания

```

Временная диаграмма записи старшего или младшего байта TMR0



Временная диаграмма чтение-запись в TMR0



## Связанные с TMR0 регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR	Reset
0Bh	TMR0L	Младший байт регистра TMR0								xxxx xxxx	uuuu uuuu
0Ch	TMR0H	Старший байт регистра TMR0								xxxx xxxx	uuuu uuuu
05h	T0STA	INTEDG	TOSE	TOCS	PS3	PS2	PS1	PS0	-	0000 000-	0000 000-
06h	CPUSTA	-	-	STKAV	GLINTD	-TO	-PD	-	-	--11 11--	--11 qq--
07h	INTSTA	PEIF	ТОСКIF	TOIF	INTF	PEIE	ТОСКIE	TOIE	INTE	0000 0000	0000 0000

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

## TMR1, TMR2, TMR3, ШИМы и регистры захвата

Для упрощения реализации управляющего оборудования PIC17C4X имеет богатый набор таймеров и основанных на их функциях ШИМ и регистры захвата.

TMR1 и TMR2 – 8-разрядные таймеры, каждый с регистром периода (соответственно PR1 и PR2) и отдельным флагом прерывания по переполнению, которые могут работать как таймеры от внутреннего тактового сигнала  $F_{osc}/4$  или как счетчики импульсов с входа RB4/TCLK12. Они также могут быть настроены для совместной работы в качестве 16-разрядного таймера-счетчика или как базовые таймеры для ШИМов.

TMR3 – 16-разрядный таймер счетчик, содержащий четыре регистра, два из них PR3H/CA1H:PR3L/CA1L, составляют 16-разрядный регистр периода или регистр захвата 1, два других образуют 16-разрядный регистр захвата 2. TMR3 может быть программно настроен для работы от внутреннего тактового сигнала или внешнего источника с входа RB5/TCLK3.

### Регистры управления

TCON1 (адрес 16h, банк 3):

R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0
<b>CA2ED1</b>	<b>CA2ED0</b>	<b>CA1ED1</b>	<b>CA1ED0</b>	<b>T16</b>	<b>TMR3CS</b>	<b>TMR2CS</b>	<b>TMR1CS</b>
бит7							бит0

- бит 7-6: **CA2ED1:CA2ED0**: выбор события захвата для регистра захвата 2  
 00 = по каждому переднему фронту  
 01 = по каждому заднему фронту  
 10 = по каждому 4-му переднему фронту  
 11 = по каждому 16-му переднему фронту
- бит 5-4: **CA1ED1:CA1ED0**: выбор события захвата для регистра захвата 1  
 00 = по каждому переднему фронту  
 01 = по каждому заднему фронту  
 10 = по каждому 4-му переднему фронту  
 11 = по каждому 16-му переднему фронту
- бит 3: **T16**: выбор режима работы TMR1 и TMR2  
 1 = TMR1 и TMR2 работают совместно как один 16-разрядный таймер  
 0 = TMR1 и TMR2 работают раздельно как два 8-разрядных таймера
- бит 2: **TMR3CS**: выбор источника тактового сигнала для TMR3  
 1 = приращение TMR3 происходит по заднему фронту сигнала с входа RB5/TCLK3  
 0 = внутренний источник тактового сигнала
- бит 1: **TMR2CS**: выбор источника тактового сигнала для TMR2  
 1 = приращение TMR2 происходит по заднему фронту сигнала с входа RB4/TCLK12  
 0 = внутренний источник тактового сигнала
- бит 0: **TMR1CS**: выбор источника тактового сигнала для TMR1  
 1 = приращение TMR1 происходит по заднему фронту сигнала с входа RB4/TCLK12  
 0 = внутренний источник тактового сигнала

**TCON2 (адрес 17h, банк 3):**

R - 0	R - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0	R/W - 0
<b>CA2OVF</b>	<b>CA1OVF</b>	<b>PWM2ON</b>	<b>PWM1ON</b>	<b>CA1-PR3</b>	<b>TMR3ON</b>	<b>TMR2ON</b>	<b>TMR1ON</b>
бит7						бит0	

бит 7: **CA2OVF**: переполнение регистра захвата 2. Этот бит показывает, что значение регистра захвата 2 CA2H:CA2L не было считано до того, как возникло очередное событие и в регистре захвата продолжает храниться последнее не считанное значение. Последующие события захвата не будут обновлять содержимое регистра до тех пор, пока оба его байта не будут считаны.

- 1 = произошло переполнение регистра захвата 2
- 0 = переполнение регистра захвата 2 не было

бит 6: **CA1OVF**: переполнение регистра захвата 1. Этот бит показывает, что значение регистра захвата 1 CA1H:CA1L не было считано до того как возникло очередное событие, и в регистре захвата продолжает храниться последнее не считанное значение. Последующие события захвата не будут обновлять содержимое регистра до тех пор, пока оба его байта не будут считаны.

- 1 = произошло переполнение регистра захвата 1
- 0 = переполнение регистра захвата 1 не было

бит 5: **PWM2ON**: бит включения ШИМ 2, если ШИМ2 включен, то порт RB3/PWM2 работает как выход независимо от состояния бита DDRB <3>

- 1 = ШИМ 2 включен
- 0 = ШИМ 2 выключен

бит 4: **PWM1ON**: бит включения ШИМ 1, если ШИМ1 включен, то порт RB2/PWM1 работает как выход независимо от состояния бита DDRB <2>

- 1 = ШИМ 2 включен
- 0 = ШИМ 2 выключен

бит 3: **CA1-PR3**: бит выбора регистра захвата 1 или регистра периода для TMR3

- 1 = регистр захвата 1 включен, TMR3 работает без регистра периода
- 0 = регистр периода для TMR3 включен, регистр захвата 1 выключен

бит 2: **TMR3ON**: бит включения TMR3

- 1 = TMR3 включен
- 0 = TMR3 выключен

бит 1: **TMR2ON**: бит включения TMR2, при работе в режиме 16-разрядного таймера TMR2:TMR1 этот бит разрешает приращение старшего байта

- 1 = TMR2 включен
- 0 = TMR2 выключен

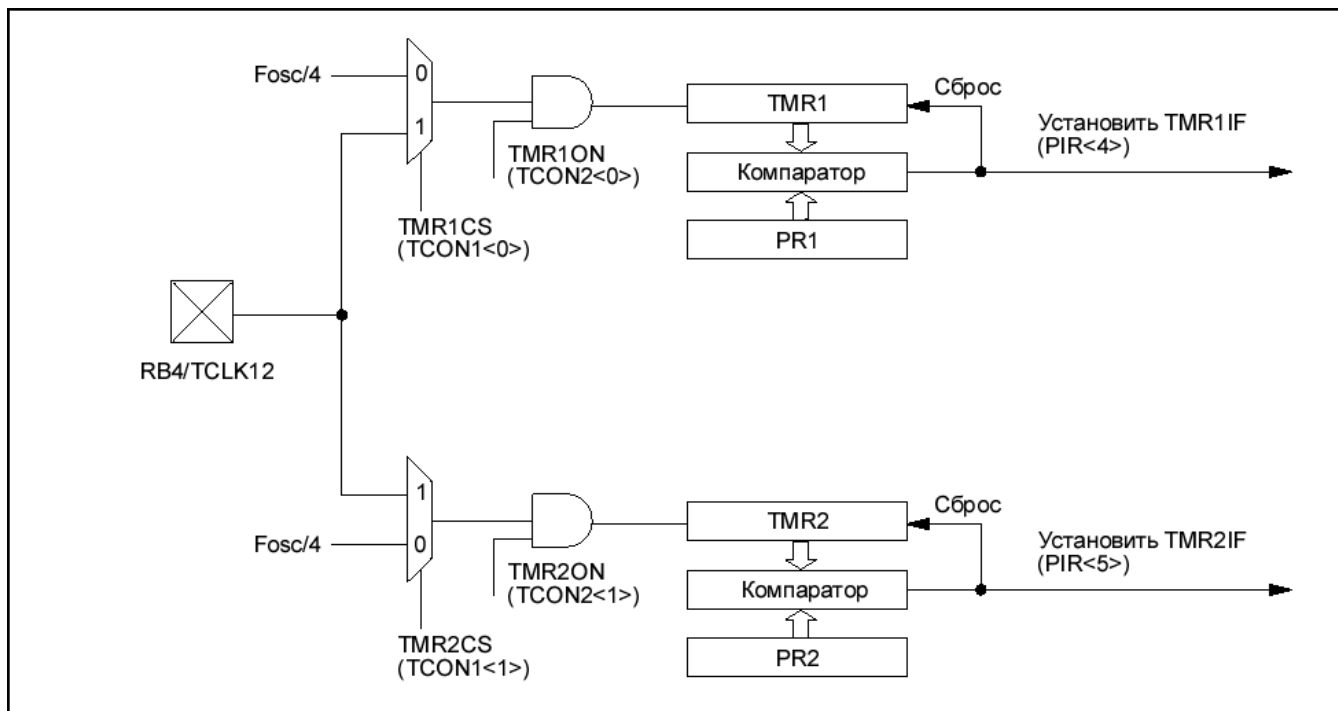
бит 1: **TMR1ON**: бит включения TMR1, при работе в режиме 16-разрядного таймера TMR2:TMR1 этот бит включает 16-разрядный таймер

- 1 = TMR1 включен
- 0 = TMR1 выключен

## TMR1 и TMR2

### TMR1 и TMR2 в 8-разрядном режиме

Когда бит T16 сброшен, TMR1 и TMR2 работают в 8-разрядном режиме независимо друг от друга. Источник тактового сигнала для таймеров выбирается битами TMR1CS и TMR2CS. Если TMRxCS сброшен, TMRx работает от внутреннего источника тактового сигнала, а при TRMxCS = 1 - от внешнего с вывода RB4/TCLK12 (активный фронт сигнала задний).



Таймер считает от 00h до тех пор, пока его значение не сравнивается со значением в регистре периода PRx. После чего, в следующем такте сбрасывается в 00h и устанавливается флаг прерывания таймера. Таймеры TMR1 и TMR2 имеют индивидуальные флаги прерываний – TMR1IF и TMR2IF соответственно.

Каждый таймер имеет бит разрешения прерываний TMR1IE и TMR2IE. Чтобы разрешить периферийные прерывания необходимо установить бит PEIE, а бит общего разрешения прерываний GLINTD сбросить.

Таймеры можно включить/выключить установкой/сбросом битов TMR1ON и TMR2ON соответственно.

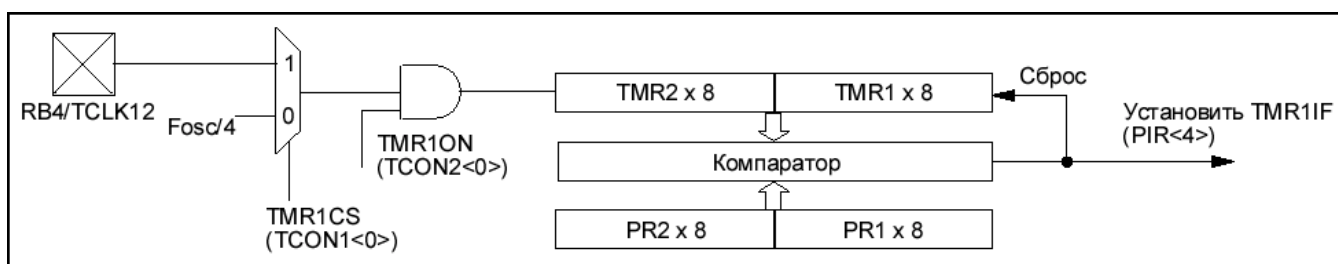
### Работа TMR1 и TMR2 от внешнего источника тактового сигнала

Таймер работает от внешнего источника тактового сигнала с входа RB4/TCLK12, когда установлен бит TMRxCS, причем активным фронтом сигнала на этом входе является задний. Внешний тактовый сигнал синхронизируется с внутренним, что вызывает появление задержки от активного фронта на входе TCLK12 до приращения таймера.

### TMR1 и TMR2 в 16-разрядном режиме

Когда бит T16 установлен, TMR1 и TMR2 объединяются в 16-разрядный таймер TMR2:TMR1. 16-разрядный таймер считает от 0000h до тех пор, пока его значение не сравнивается со значением в 16-разрядном регистре PR2:PR1. На следующем такте сбрасывается в 0000h и устанавливается флаг прерывания TMR1IF от 16-разрядно таймера.

Источник тактового сигнала для 16-разрядного таймера выбирается битом TMR1CS, а бит TMR2CS игнорируется. Чтобы включить 16-разрядный таймер, нужно установить оба бита TMR1ON и TMR2ON.





Связанные с TMR1 и TMR2 регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR	Reset
10h, 62	TMR1	Регистр TMR1								xxxx xxxx	uuuu uuuu
11h, 62	TMR2	Регистр TMR2								xxxx xxxx	uuuu uuuu
14h, 62	PR1	Регистр периода TMR1								xxxx xxxx	uuuu uuuu
15h, 62	PR2	Регистр периода TMR2								xxxx xxxx	uuuu uuuu
06h	CPUSTA	-	-	STKAV	GLNTD	-TO	-PD	-	-	--11 11--	--11 qq--
07h	INTSTA	PEIF	TOCKIF	TOIF	INTF	PEIE	TOCKIE	T0IE	INTE	0000 0000	0000 0000
16h, 61	PIR	RBIF	TMR3IF	TMR2IF	TMR1IF	CA2IF	CA1IF	TXIF	RCIF	0000 0010	0000 0010
17h, 61	PIE	RBIE	TMR3IE	TMR2IE	TMR1IE	CA2IE	CA1IE	TXIE	RCIE	0000 0000	0000 0000
16h, 63	TCON1	A2ED1	A2ED0	CA1ED1	CA1ED0	T16	TMR3CS	TMR2CS	TMR1CS	0000 0000	0000 0000
17h, 63	TCON2	A2OV1	A1OV1	WM2ON	WM1OI	CA1-PR3	TMR3OI	TMR2ON	TMR1ON	0000 0000	0000 0000

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

**Использование ШИМов с TMR1 и TMR2**

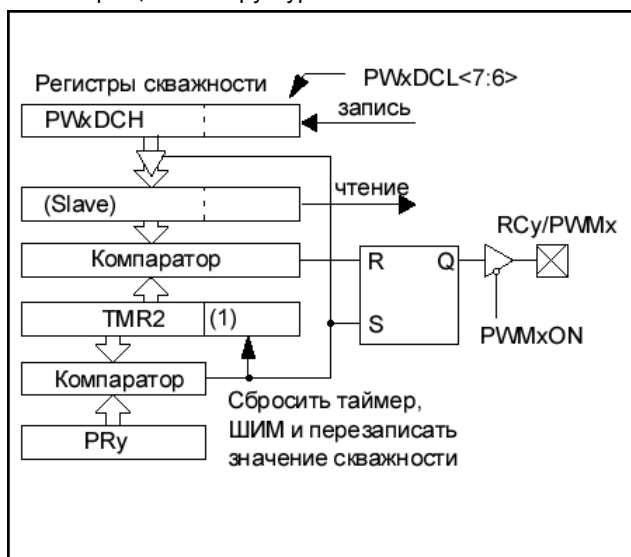
В PIC17C4X реализовано два высокоскоростных канала ШИМ. ШИМ1 использует TMR1 в качестве опорного, а ШИМ2 может быть программно настроен для использования в качестве базового таймера TMR1 или TMR2. Выходами каналов ШИМ являются PB2/PW1 и PB3/PW2.

Каждый ШИМ имеет максимальное разрешение 10 бит. При таком разрешении выходная частота ШИМ будет около 24КГц (тактовой частоте 25МГц). В случае 8-разрядного разрешения выходная частота будет 97.7КГц. Сквозность каналов ШИМ может изменяться от 0% до 100%.

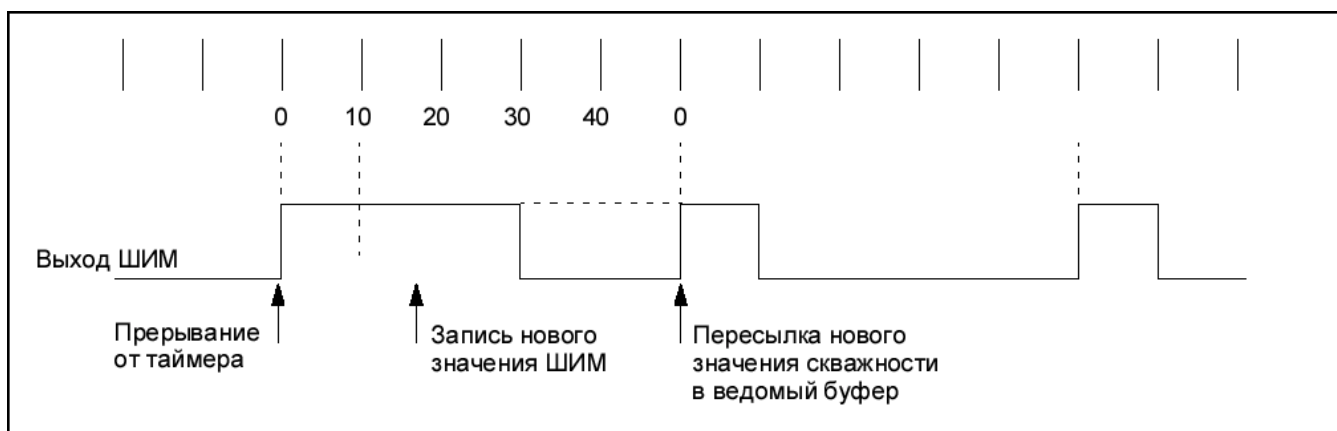
Чтобы включить ШИМ1, необходимо установить бит PWM1ON, при этом порт PB2/PWM1 настраивается как выход ШИМ1, независимо от состоянии бита DDRB <2>. Аналогично для ШИМ2.

Примечание. 8-разрядный таймер объединяется с 2-х битным значением фазы Q или двумя битами предделителя для получения 10-разрядной фазы.

Упрощенная структурная схема канала ШИМ



Для устранения помех. Регистр скважности имеет двойную буферизацию. Механизм возникновения помех при отсутствии двойной буферизации показан на рисунке.



Примечание. Пунктирной линией показано состояние выхода ШИМ в аналогичных условиях при отсутствии двойной буферизации; новое значение скважности записано после прохождения его таймером, после чего в текущем цикле выход ШИМ не сбрасывается совсем, что вызывает помеху.

В этом примере период ШИМ равен 50, старое значение скважности равно 30, новое 10.

## Период ШИМ

Период канала ШИМ1 определяется TMR1 и его регистром периода PR1. ШИМ2 может использоваться в качестве базового таймера TMR1 или TMR2, устанавливается битом TM2PW2. Если бит TM2PW2 сброшен, то канал ШИМ использует TMR1.

Работа двух отдельных каналов с двумя отдельными таймерами позволяет получить два разных периода ШИМ. Работа обоих ШИМ каналов с TMR1 позволяет освободить TMR2 для работы в качестве 8-разрядного таймера. Если какой-либо из каналов ШИМ задействован, TMR1 и TMR2 не могут работать как 16-разрядный таймер.

Период ШИМ вычисляется следующим образом:

$$\text{период ШИМ1} = (PR1 + 1) \times 4 \text{ TOSC}$$

$$\text{период ШИМ2} = (PR2 + 1) \times 4 \text{ TOSC или}$$

$$\text{период ШИМ2} = (PR1 + 1) \times 4 \text{ TOSC}$$

Скважность ШИМx определяется 10-разрядным значением DCx<9:0>. Старшие 8 битов берутся из регистра PWxDCH, а 2 младших из PWxDCL. В таблице показана максимальная частота ШИМ в зависимости от значения регистра PRx при частоте 25МГц.

Частота ШИМ, КГц	24,4	48,8	65,104	97,66	390,6
Значение PRx	0xFF	0x7F	0x5F	0x3F	0x0F
Высокое разрешение	10 бит	9 бит	8.5 бит	8 бит	6 бит
Стандартное разрешение	8 бит	7 бит	6,5 бит	6 бит	4 бита

Достижимое разрешение ШИМ зависит от рабочей частоты устройства и от частоты ШИМ. Максимальное разрешение ШИМ в зависимости от заданной частоты ШИМ можно вычислить по формуле:

$$\text{Разрешение ШИМ} = \text{Log} (F_{\text{osc}}/F_{\text{PWM}}) \text{ битов}$$

$$\text{длительность импульса ШИМ} = DCx * T_{\text{OSC}}$$

где DCx представляет собой 10 битное значение из PWxDCH:PWxDCL

Если DCx = 0, тогда скважность равна нулю.

Если PRx = PWxDCH, тогда выход ШИМ будет в низком уровне от одного до четырех тактов внутреннего генератора в зависимости от состояния битов в регистре PWxDCL.

Чтобы получить скважность 100%, значение PWxDCH должно быть больше значения PRx.

Регистр скважности обоих ШИМов имеет двойную буферизацию. При записи в эти регистры значения сохраняются в буферах. При переполнении базового таймера и начале нового периода ШИМ значения из ведущего буфера переписываются в ведомый, и выход PWMx переводится в высокий уровень.

Примечание. Запись в регистры PW1DCH, PW1DCL, PW2DCH и PW2DCL производится в ведущие буферы, а чтение – из ведомых. В результате чтение после записи может возвращать старое значение скважности. Следует избегать операций чтение - модификация - запись с этими регистрами. Например, ADDWF PW1DCH, поскольку значение скважности может быть непредсказуемое.

## Прерывания от ШИМ

Таймеры, используемые ШИМ в качестве базовых, генерируют прерывания, когда их значения сравниваются со значением в регистре периода и сбрасываются в нуль. В этот момент начинается цикл ШИМ. Пользователь может записать новое значение скважности до сброса таймера. При обработке прерываний необходимо программно очищать флаги TMR1IF для TMR1 и TMR2IF для TMR2.

## Внешний источник тактового сигнала

ШИМ работает независимо от источника тактового сигнала, но использование внешнего источника имеет некоторые особенности, которые должны быть учтены.

Поскольку внешний тактовый сигнал с входа TCLK12 синхронизируется с внутренним, разница между задержками от изменения TCLK12 до приращения таймера будет изменяться в пределах T<sub>cy</sub> (один машинный цикл). Это может вызвать ошибку скважности и периода ШИМ.

При использовании внешнего источника тактового сигнала для ШИМ, его частота должна быть много меньше частоты устройства F<sub>osc</sub>, разрешение ШИМ ограничивается 8 битами. Биты PWxDCL должны равняться 0, другие значения могут исказить сигнал ШИМ. Максимальная частота ШИМ в зависимости от значения регистра PRx при частоте 25МГц показана в таблице выше (стандартное разрешение).

## Связанные с ШИМ регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR	Reset
10h, 62	TMR1	Регистр TMR1								xxxx xxxx	uuuu uuuu
11h, 62	TMR2	Регистр TMR2								xxxx xxxx	uuuu uuuu
14h, 62	PR1	Регистр периода TMR1								xxxx xxxx	uuuu uuuu
15h, 62	PR2	Регистр периода TMR2								xxxx xxxx	uuuu uuuu
06h	CPUSTA	-	-	STKAV	GLINTD	-TO	-PD	-	-	--11 11--	--11 qq--
07h	INTSTA	PEIF	T0CKIF	TOIF	INTF	PEIE	T0CKIE	T0IE	INTE	0000 0000	0000 0000
16h, 61	PIR	RBIF	TMR3IF	TMR2IF	TMR1IF	CA2IF	CA1IF	TXIF	RCIF	0000 0010	0000 0010
17h, 61	PIE	RBIE	TMR3IE	TMR2IE	TMR1IE	CA2IE	CA1IE	TXIE	RCIE	0000 0000	0000 0000
10h, 63	PW1DCL	DC1	DC0	-	-	-	-	-	-	xx-- ----	uu-- ----
11h, 63	PW2DCL	DC1	DC0	TM2PW2	-	-	-	-	-	xx0- ----	uu0- ----
12h, 63	PW1DCH	DC9	DC8	DC7	DC6	DC5	DC4	DC3	DC2	xxxx xxxx	uuuu uuuu
13h, 63	PW2DCH	DC9	DC8	DC7	DC6	DC5	DC4	DC3	DC2	xxxx xxxx	uuuu uuuu
16h, 63	TCON1	A2ED1	A2ED0	CA1ED1	CA1ED0	T16	MR3CS	TMR2CS	TMR1CS	0000 0000	0000 0000
17h, 63	TCON2	A2OV1	A1OV1	PWM2ON	PWM1ON	CA1/-PR3	MR3OI	TMR2ON	TMR1ON	0000 0000	0000 0000

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

## TMR3

TMR3 – 16-разрядный таймер счетчик, имеющий связанный с ним 16-разрядный регистр периода PR3H/CA1H:PR3L/CA1L, который может быть настроен в режиме 16-разрядного регистра захвата.

Битом TMR3CS устанавливается источник тактового сигнала: 1 – внешний источник тактового сигнала с входа RB5/TCLK3, активный фронт задний; 0 – внутренний источник тактового сигнала.

TMR3 может работать в двух режимах в зависимости от состояния бита CA1-/PR3:

- один регистр захвата и один регистр периода
- два регистра захвата

PIC17C4X имеют два 16-разрядных регистра захвата, которые сохраняют 16-разрядное значение TMR3 при обнаружении события на входах захвата. Каждый регистр захвата имеет отдельный вход захвата RB0/CAP1 и RB1/CAP2. Событиями захвата могут быть:

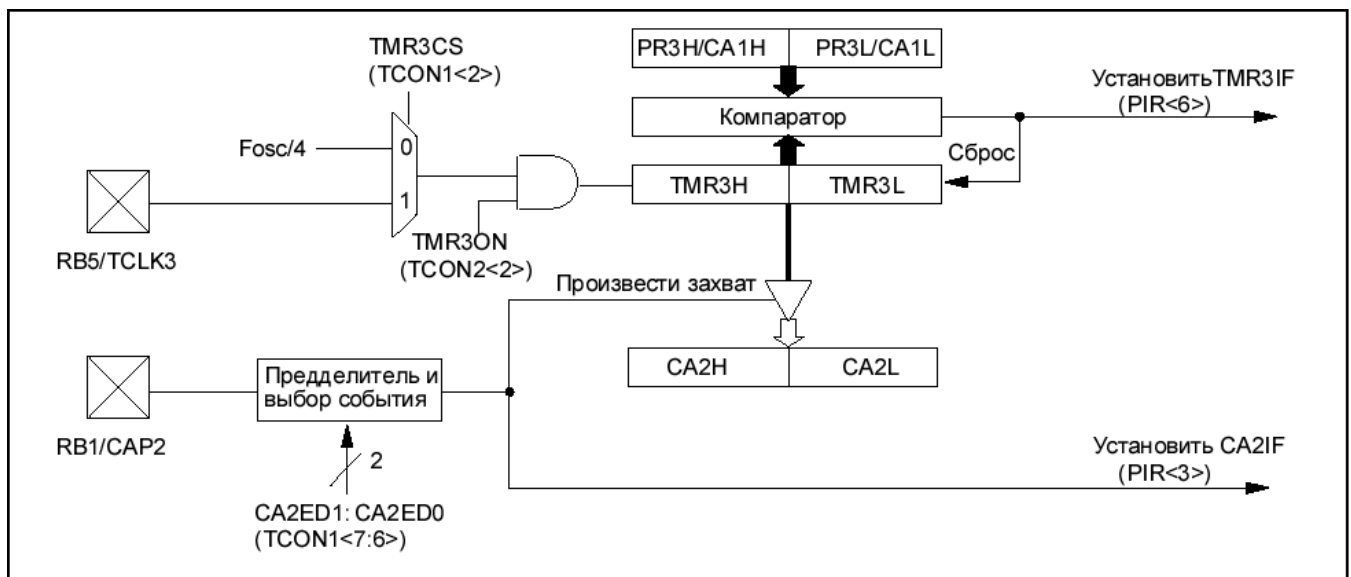
- передний фронт сигнала
- задний фронт сигнала
- каждый 4-й передний фронт сигнала
- каждый 16-й передний фронт сигнала

Каждый 16-разрядный регистр захвата имеет собственный флаг прерывания, который устанавливается при выполнении захвата.

### Режим работы с одним регистром захвата и с одним регистром периода

Режим выбирается сбросом бита CA1-/PR3. В этом режиме регистры PR3H/CA1H:PR3L/CA1L составляют 16-разрядный регистр периода. Приращение таймера происходит до тех пор. Пока его значение не сравнится со значением в регистре периода, после чего таймер сбрасывается в 0000h. В этот момент формируется прерывание TMR3IF, которое может быть разрешено/запрещено битом TMR3IE. Флаг прерывания необходимо сбросить программно.

Структурная схема TMR3 с одним регистром захвата и одним регистром периода



Логика регистра захвата 1 в этом режиме отключена, соответствующий бит прерывания CA1IF не устанавливается.

Биты CA2ED1 и CA2ED0 определяют событие, по которому будет происходить захват.

Когда происходит захват, устанавливается флаг прерывания CA2IF. Это прерывание может быть разрешено/запрещено битом CA2IE. Чтобы разрешить периферийные прерывания необходимо установить бит PEIE, а бит общего разрешения прерываний GLINTD сбросить.

При изменении значения делителя регистра захвата делитель не сбрасывается. После такого изменения результат первого захвата может быть не правильным, но последующие захваты будут правильными.

Вывод регистра захвата RB1/CAP2 совмещен с каналом PORTB. Когда он используется как канал порта, регистр захвата также может работать. Если RB1/CAP2 используется как выход порта, пользователь может произвести захват записью в порт. Это может быть полезно на стадии разработки для эмуляции прерывания от регистра захвата.

Сигнал с входа регистра захвата синхронизируется с внутренним тактовым сигналом, что накладывает ограничения на временные характеристики входа.

Бит переполнения CA2OVF устанавливается, если в регистре уже содержится захваченное значение и происходит очередное событие захвата. При этом новое событие не вызовет сохранения значения в регистре захвата TMR3, защищая таким образом предыдущее не считанное значение. Когда пользователь считывает в любой последовательности оба байта регистра захвата 2, ведущий бит переполнения переписывается в ведомый.

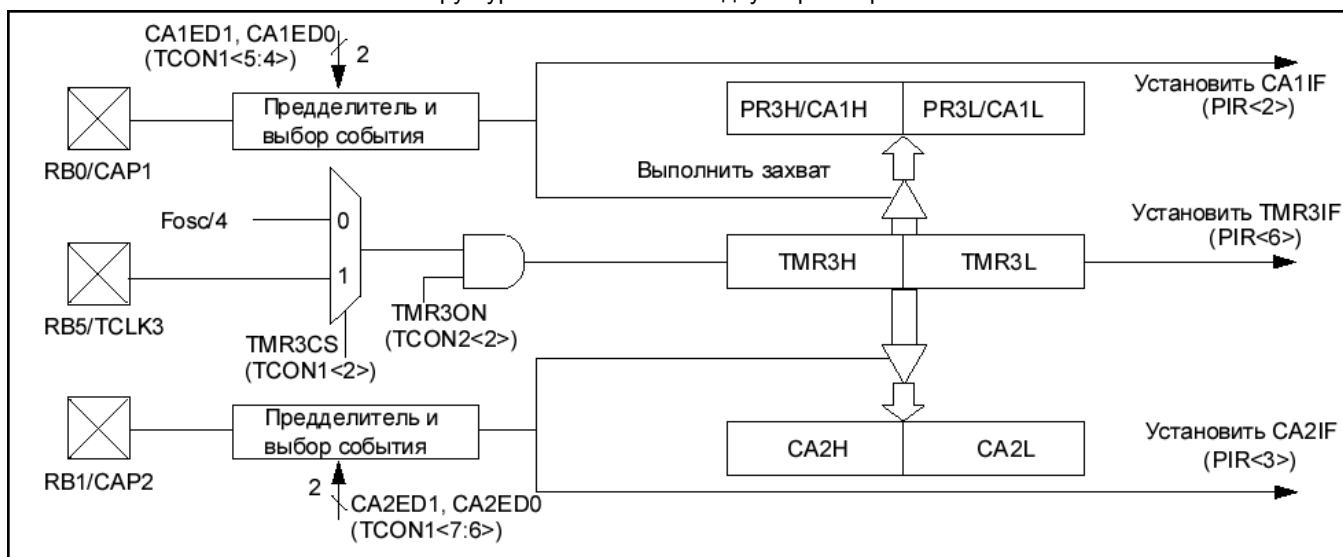
Рекомендованная последовательность чтения регистра захвата и бита переполнения.

MOVLB	3	; выбрать банк 3
MOVFPF	CA2L, LO_BYTE	; считать младший байт регистра захвата 2
MOVFPF	CA2H, HI_BYTE	; считать старший байт регистра захвата 2
MOVFPF	TCON2, STAT_VAL	; считать TCON2

### Режим работы с двумя регистрами захвата

Режим выбирается установкой бита CA1/-PR3. В этом режиме TMR3 работает от 0000h до FFFFh. При переходе устанавливается флаг прерывания TMR3IF.

Структурная схема TMR3 с двумя регистрами захвата



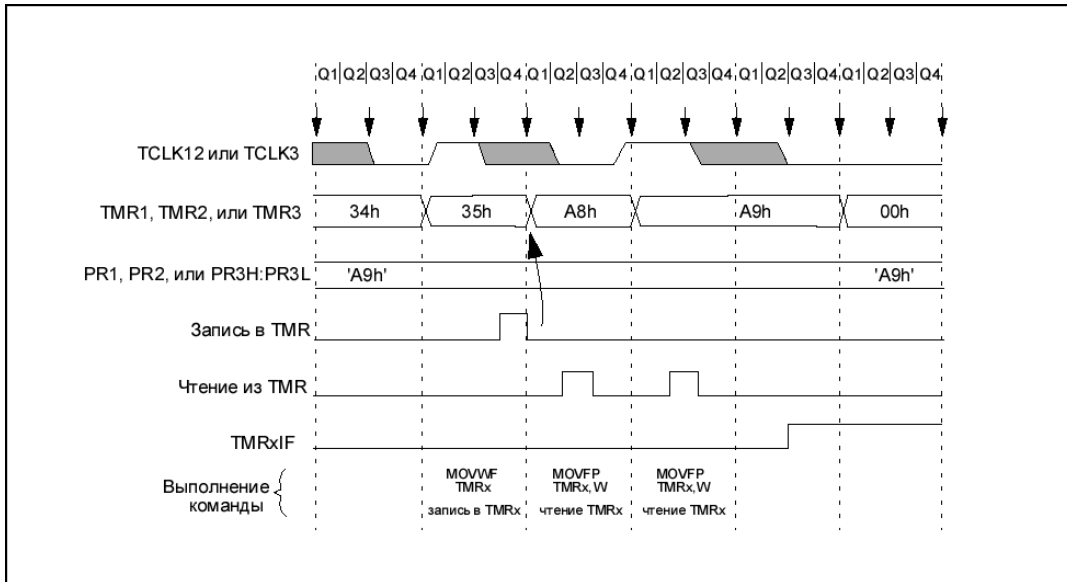
Регистры PR3H/CA1H:PR3L/CA1L составляют 16-разрядный регистр захвата. Захват происходит при возникновении на выводе RB0/CAP1 одного из событий, выбираемого битами CA1ED1 и CA1ED0. При возникновении события устанавливается флаг прерывания CA1IF.

Регистр захвата 1 работает так же, как и регистр захвата 2.

**Работа TMR3 от внешнего источника тактового сигнала**

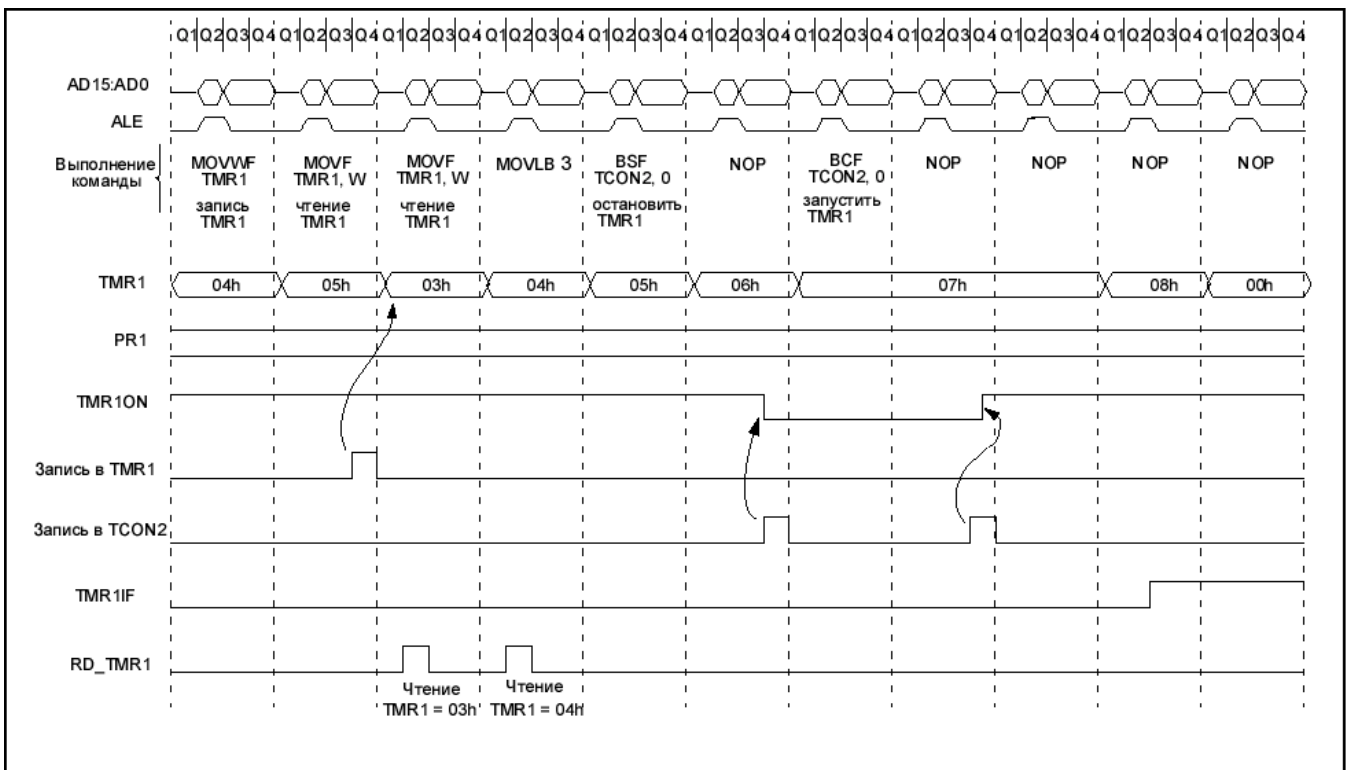
Когда бит TMR3CS установлен, TMR3 работает от внешнего тактового сигнала с входа RB5/TCLK3, активным является задний фронт сигнала. Внешний тактовый сигнал синхронизируется с внутренним, что вызывает появление задержки от активного фронта на входе TCLK3 до приращения TMR3.

Временная диаграмма работы TMR1, TMR2 и TMR3 от внешнего тактового сигнала



Примечание. TCLK12 проверяется в Q2 и Q4, моменты проверки отмечены вертикальными стрелками вниз; задержка от заднего фронта TCLK12 до приращения таймера от 2Tosc до 6Tosc.

Временная диаграмма работы TMR1, TMR2 и TMR3 от внутреннего тактового сигнала



**Чтение/запись TMR3**

Поскольку TMR3 16-разрядный, а на чтение/запись одновременно доступен только один байт, требуется осторожность при чтении или записи во время работы таймера. Лучший способ прочитать или записать в таймер – остановить его, произвести чтение или запись, а затем вновь запустить, используя бит TMR3ON. Если нет возможности остановить таймер, следует использовать метод, приведенный в примерах с выключенными прерываниями.

**Чтение из TMR3**

```
MOVFP  TMR3L, TMRLO      ; считать младший байт TMR3
MOVFP  TMR3H, TMRHI      ; считать старший байт TMR3
MOVFP  TMRLO, WREG       ; младший байт -> WREG
CPFSLT TMR3L             ; сравнить WREG с TMR3L
RETURN                               ; возврат
MOVFP  TMR3L, TMRLO      ; считать младший байт TMR3
MOVFP  TMR3H, TMRHI      ; считать старший байт TMR3
RETURN                               ; возврат
```

**Запись в TMR3**

```
BSF    CPUSTA, GLINTD    ; запретить прерывания
MOVFP  RAM_L, TMR3L      ;
MOVFP  RAM_H, TMR3H      ;
BCF    CPUSTA, GLINTD    ; разрешить прерывания
```

**Связанные с TMR3 регистры и биты**

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR	Reset
12h, 62	TMR3L	Регистр TMR1								xxxx xxxx	uuuu uuuu
13h, 62	TMR3H	Регистр TMR2								xxxx xxxx	uuuu uuuu
16h, 62	PR3L/ CA1L	Младший байт регистр периода TMR3/ регистра захвата 1								xxxx xxxx	uuuu uuuu
15h, 62	PR3H/ CA1H	Старший байт регистр периода TMR3/ регистра захвата 1								xxxx xxxx	uuuu uuuu
14h, 63	CA2L	Младший байт регистра захвата 2								xxxx xxxx	uuuu uuuu
15h, 63	CA2H	Старший байт регистра захвата 2								xxxx xxxx	uuuu uuuu
06h	CPUSTA	-	-	STKAV	GLINTD	-TO	-PD	-	-	--11 11--	--11 qq--
07h	INTSTA	PEIF	TOCKIF	TOIF	INTF	PEIE	TOCKIE	TOIE	INTE	0000 0000	0000 0000
16h, 61	PIR	RBFIF	TMR3IF	TMR2IF	TMR1IF	CA2IF	CA1IF	TXIF	RCIF	0000 0010	0000 0010
17h, 61	PIE	RBIE	TMR3IE	TMR2IE	TMR1IE	CA2IE	CA1IE	TXIE	RCIE	0000 0000	0000 0000
16h, 63	TCON1	CA2ED1	CA2ED0	CA1ED1	CA1ED0	T16	TMR3CS	TMR2CS	TMR1CS	0000 0000	0000 0000
17h, 63	TCON2	CA2OVF	CA1OVF	WM2OI	WM1OI	CA1/ PR3	TMR3ON	TMR2OI	TMR1OI	0000 0000	0000 0000

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

Статья основывается на технической документации DS30412c  
компании Microchip Technology Incorporated, USA.