

Справочник по среднему семейству микроконтроллеров PICmicro™

Раздел 10. Ведомый параллельный порт

Перевод основывается на технической документации DS33023A
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»
Москва - 2002

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения
ООО «Микро-Чип»
тел. (095) 737-7545
www.microchip.ru

PICmicro™

Mid-Range MCU Family

Reference Manual

“All rights reserved. Copyright © 1997, Microchip Technology Incorporated, USA. Information contained in this publication regarding device applications and the like is intended through suggestion only and may be superseded by updates. No representation or warranty is given and no liability is assumed by Microchip Technology Incorporated with respect to the accuracy or use of such information, or infringement of patents or other intellectual property rights arising from such use or otherwise. Use of Microchip’s products as critical components in life support systems is not authorized except with express written approval by Microchip. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights. The Microchip logo and name are registered trademarks of Microchip Technology Inc. in the U.S.A. and other countries. All rights reserved. All other trademarks mentioned herein are the property of their respective companies. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights.”

Trademarks

The Microchip name, logo, PIC, KEELOQ, PICMASTER, PICSTART, PRO MATE, and SEEVAL are registered trademarks of Microchip Technology Incorporated in the U.S.A.

MPLAB, PICmicro, ICSP and In-Circuit Serial Programming are trademarks of Microchip Technology Incorporated.

Serialized Quick-Turn Production is a Service Mark of Microchip Technology Incorporated.

All other trademarks mentioned herein are property of their respective companies.

Содержание

| | |
|------------------------------------------------|---|
| 10.1 Введение | 4 |
| 10.2 Управляющий регистр | 5 |
| 10.3 Работа ведомого параллельного порта | 6 |
| 10.4 Работа в SLEEP режиме | 7 |
| 10.5 Эффект сброса | 7 |
| 10.6 Временные диаграммы работы | 7 |
| 10.7 Ответы на часто задаваемые вопросы | 8 |
| 10.8 Дополнительная литература | 9 |

10.1 Введение

Некоторые микроконтроллеры содержат ведомый параллельный порт, мультиплицированный на один из портов ввода/вывода. PORT работает как 8-разрядный параллельный порт (или порт микропроцессора), когда бит PSPMODE установлен в '1' (к выводам подключены входные буферы TTL).

В режиме ведомого данные асинхронно читаются или записываются внешними сигналами -RD или -WR соответственно.

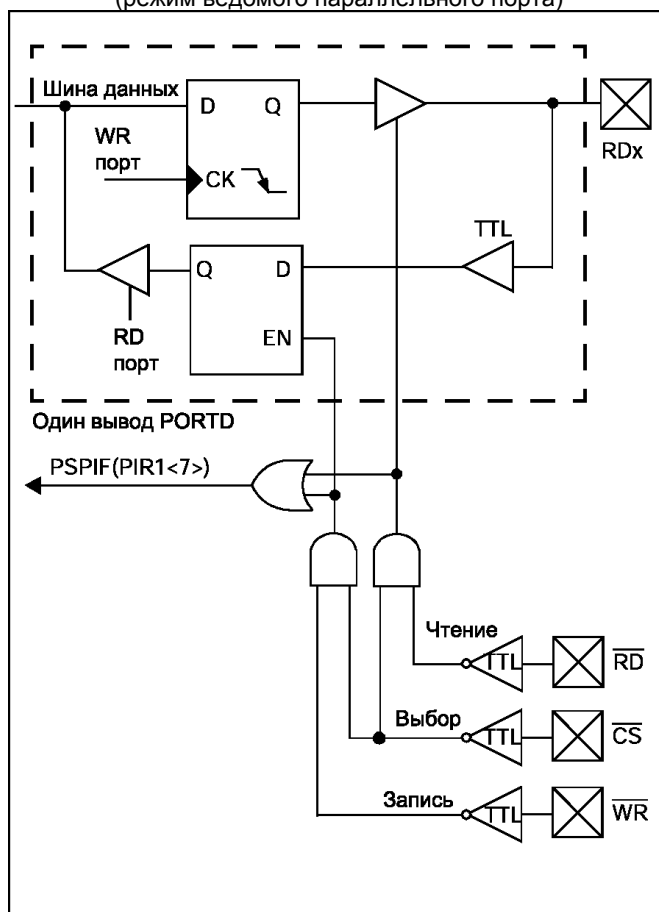
С помощью 8 - разрядного ведомого параллельного порта можно организовать интерфейс связи с микропроцессором. Установка бита PSPMODE в '1' принудительно настраивает выводы -RD, -WR и -CS как входы.

Примечание 1. В настоящее время ведомый параллельный порт мультиплицирован только с PORTD, PORTE. Порт микропроцессора становится доступным только, когда бит PSPMODE установлен в '1'. В этом режиме биты TRISE должны быть установлены в '1' (выводы настроены как цифровые входы, АЦП отключено). Для PORTD отменяется действие битов TRISD.

Примечание 2. В режиме ведомого параллельного порта ко входам PORTD и PORTE подключены буферы TTL. Биты управления PSP расположены в регистре TRISE.

Фактически существуют два 8-разрядных регистра: один регистр для приема данных, другой - для передачи. Пользователь записывает 8-разрядные данные в выходную защелку PORT, а читает данные со входной защелки (обратите внимание, выходная и входная защелка имеют один и тот же адрес). В этом режиме значение битов регистра TRIS игнорируется, т.к. направлением данных управляет внешнее устройство.

Рис. 10-1 Структурная схема выводов PORTD и PORTE (режим ведомого параллельного порта)



Примечание. Выводы портов имеют защитные диоды, подключенные к V_{DD} и V_{SS} .

10.2 Управляющий регистр

Регистр TRISE

| R-0 | R-0 | R-0 | R/W-0 | U-0 | R/W-0 | R/W-0 | R/W-0 |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|-------------|----------------|-----|-------------|-------------|-------------|
| IBF | OBF | IBOV | PSPMODE | - | BIT2 | BIT1 | BIT0 |
| Бит 7 | | | | | | | Бит 0 |
| <p>Р – чтение бита W – запись бита U – не реализовано, читается как 0 -n – значение после POR -x – неизвестное значение после POR</p> | | | | | | | |
| <p>бит 7: IBF: Бит статуса приемного буфера 1 = принят байт данных 0 = байт данных не был получен</p> | | | | | | | |
| <p>бит 6: OBF: Бит статуса передающего буфера 1 = предварительно записанный байт данных еще не прочитан 0 = выходной буфер был прочитан</p> | | | | | | | |
| <p>бит 5: IBOV: Флаг переполнения приемного буфера 1 = произошла новая запись, а предыдущий байт не был прочитан (сбрасывается программно) 0 = переполнения не было</p> | | | | | | | |
| <p>бит 4: PSPMODE: Режим работы ведомого параллельного порта 1 = режим ведомого параллельного порта 0 = режим цифровых каналов ввода/вывода</p> | | | | | | | |
| <p>бит 3: Не реализован: читается как '0'</p> | | | | | | | |
| <p>бит 2: BIT2: Направление вывода RE2 1 = вход 0 = выход</p> | | | | | | | |
| <p>бит 1: BIT1: Направление вывода RE1 1 = вход 0 = выход</p> | | | | | | | |
| <p>бит 0: BIT0: Направление вывода RE0 1 = вход 0 = выход</p> | | | | | | | |

10.3 Работа ведомого параллельного порта

Запись в PSP происходит, если выходы -CS и -WR имеют низкий уровень сигнала. После перехода сигнала на выводе -CS или -WR в высокий уровень (передний фронт сигнала) данные сохраняются во входной защелке на такте Q2. На такте Q4 устанавливаются в '1' бит IBF(TRISE<7>) и флаг прерываний PSPIF. Очистка бита IBF заблокирована в дополнительном цикле T_{cy} (см. параметр б6). Бит IBF может быть сброшен в '0' только чтением регистра PORTD (командой MOVF, команды "чтение - модификация - запись" не должны использоваться). Бит переполнения IBOV(TRISE<5>) устанавливается в '1', если произошла следующая запись в PSP, а предыдущий байт не был прочитан.

Чтение из PSP происходит, если выходы -CS и -RD имеют низкий уровень сигнала. Немедленно сбрасывается в '0' бит OBF(TRISE<6>), указывающий, что PORTD прочитан внешней шиной. После перехода сигнала на выводе -CS или -RD в высокий уровень (передний фронт сигнала) устанавливается флаг прерывания PSPIF на такте Q4 (только после такта Q2), указывая, что чтение завершено. Бит OBF остается сброшенным в '0', пока не будут загружены новые данные в PORTD программой пользователя.

Бит флага полного входного буфера IBF устанавливается в '1', если получено новое слово, ожидаемое чтения ЦПУ. Как только PORT будет прочитан, бит IBF аппаратно сбрасывается в '0'. Бит IBF отображает только состояние приемного буфера. Состояние выходного буфера отображает бит OBF. Если бит OBF=1, то в буфер записано слово, ожидаемое чтения внешней шиной. Как только выходной буфер читается микропроцессором, бит OBF аппаратно сбрасывается в '0'. Бит флага переполнения входного буфера IBOV устанавливается в '1', если микропроцессор выполняет запись нового слова, а предыдущее слово не было прочитано ЦПУ (первое слово сохраняется в буфере).

Когда режим PSP выключен, биты IBF и OBF равняются нулю, а предварительно установленный в '1' бит IBOV должен быть сброшен программно.

Флаг прерывания PSPIF устанавливается в '1' по завершению каждой операции чтения или записи (сбрасывается в '0' программно). Разрешить/запретить прерывания от модуля PSP можно установкой/сбросом бита PSPIE.

Таблица 10-1 Функциональное назначение выводов PORTE

| Обозначение вывода | Описание |
|--------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| RE0/-RD | Двунаправленный порт ввода/вывода или вход управления чтением ведомого параллельного порта или аналоговый вход: -RD 1 = Ожидание 0 = Операция чтения. Защелка PORTD подключена к выводам PORTD (если -CS = 0) |
| RE1/-WR | Двунаправленный порт ввода/вывода или вход управления записью ведомого параллельного порта или аналоговый вход: -WR 1 = Ожидание 0 = Операция записи. Данные с выводов PORTD сохраняются во внутренней защелке PORTD (если -CS = 0) |
| RE2/-CS | Двунаправленный порт ввода/вывода или вход выбора микросхемы ведомого параллельного порта или аналоговый вход: -CS 1 = Микросхема не выбрана 0 = Микросхема выбрана |

Примечание. PSP может мультиплицировать другие функции на эти выводы. Для работы PSP необходимо, чтобы выводы были настроены как цифровые каналы ввода/вывода.

10.4 Работа в SLEEP режиме

В SLEEP режиме микроконтроллера микропроцессор может выполнить запись или чтение ведомого параллельного порта. Чтение и запись в PSP вызывают установку в '1' флага прерывания PSPIF. Если прерывания от PSP разрешены, то микроконтроллера выйдет из режима SLEEP для обработки (подготовки) новых данных от микропроцессора.

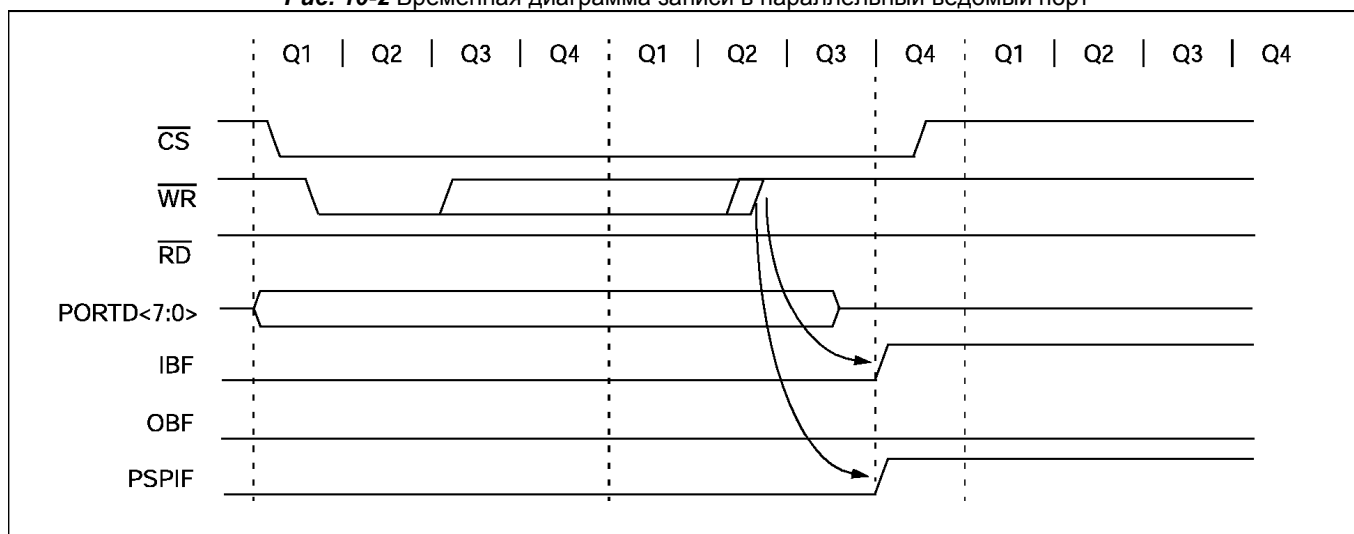
10.5 Эффект сброса

После любого вида сброса микроконтроллера PSP выключен, а PORTD и PORTE переходят в режим по умолчанию.

10.6 Временные диаграммы работы

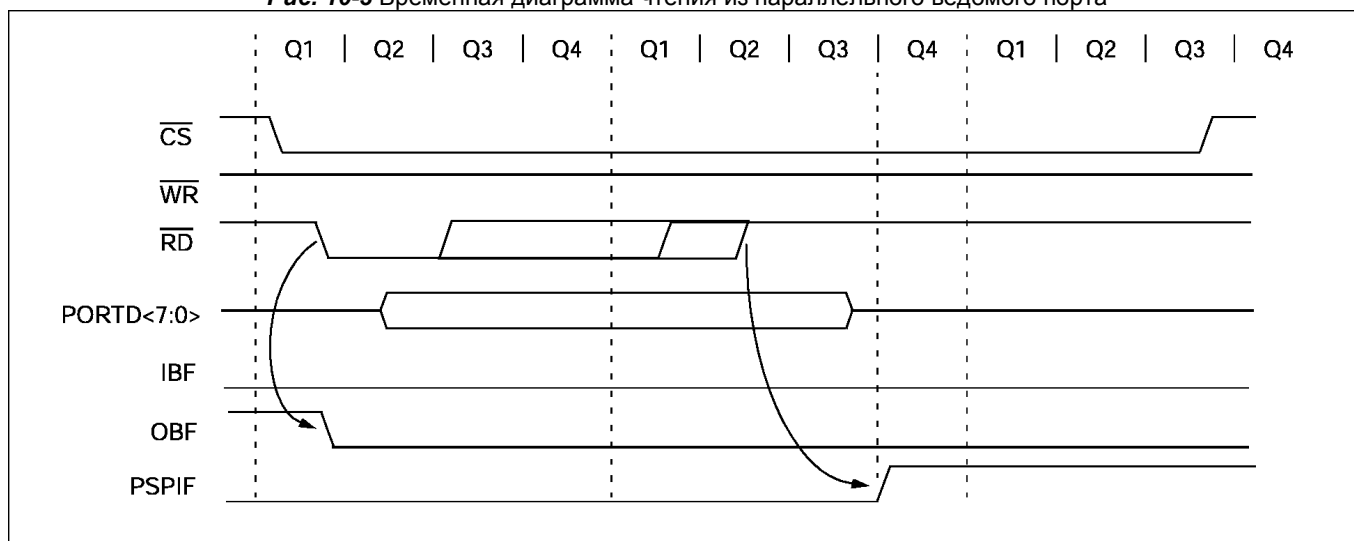
На рисунке 10-2 показана временная диаграмма записи в PSP, а на рисунке 10-3 представлена временная диаграмма чтения PSP микропроцессором.

Рис. 10-2 Временная диаграмма записи в параллельный ведомый порт



Примечание. Сброс бита IBF заблокирован до этого момента.

Рис. 10-3 Временная диаграмма чтения из параллельного ведомого порта



10.7 Ответы на часто задаваемые вопросы

Если вы не найдете ответа на Ваш вопрос в этой главе раздела, задайте его, написав нам письмо по адресу support@microchip.ru.

Вопрос 1: Перейдя с микроконтроллеров PIC16C74 на PIC16C74A заметил, что изменилась работа PSP.

Ответ 1:

Действительно, были сделаны некоторые изменения. В PIC16C74A операция происходит по получению активного фронта управляющего сигнала (в PIC16C74 управление выполнялось уровнем сигнала, а не фронтом). Дополнительную информацию смотрите в приложении С.9.

10.8 Дополнительная литература

Дополнительная литература и примеры применения, связанные с этим разделом документации. Примеры применения не могут использоваться для всех микроконтроллеров среднего семейства (PIC16CXXX). Как правило примеры применения написаны для конкретной группы микроконтроллеров, но принципы примеров могут использоваться, сделав незначительные изменения (с учетом существующих ограничений).

Документы, связанные с ведомым параллельным портом в микроконтроллерах PICmicro MCU:

| Документ | Номер |
|--------------------------------------------------------------------------------------------------|-------|
| Using the 8-bit Parallel Slave Port Использование 8 - разрядного ведомого параллельного порта | AN579 |

Уважаемые господа!

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу support@microchip.ru

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:
(095) 963-9601
(095) 737-7545
и адресу sales@microchip.ru

На сайте
www.microchip.ru

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.