

# Справочник по среднему семейству микроконтроллеров PICmicro™

## Раздел 15. Модуль SSP

Перевод основывается на технической документации DS33023A  
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»  
Москва - 2002

Распространяется бесплатно.  
Полное или частичное воспроизведение материала допускается только с письменного разрешения  
ООО «Микро-Чип»  
тел. (095) 737-7545  
[www.microchip.ru](http://www.microchip.ru)

# PICmicro™ Mid-Range MCU Family Reference Manual

“All rights reserved. Copyright © 1997, Microchip Technology Incorporated, USA. Information contained in this publication regarding device applications and the like is intended through suggestion only and may be superseded by updates. No representation or warranty is given and no liability is assumed by Microchip Technology Incorporated with respect to the accuracy or use of such information, or infringement of patents or other intellectual property rights arising from such use or otherwise. Use of Microchip’s products as critical components in life support systems is not authorized except with express written approval by Microchip. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights. The Microchip logo and name are registered trademarks of Microchip Technology Inc. in the U.S.A. and other countries. All rights reserved. All other trademarks mentioned herein are the property of their respective companies. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights.”

## **Trademarks**

The Microchip name, logo, PIC, KEELOQ, PICMASTER, PICSTART, PRO MATE, and SEEVAL are registered trademarks of Microchip Technology Incorporated in the U.S.A.

MPLAB, PICmicro, ICSP and In-Circuit Serial Programming are trademarks of Microchip Technology Incorporated.

Serialized Quick-Turn Production is a Service Mark of Microchip Technology Incorporated.

All other trademarks mentioned herein are property of their respective companies.

## Содержание

15.1 Введение .....	4
15.2 Управляющие регистры .....	5
15.3 Режим SPI.....	7
15.3.1 Работа модуля SSP в режиме SPI .....	7
15.3.2 Настройка выводов в режиме SPI.....	8
15.3.3 Типовое включение.....	9
15.3.4 Режим ведущего SPI .....	10
15.3.5 Режим ведомого SPI.....	11
15.3.6 Выбор ведомого в режиме SPI.....	12
15.3.7 Работа в SLEEP режиме микроконтроллера.....	13
15.3.8 Эффект сброса .....	13
15.4 Режим I <sup>2</sup> C .....	14
15.4.1 Режим ведомого I <sup>2</sup> C.....	15
15.4.2 Режим ведущего I <sup>2</sup> C (программная реализация).....	20
15.4.3 Режим ведущего I <sup>2</sup> C с конкуренцией на шине (программная реализация).....	20
15.4.4 Работа в SLEEP режиме .....	20
15.4.5 Эффект сброса .....	20
15.5 Инициализация .....	21
15.5.1 Совместимость модуля SSP и основного модуля SSP (BSSP) .....	22
15.6 Ответы на часто задаваемые вопросы .....	23
15.7 Дополнительная литература .....	24

**Примечание.** Обратитесь к приложению C.2 или технической документации на микроконтроллеры, чтобы определить в каких микроконтроллерах реализован модуль SSP.

## 15.1 Введение

Модуль синхронного последовательного порта (SSP) может использоваться для связи с периферийными микросхемами или другими микроконтроллерами. Периферийными микросхемами могут быть: EEPROM память, сдвиговые регистры, драйверы ЖКИ, АЦП и др. Модуль SSP может работать в одном из двух режимах:

- Последовательный периферийный интерфейс (SPI);
- Inter-Integrated Circuit (I<sup>2</sup>C):
  - ведомой режим;
  - контроль состояния портов ввода/вывода для обнаружения битов START, STOP с целью упрощения программного обеспечения в режиме ведущего и при конкуренции на шине.

## 15.2 Управляющие регистры

### SSPSTAT: Регистр статуса модуля SSP

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
<b>SMP</b>	<b>CKE</b>	<b>D/A</b>	<b>P</b>	<b>S</b>	<b>R/W</b>	<b>UA</b>	<b>BF</b>
Бит 7							Бит 0
<div style="border: 1px solid black; padding: 5px; margin-top: 10px;"> <p>R – чтение бита  W – запись бита  U – не реализовано, читается как 0  -n – значение после POR  -x – неизвестное значение после POR</p> </div>							
бит 7:	<p><b>SMP:</b> Фаза выборки бита данных в режиме SPI</p> <p><u>Ведущий режим SPI</u>  1 = опрос входа в конце периода вывода данных  0 = опрос входа в середине периода вывода данных</p> <p><u>Ведомый режим SPI</u>  Для режима ведомого SPI этот бит всегда должен быть сброшен в '0'</p>						
бит 6:	<p><b>CKE:</b> Выбор фронта тактового сигнала в режиме SPI (см. рис. 15-3, 15-4 и 15-5)</p> <p><u>СКР=0 (SSPCON&lt;4&gt;)</u>  1 = данные передаются по переднему фронту сигнала на выводе SCK  0 = данные передаются по заднему фронту сигнала на выводе SCK</p> <p><u>СКР=1 (SSPCON&lt;4&gt;)</u>  1 = данные передаются по заднему фронту сигнала на выводе SCK  0 = данные передаются по переднему фронту сигнала на выводе SCK</p>						
бит 5:	<p><b>D/A:</b> Бит Данные/Адрес (только для режима I<sup>2</sup>C)  1 = последний принятый или переданный байт является информационным  0 = последний принятый или переданный байт является адресным</p>						
бит 4:	<p><b>P:</b> Бит STOP (только для режима I<sup>2</sup>C)  Этот бит сбрасывается в '0' когда модуль SSP выключен.  1 = указывает, что бит STOP был обнаружен последним (этот бит равен '0' после сброса)  0 = бит STOP не является последним</p>						
бит 3:	<p><b>S:</b> Бит START (только для режима I<sup>2</sup>C)  Этот бит сбрасывается в '0' когда модуль SSP выключен.  1 = указывает, что бит START был обнаружен последним (этот бит равен '0' после сброса)  0 = бит START не является последним</p>						
бит 2:	<p><b>R/W:</b> Бит чтения/записи (только для режима I<sup>2</sup>C)  Значение бита действительно только после совпадения адреса и до приема бита START, STOP или -ACK.  1 = чтение  0 = запись</p>						
бит 1:	<p><b>UA:</b> Флаг обновления адреса устройства (только для режима 10-разрядного I<sup>2</sup>C)  1 = необходимо обновить адрес в регистре SSPADD  0 = обновление адреса не требуется</p>						
бит 0:	<p><b>BF:</b> Бит статуса буфера</p> <p><u>Прием (SPI и I<sup>2</sup>C режимы)</u>  1 = прием завершен, буфер SSPBUF полон  0 = прием не завершен, буфер SSPBUF пуст</p> <p><u>Передача (только I<sup>2</sup>C режима)</u>  1 = выполняется передача данных, буфер SSPBUF полон  0 = передача данных завершена, буфер SSPBUF пуст</p>						

**SSPCON: Регистр управления модуля SSP**

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
<b>WCOL</b>	<b>SSPOV</b>	<b>SSPEN</b>	<b>СКР</b>	<b>SSPM3</b>	<b>SSPM2</b>	<b>SSPM1</b>	<b>SSPM0</b>
Бит 7							Бит 0

R – чтение бита  
W – запись бита  
U – не реализовано, читается как 0  
-n – значение после POR  
-x – неизвестное значение после POR

бит 7: **WCOL:** Бит конфликта записи (сбрасывается в '0' программно)  
1 = была предпринята попытка записи в SSPBUF во время передачи предыдущего байта  
0 = конфликта не было

бит 6: **SSPOV:** Бит переполнения приемника  
SPI режим  
1 = принят новый байт, а SSPBUF содержит предыдущие данные(байт в SSPSR будет потерян). В ведомом режиме пользователь должен прочитать содержимое регистра SSPBUF даже, если только передает данные. В ведущем режиме бит в '1' не устанавливается, т.к. каждая операция инициализируется записью в SSPBUF. (сбрасывается в '0' программно)  
0 = нет переполнения  
I<sup>2</sup>C режим  
1 = принят новый байт, а SSPBUF содержит предыдущие данные. Значение бита не действительно при передаче данных. (сбрасывается в '0' программно)  
0 = нет переполнения

бит 5: **SSPEN:** Бит включения модуля SSP  
Когда модуль включен, соответствующие порты ввода/вывода настраиваются на выход или вход  
SPI режим  
1 = модуль SSP включен, выходы SCK, SDO, SDI, -SS используются модулем SSP  
0 = модуль SSP выключен, выходы работают как цифровые порты ввода/вывода  
I<sup>2</sup>C режим  
1 = модуль SSP включен, выходы SDA, SCL используются модулем SSP  
0 = модуль SSP выключен, выходы работают как цифровые порты ввода/вывода

бит 4: **СКР:** Бит выбора полярности тактового сигнала  
SPI режим  
1 = пассивный высокий уровень сигнала  
0 = пассивный низкий уровень сигнала  
I<sup>2</sup>C режим  
Управление тактовым сигналом SCK  
1 = не управлять тактовым сигналом  
0 = удерживать тактовый сигнал в низком логическом уровне (используется для подготовки данных)

биты 3-0: **SSPM3:SSPM0:** Режим работы модуля SSP  
0000 = ведущий режим SPI, тактовый сигнал =  $F_{osc}/4$   
0001 = ведущий режим SPI, тактовый сигнал =  $F_{osc}/16$   
0010 = ведущий режим SPI, тактовый сигнал =  $F_{osc}/64$   
0011 = ведущий режим SPI, тактовый сигнал = выход TMR2 / 2  
0100 = ведомый режим SPI, тактовый сигнал с вывода SCK. Вывод -SS подключен к SSP  
0101 = ведомый режим SPI, тактовый сигнал с вывода SCK. Вывод -SS не подключен к SSP  
0110 = ведомый режим I<sup>2</sup>C, 7-разрядная адресация  
0111 = ведомый режим I<sup>2</sup>C, 10-разрядная адресация  
1000 = резерв  
1001 = резерв  
1010 = резерв  
1011 = программная поддержка ведущего режима I<sup>2</sup>C (ведомый режим выключен)  
1100 = резерв  
1101 = резерв  
1110 = ведомый режим I<sup>2</sup>C, 7-разрядная адресация с разрешением прерываний по приему бит START и STOP  
1111 = ведомый режим I<sup>2</sup>C, 10-разрядная адресация с разрешением прерываний по приему бит START и STOP

### 15.3 Режим SPI

В SPI режиме возможен одновременный синхронный прием и передача 8-разрядных данных. Модуль SSP поддерживает четыре режима SPI с типовым использованием трех выводов микроконтроллера. В режиме ведущего SPI легко реализовать интерфейс Microwire™.

- Вход последовательных данных (SDI);
- Выход последовательных данных (SDO);
- Тактовый сигнал (SCK).

Дополнительно может быть задействован четвертый вывод для работы в режиме ведомого:

- Выбор ведомого (-SS).

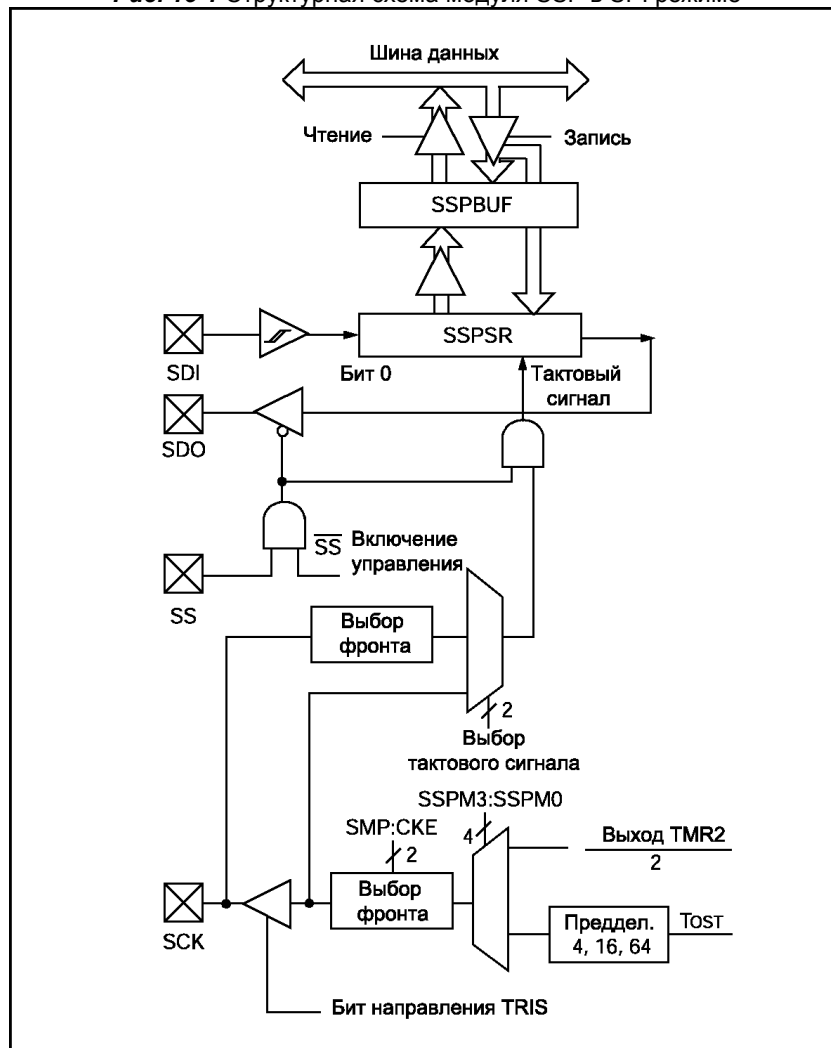
#### 15.3.1 Работа модуля SSP в режиме SPI

При инициализации SPI необходимо определить параметры работы модуля SPI битами SSPCON<5:0>, SSPSTAT<7:6>. Управляющие биты определяют следующие параметры работы:

- Ведущий режим (SCK выход);
- Ведомый режим (SCK вход);
- Полярность тактового сигнала (пассивный уровень SCK);
- Фаза выборки входных данных;
- Активный фронт тактового сигнала (передний, задний);
- Частота тактового сигнала (только в ведущем режиме);
- Режим выбора ведомого (только в режиме ведомого).

На рисунке 15-1 показана структурная схема модуля SSP в SPI режиме.

Рис. 15-1 Структурная схема модуля SSP в SPI режиме



Модуль SSP состоит из приемного/передающего регистра сдвига (SSPSR) и буферного регистра (SSBUF). В регистре SSPSR выполняется сдвиг данных из/в микроконтроллер старшим битом вперед. В регистре SSBUF сохраняются записанные данные, пока не будут получены новые. Приняв 8 бит данных в регистр SSPSR они переписываются в SSBUF, устанавливается в '1' флаг полного приемного буфера BF (SSPSTAT<0>) и флаг прерывания SSPIF. Двойная буферизация принимаемых данных позволяет принимать следующий байт до чтения предыдущего. Любая запись в регистр SSBUF во время выполнения операции приема/передачи данных будет игнорирована, при этом устанавливается в '1' флаг WCOL (SSPCON<7>). Пользователь должен программно сбросить бит WCOL в '0', чтобы была возможность проверки выполнения записи в регистр SSBUF. При приеме данных в режиме SPI регистр SSBUF должен быть прочитан до момента окончания приема следующего байта. Бит статуса приемного буфера BF (SSPSTAT<0>) указывает на получение нового байта данных. Бит BF аппаратно сбрасывается в '0' при чтении регистра SSBUF. Принятые данные могут быть недостоверными, если режим SPI используется только для передачи данных. Прерывания от модуля SSP используются для определения завершения приема/передачи данных (в подпрограмме обработки прерываний необходимо прочитать/записать регистр SSBUF). Если не планируется использовать прерывания от модуля SSP, то необходимо предусмотреть программную проверку выполнения записи в регистр SSBUF для передачи данных. В примере 15-1 показана загрузка данных в регистр SSBUF (SSPSR) для передачи данных. Затененная команда требуется только, если принимаемые данные имеют какое-то значение (в некоторых приложениях модуль SSP в режиме SPI используется только для передачи данных).

**Пример 15-1** Загрузка данных в регистр SSBUF(SSPSR)

	BCF	STATUS, RP1	;Банк 1
	BSF	STATUS, RP0	;
LOOP	BTFSS	SSPSTAT, BF	;Данные приняты?
	GOTO	LOOP	;Нет
	BCF	STATUS, RP0	;Банк 0
	MOVF	SSPBUF, W	;Загрузить в W значение из SSBUF
	MOVWF	RXDATA	;Если необходимо, сохранить значение в памяти
	MOVF	TXDATA, W	;Загрузить в W значение из TXDATA
	MOVWF	SSPBUF	;Передать новые данные

Регистр SSPSR не доступен для непосредственного чтения или записи, все операции выполняются через регистр SSBUF. В регистре SSPSTAT находятся биты, указывающие текущее состояние модуля SSP.

### 15.3.2 Настройка выводов в режиме SPI

Для включения модуля SSP необходимо установить бит SSPEN (SSPCON<5>) в '1'. Для сброса или перенастройки режима SPI рекомендуется сбросить бит SSPEN в '0', выполнить изменения параметров работы, а затем вновь установить бит SSPEN в '1'. После включения SSP в режиме SPI выводы SDI, SDO, SCK, -SS используются последовательным портом. Для корректной работы последовательного порта биты регистров TRIS должны быть настроены следующим образом:

- SDI, бит TRIS должен быть установлен в '1';
- SDO, бит TRIS должен быть сброшен в '0';
- SCK (ведущий режим), бит TRIS должен быть сброшен в '0';
- SCK (ведомый режим), бит TRIS должен быть установлен в '1';
- -SS, бит TRIS должен быть установлен в '1'.

Любая нежелательная функция последовательного порта может быть выключена, настраивая соответствующие биты регистров направления данных TRIS. Например, если в режиме ведущего SPI выполняется только передача данных, то выводы SDI и -SS могут использоваться как цифровые выходы, сбросив соответствующие биты TRIS в '0'.

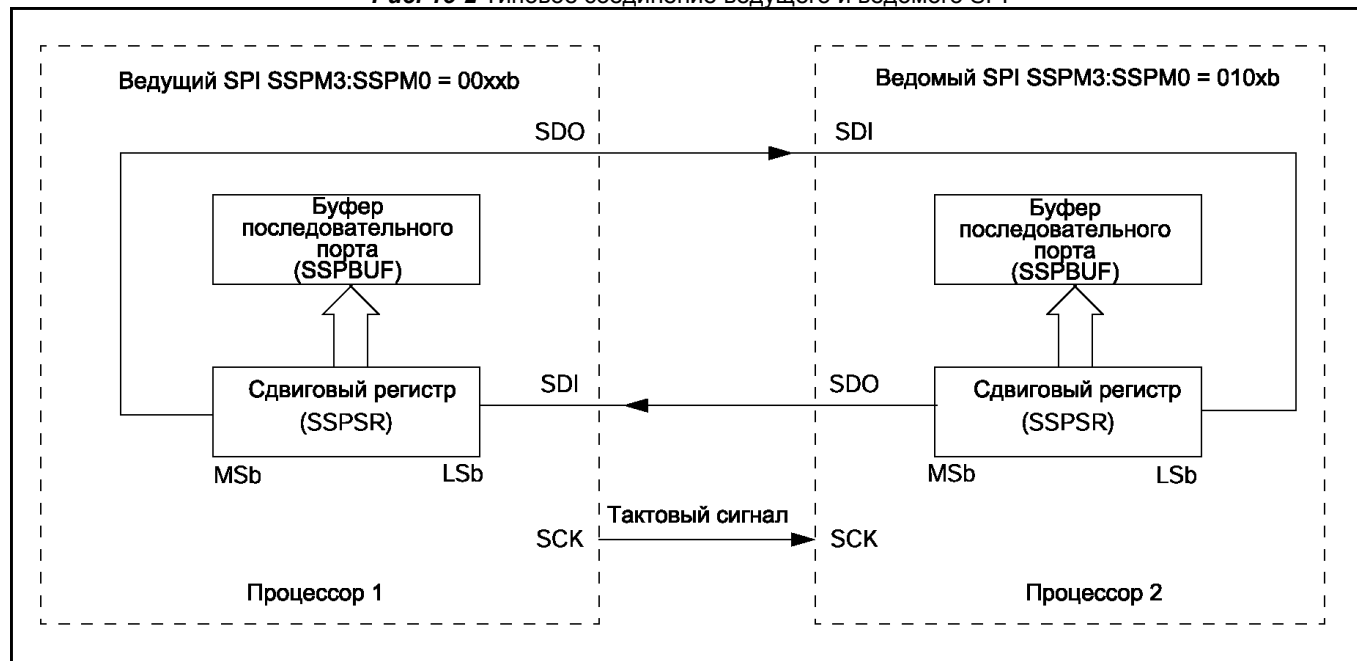


### 15.3.3 Типовое включение

На рисунке 15-2 показано типовое соединение двух микроконтроллеров. Главный микроконтроллер (процессор 1) инициализирует передачу, формируя тактовый сигнал SCK. Данные сдвигаются по установленному битом SMP фронту тактового сигнала. Для одновременного приема/передачи данных (фиктивных данных) оба микроконтроллера должны иметь одинаковую полярность тактового сигнала (бит СКР). Всего существует три сценария передачи данных:

- Ведущий передает данные - ведомый передает фиктивные данные;
- Ведущий передает данные - ведомый передает данные;
- Ведущий передает фиктивные данные - ведомый передает данные.

Рис. 15-2 Типовое соединение ведущего и ведомого SPI



### 15.3.4 Режим ведущего SPI

Ведущий шины может инициализировать передачу данных в любой момент, поскольку он генерирует тактовый сигнал, и определяет, когда ведомый (процессор 2) должен передать данные в соответствии с используемым протоколом.

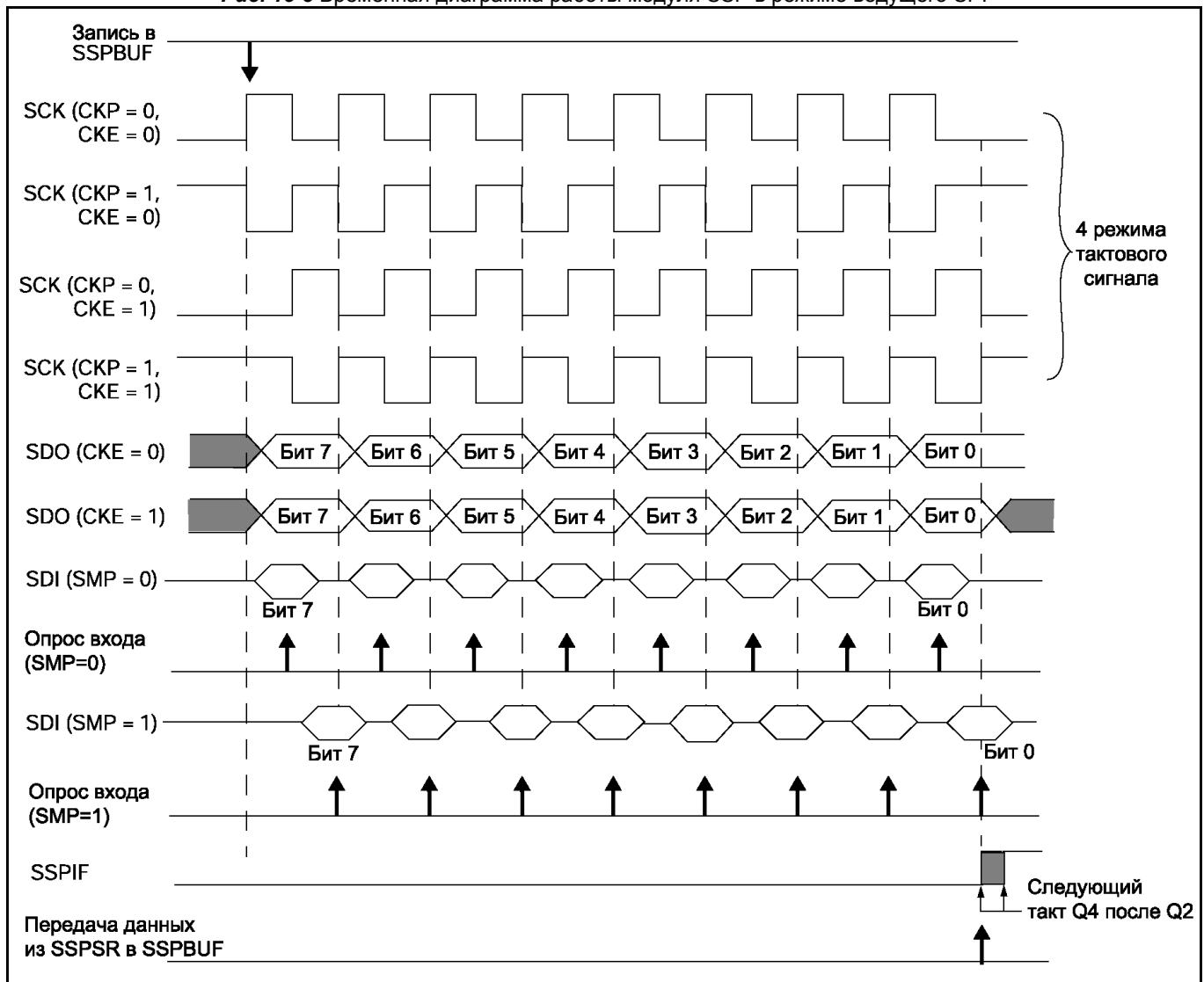
В режиме ведущего данные передаются/принимаются после их записи/чтения из регистра SSPBUF. Если в SPI режиме требуется только принимать данные, вывод SDO может быть заблокирован (настроен как вход). Данные с вывода SDI последовательно сдвигаются в регистр SSPSR с установленной скоростью. Каждый принятый байт загружается в регистр SSPBUF (как нормально полученный байт) с формированием прерываний и воздействием на соответствующие биты статуса. Эта функция может быть полезна при реализации "монитора шины".

Полярность тактового сигнала устанавливается битом СКР (SSPCON<4>), что позволяет получить различные методы передачи данных (см. рисунки 15-3, 15-4 и 15-5). Данные всегда передаются старшим битом вперед. В ведущем режиме частота тактового сигнала выбирается программно:

- $F_{osc}/4$  (или  $T_{CY}$ );
- $F_{osc}/16$  (или  $4 \times T_{CY}$ );
- $F_{osc}/64$  (или  $16 \times T_{CY}$ );
- Выход таймера TMR2 / 2.

Максимальная частота передачи данных 5МГц при тактовой частоте микроконтроллера 20МГц.

Рис. 15-3 Временная диаграмма работы модуля SSP в режиме ведущего SPI



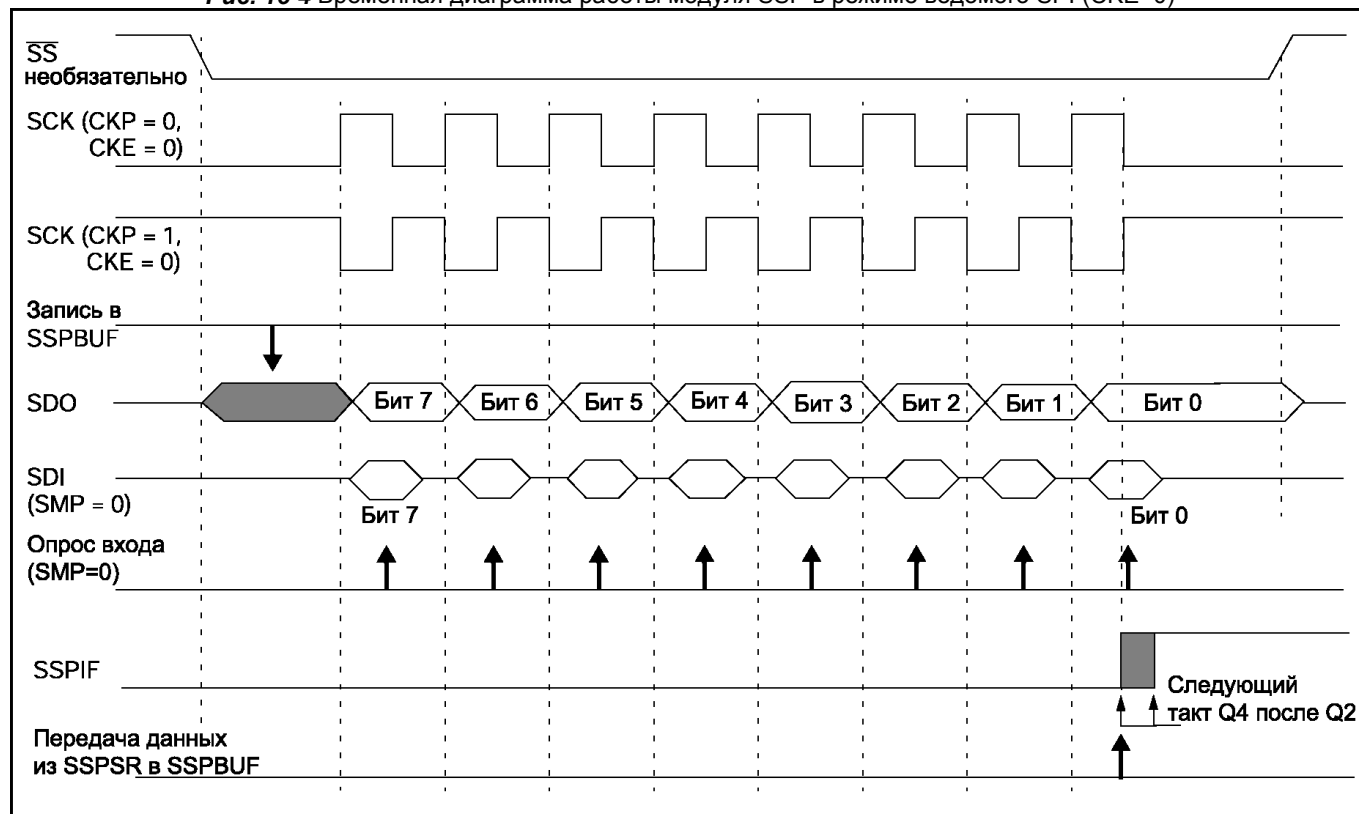
### 15.3.5 Режим ведомого SPI

В режиме ведомого данные передаются/принимаются по внешнему тактовому сигналу на выводе SCK. Когда принимается последний бит байта, устанавливается в '1' флаг прерываний SSPIF.

Полярность тактового сигнала выбирается битом CKP (SSPCON<4>). Временные диаграммы передачи данных по интерфейсу SPI смотрите на рисунке 15-3, 15-4 и 15-5 (данные передаются старшим битом вперед). Внешний тактовый сигнал должен удовлетворять требованиям длительности низкого и высокого логического уровня, описанным в разделе электрических характеристик.

В SLEEP режиме микроконтроллера ведомый может принимать/передавать данные. После приема данных микроконтроллер выходит из режима SLEEP, если разрешены прерывания от модуля SSP.

Рис. 15-4 Временная диаграмма работы модуля SSP в режиме ведомого SPI (CKE=0)



### 15.3.6 Выбор ведомого в режиме SPI

В режиме SPI вывод  $\overline{SS}$  позволяет подключать несколько ведомых к одному ведущему. Модуль SSP должен находиться в режиме ведомого SPI ( $SSPCON\langle 3:0 \rangle = 0100$ ), бит TRIS для вывода  $\overline{SS}$  установлен в '1', чтобы позволить ведущему выбирать ведомого. Когда на выводе  $\overline{SS}$  присутствует низкий логический уровень, передача и прием данных разрешены, а вывод SDO управляется модулем SSP. Если на выводе  $\overline{SS}$  высокий уровень сигнала, то вывод SDO переходит в 3-е состояние. В зависимости от приложения может потребоваться внешний подтягивающий резистор на выводе SDO.

В режиме ведомого SPI с поддержкой выбора ведомого по сигналу на выводе  $\overline{SS}$  ( $SSPCON\langle 3:0 \rangle = 0100$ ) SPI модуль сброшен, если на выводе  $\overline{SS}$  напряжение питания  $V_{DD}$ . Если модуль SSP работает в режиме ведомого SPI и  $CKE = 1$ , необходимо разрешить управление с вывода  $\overline{SS}$ .

При сбросе модуля SSP в режиме SPI счетчик битов сдвигового регистра очищается. Сброс модуля в режиме SPI происходит при появлении высокого логического уровня на выводе  $\overline{SS}$  и сбросе в '0' бита SSPEN (см. рис. 15-6).

Для реализации двух проводного интерфейса вывод SDO может быть соединен с SDI. Когда SPI должен работать как приемник, вывод SDO настраивается на вход, что отключает передатчик от SDO. SDI всегда должен быть настроен как вход (функция SDI), т.к. это не создает конфликт шины.

Рис. 15-5 Временная диаграмма работы модуля SSP в режиме SPI с выбором ведомого ( $CKE=1$ )

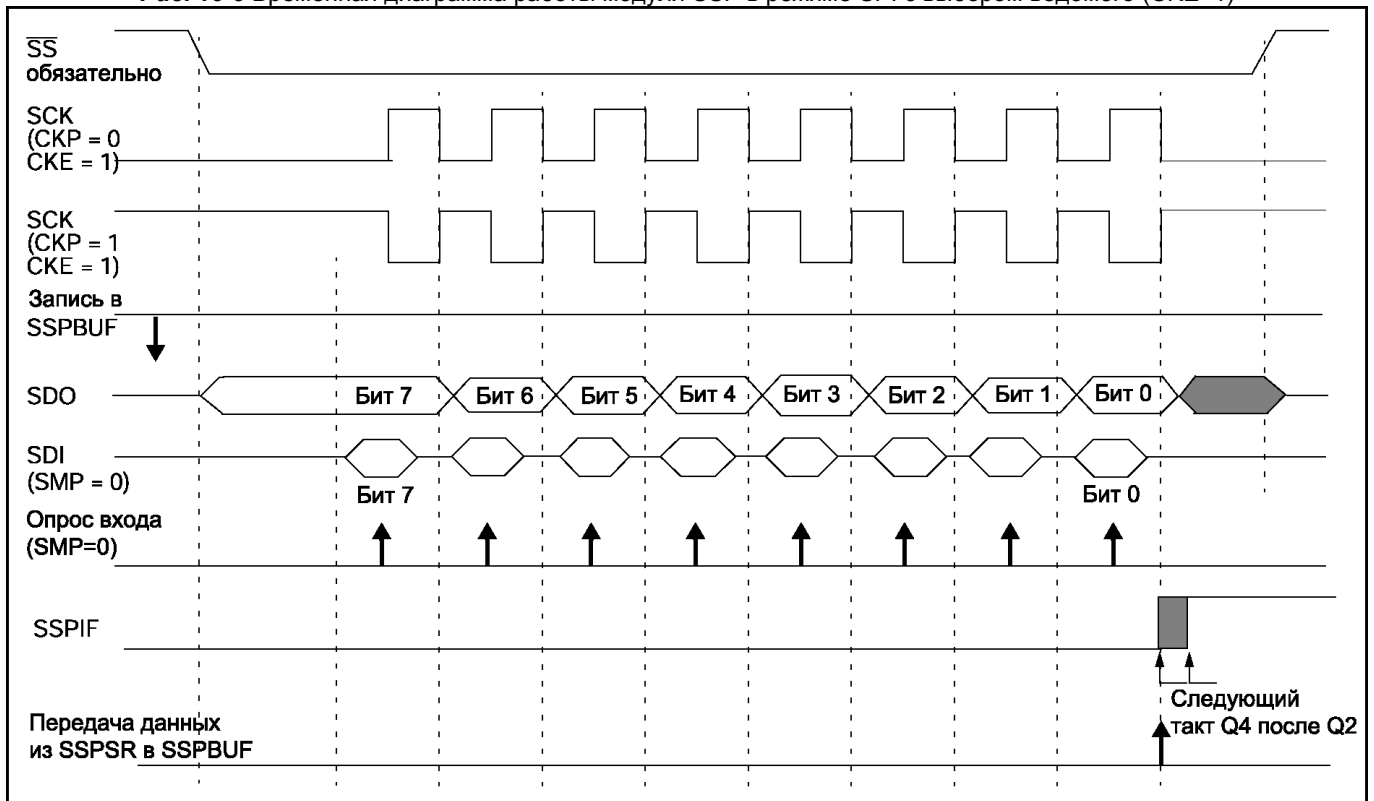
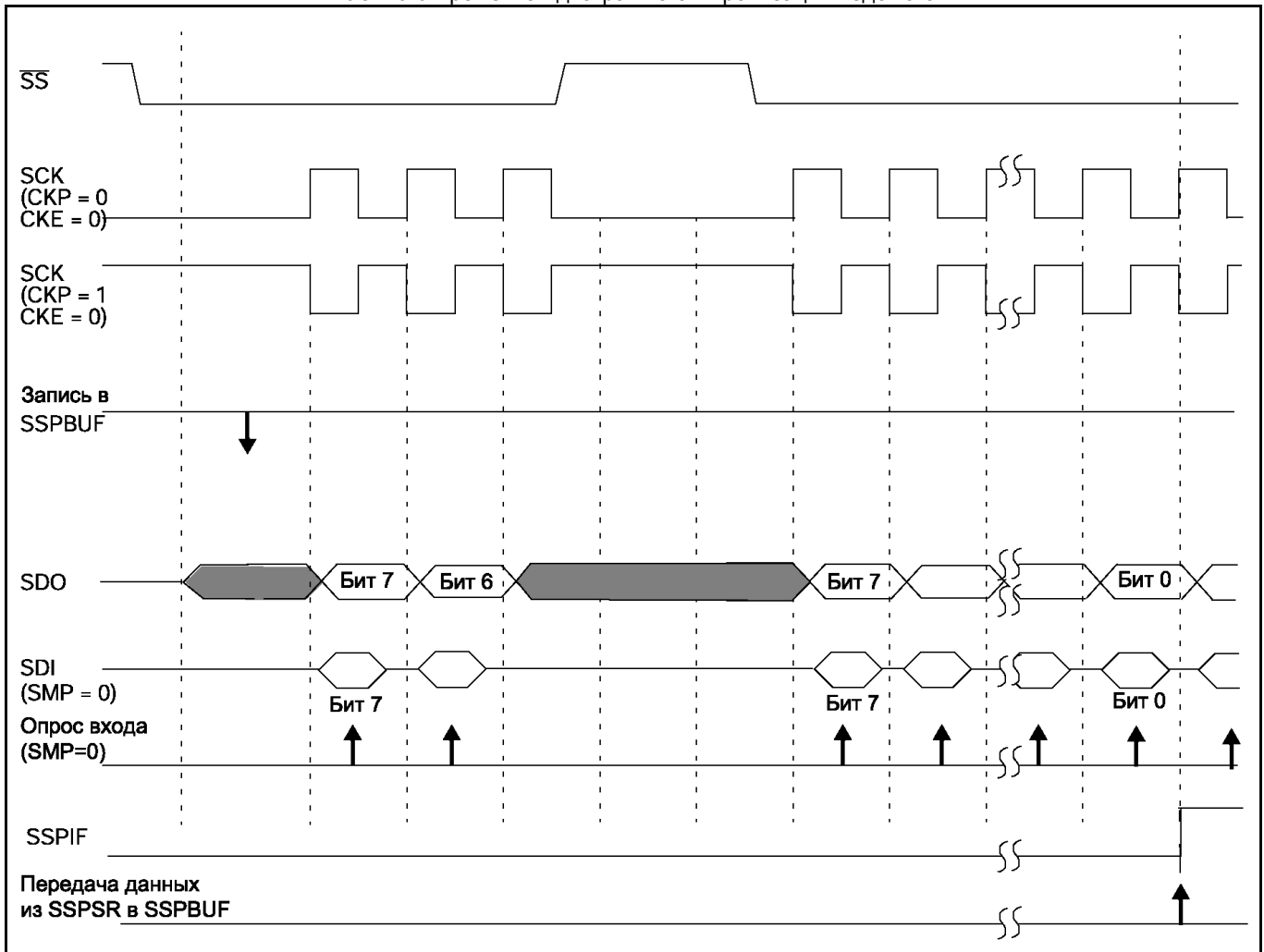


Рис. 15-6 Временная диаграмма синхронизации ведомого



### 15.3.7 Работа в SLEEP режиме микроконтроллера

В режиме ведущего SPI тактовый сигнал модуля SSP отсутствует, состояние приема/передачи данных не изменяется до выхода микроконтроллера из режима SLEEP. После выхода микроконтроллера из режима SLEEP модуль SSP продолжит передачу/прием данных.

В режиме ведомого SPI данные могут быть приняты/переданы, т.к. сдвиговый регистр работает асинхронно. Это позволяет в SLEEP режиме микроконтроллера принять/передать данные в/из сдвигового регистра. Как только будут приняты все 8 бит данных, устанавливается в '1' флаг прерывания от модуля SSP, и если прерывания разрешены, микроконтроллер выйдет из SLEEP режима.

### 15.3.8 Эффект сброса

Любой сброс микроконтроллера выключает модуль SSP, прием/передача данных прекращается.

Таблица 15-1 Регистры и биты, связанные с работой модуля SSP в режиме SPI

Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR, BOR	Другие сбросы
INTCON	GIE	PEIE	TOIE	INTE	RBIF <sup>(2)</sup>	TOIF	INTF	RBIF <sup>(2)</sup>	0000 000x	0000 000u
PIR	SSPIF <sup>(1)</sup>								0	0
PIE	SSPIE <sup>(1)</sup>								0	0
SSPBUF	Буфер приемника SSP / регистр передатчика								xxxx xxxx	uuuu uuuu
SSPCON	WCOL	SSPOV	SSPEN	СКР	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
TRISA	-	-	Регистр направления данных PORTA						--11 1111	--11 1111
TRISC	Регистр направления данных PORTC								1111 1111	1111 1111
SSPSTAT	SMP	CKE	D/A	P	S	R/W	UA	BF	0000 0000	0000 0000

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий. Затененные биты на работу не влияют.

Примечания:

1. Расположение битов смотрите в технической документации на микроконтроллер.
2. В некоторых микроконтроллерах эти биты могут обозначаться как GPIE и GPIF.

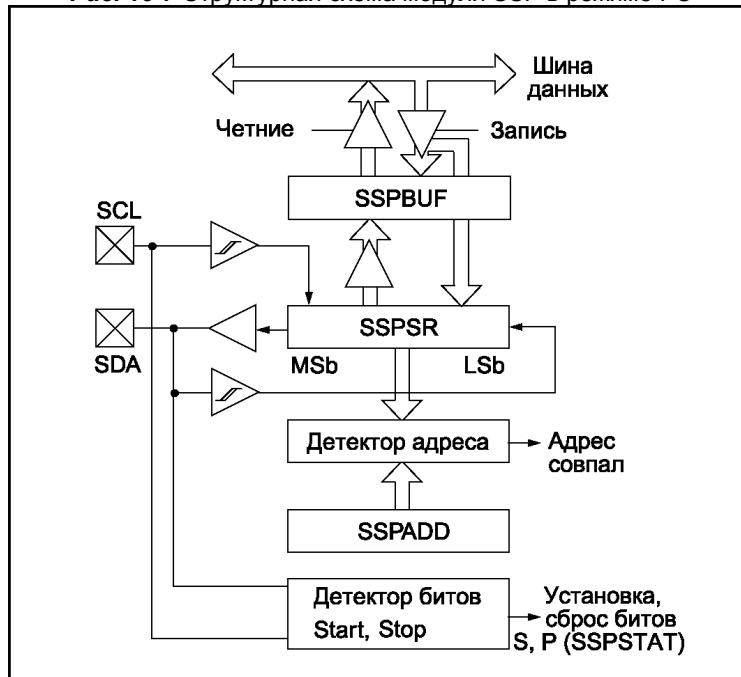
## 15.4 Режим I<sup>2</sup>C

Модуль SSP полностью поддерживает все функции ведомых устройств, включая поддержку общего вызова, аппаратные прерывания по детектированию битов START и STOP для определения занятости шины I<sup>2</sup>C при программной реализации режима ведущего. В SSP модуле реализована поддержка стандартного режима 7, 10-разрядной адресации. Дополнительно смотрите приложение А, в котором дано краткое описание шины I<sup>2</sup>C.

Для работы с шиной I<sup>2</sup>C используется два вывода SCL (сигнал синхронизации) и SDA (данные). Выводы SDA и SCL автоматически настраиваются при включении режима I<sup>2</sup>C. Включение модуля SSP выполняется установкой бита SSPEN (SSPCON<5>) в '1'.

Фильтр "glitch" подключен к выводам SDA и SCL, когда они настроены на вход. Фильтр работает в режимах 100кГц и 400кГц. В режиме 100кГц, когда выводы SDA и SCL настроены на выход, фильтр контролирует длительность формируемых сигналов независимо от тактовой частоты микроконтроллера.

Рис. 15-7 Структурная схема модуля SSP в режиме I<sup>2</sup>C



Для управления модулем SSP в режиме I<sup>2</sup>C используется пять регистров:

- SSPCON, регистр управления SSP;
- SSPSTAT, регистр статуса SSP;
- SSPBUF, буфер приемника/передатчика;
- SSPSR, сдвиговый регистр (пользователю не доступен);
- SSPADD, регистр адреса.

В регистре SSPCON устанавливается требуемый режим I<sup>2</sup>C. С помощью четырех битов (SSPCON<3:0>) можно выбрать один из режимов I<sup>2</sup>C:

- Ведомый режим I<sup>2</sup>C, 7-разрядная адресация;
- Ведомый режим I<sup>2</sup>C, 10-разрядная адресация;
- Программная поддержка ведущего режима I<sup>2</sup>C с конкуренцией на шине (разрешение прерываний по приему битов START и STOP);
- Программная поддержка ведущего режима I<sup>2</sup>C (ведомый режим выключен).

При выборе любого режима I<sup>2</sup>C выводы SCL и SDA должны быть настроены на вход, установкой соответствующих битов регистра TRISC в '1'. После выбора режима I<sup>2</sup>C и установки бита SSPEN в '1' выводы SDA (линия данных), SCL (линия синхронизации) подключаются к модулю SSP.

Регистр SSPSTAT содержит биты статуса передачи данных: обнаружение на шине битов START (S) или STOP (P), флаг приема байта данных или адреса, указатель загрузки старшего байта 10-разрядного адреса, бит операции приема/передачи.

В регистр SSPBUF загружаются данные для передачи по шине I<sup>2</sup>C, и из него читаются принятые данные. Регистр SSPSR выполняет сдвиг принимаемых/передаваемых данных. При приеме данных регистры SSPBUF, SSPSR работают как двухуровневый буфер приемника. Буфер позволяет принимать следующий байт до чтения предыдущего принятого байта из регистра SSPBUF. Когда байт полностью загружен в SSPSR, он передается в регистр SSPBUF и устанавливается флаг прерывания SSPIF в '1'. Если полностью принят следующий байт до чтения предыдущего байта из SSPBUF, то устанавливается бит SSPOV (SSPCON<6>) в '1', а байт в регистре SSPSR будет потерян.

В регистр SSPADD записывается адрес ведомого устройства. В 10-разрядном режиме пользователь должен сначала записывать старший байт адреса (1111 0 A9 A8 0). После соответствия старшего байта адреса необходимо загрузить младший байт адреса (A7:A0).

### 15.4.1 Режим ведомого I<sup>2</sup>C

В режиме ведомого I<sup>2</sup>C выводы SCL, SDA должны быть настроены на вход. Модуль SSP автоматически изменит направление вывода SDA при передаче данных ведомым.

При совпадении адреса или после приема байта данных (если предварительно совпал адрес) аппаратно генерируется бит подтверждения (-ACK), а затем данные из регистра SSPSR загружаются в SSPBUF.

Существует несколько условий, при которых бит -ACK не формируется (эти условия могут возникать одновременно):

- Бит BF (SSPSTAT<0>) = 1 перед приемом данных;
- Бит переполнения SSPOV (SSPSTAT<6>) = 1 перед приемом данных.

Если бит BF = 1, то значение из SSPSR не переписывается в регистр SSPBUF, а биты SSPIF и SSPOV устанавливаются в '1'. В таблице 15-2 показаны операции после приема байта при различных значениях битов BF, SSPOV. В затененных ячейках показана ситуация, когда вовремя не был сброшен бит переполнения SSPOV в '0'. Заметьте, что бит BF аппаратно сбрасывается в '0' при чтении из регистра SSPBUF, а бит SSPOV необходимо сбрасывать в '0' программно.

Минимальная длительность логических уровней входного сигнала синхронизации SCL должна удовлетворять требованиям раздела электрических характеристик (см. параметры 100 и 101).

#### 15.4.1.1 Адресация

После включения модуля SSP ожидается формирование на шине бита START. Получив бит START, принимается 8 бит в сдвиговый регистр SSPSR. Выборка битов происходит по переднему фронту синхронизирующего сигнала на выводе SCL. По заднему фронту восьмого такта сигнала SCL значение в регистре SSPSR<7:1> сравнивается с содержимым регистра SSPADD. Если значение адреса совпадает, а биты BF и SSPOV равны нулю, то выполняются следующие действия:

- Значение регистра SSPSR загружается SSPBUF по 8-му заднему фронту сигнала SCL;
- Устанавливается флаг BF в '1' (буфер полон) по 8-му заднему фронту сигнала SCL;
- Генерируется бит -ACK;
- Устанавливается флаг прерываний SSPIF в '1' (если разрешено, генерируется прерывание) по 9-му заднему фронту сигнала SCL.

В режиме ведомого при 10-разрядной адресации необходимо принять два байта адреса. Пять старших бит первого байта определяют: является ли полученный байт первым байтом 10-разрядного адреса. Бит R/W(SSPSTAT<2>) должен быть настроен для приема второго байта адреса. Для 10-разрядной адресации первый байт адреса должен иметь формат '1111 0 A9 A8 0', где A9:A8 два старших бита адреса. Рекомендуемая последовательность действий при 10-разрядной адресации (шаги 7-9 для передачи ведомым):

- Принять старший байт адреса (устанавливаются биты SSPIF, BF и UA (SSPSTAT<1> в '1')).
- Записать младший байт адреса в регистр SSPADD (аппаратно сбрасывается бит UA в '0' и "отпускается" линия SCL).
- Выполнить чтение из регистра SSPBUF (сбрасывается бит BF в '0') и сбросить флаг SSPIF в '0'.
- Принять младший байт адреса (устанавливаются биты SSPIF, BF и UA (SSPSTAT<1> в '1')).
- Записать старший байт адреса в регистр SSPADD (аппаратно сбрасывается бит UA в '0' и "отпускается" линия SCL).
- Выполнить чтение из регистра SSPBUF (сбрасывается бит BF в '0') и сбросить флаг SSPIF в '0'.
- Принять бит повторный START.
- Принять старший байт адреса (устанавливаются биты SSPIF и BF в '1').
- Выполнить чтение из регистра SSPBUF (сбрасывается бит BF в '0') и сбросить флаг SSPIF в '0'.

**Примечание.** В 10-разрядном режиме после команды повторный START (шаг 7) не требуется обновлять значение в регистре SSPADD. В данном случае требуется соответствие только первого байта адреса.

**Таблица 15-2** Операции после приема байта при различных значениях битов BF, SSPOV

Биты статуса приемника		Запись из SSPSR в SSPBUF	Формирование бита -ACK	Установка флага прерываний SSPIF
BF	SSPOV			
0	0	Есть	Есть	Есть
1	0	Нет	Нет	Есть
1	1	Нет	Нет	Есть
0	1	Есть	Нет	Есть

Примечание. В затененных ячейках показана ситуация, когда вовремя не был сброшен бит переполнения SSPOV в '0'.

### 15.4.1.2 Прием данных

Если бит R/W в адресном байте равен нулю, а принятый адрес совпадает с адресом устройства, то бит R/W в регистре SSPSTAT сбрасывается в '0'. Принятый адрес загружается в регистр SSPBUF.

Если бит BF (буфер полон) или SSPOV (переполнение буфера) установлен в '1', то бит подтверждения -ACK не формируется. Эту ошибку необходимо обработать программно. Если было выполнено чтение из регистра SSPBUF но не был сброшен бит SSPOV в '0', то бит -ACK не формируется.

Прерывание от модуля SSP генерируются при каждом принятом байте с шины I<sup>2</sup>C, установкой флага SSPIF в '1' (сбрасывается программно). Регистр SSPSTAT используется для определения типа принятого байта.

Рис. 15-8 Временная диаграмма приема данных ведомым I<sup>2</sup>C (7-разрядная адресация)

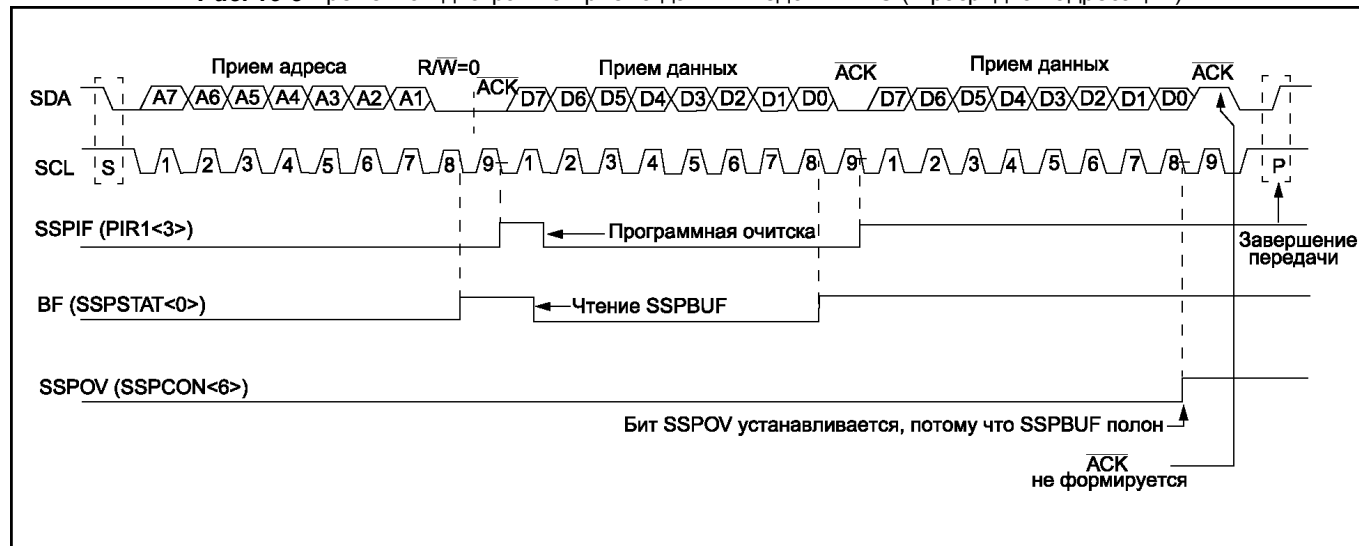
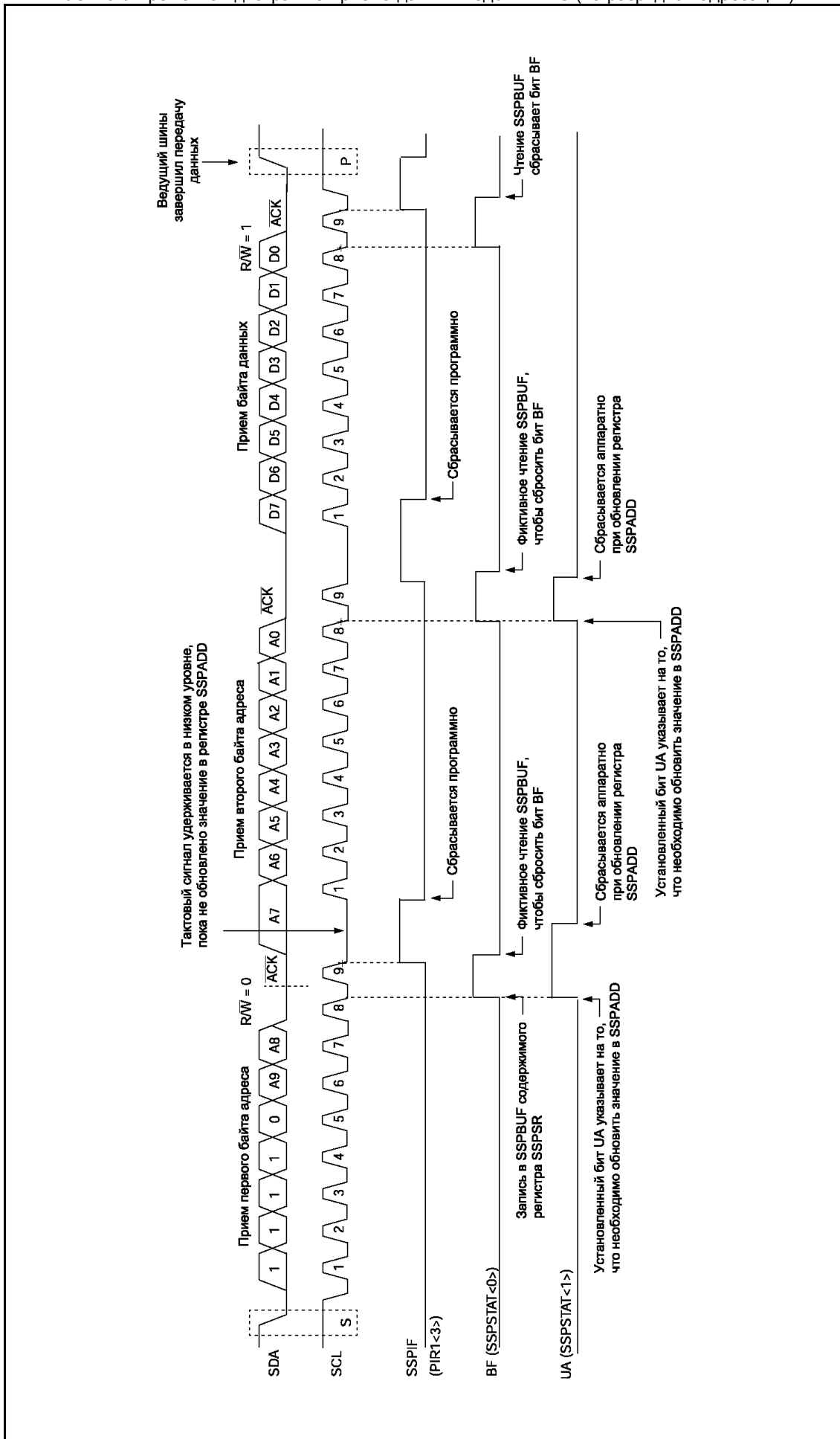




Рис. 15-9 Временная диаграмма приема данных ведомым I<sup>2</sup>C (10-разрядная адресация)



**15.4.1.3 Передача данных**

Если бит R/W в адресном байте равен '1', а принятый адрес совпадает с адресом устройства, то бит R/W в регистре SSPSTAT устанавливается в '1'. Принятый адрес загружается в регистр SSPBUF. Бит -ACK формируется девятым битом, после чего линия SCL удерживается в низком логическом уровне. Передаваемые данные должны быть записаны в регистр SSPBUF, после чего они автоматически переписываются в регистр SSPSR. После записи данных необходимо "отпустить" сигнал SCL установкой бита СКР(SSPCON<4>) в '1'. Ведущий шины контролирует состояние линии SCL, ожидая смены уровня сигнала. Восемь бит загруженных данных последовательно сдвигаются по заднему фронту сигнала SCL, что гарантирует достоверное значение данных на линии SDA (см. рисунок 15-10).

Модуль SSP генерирует прерывание по каждому переданному байту, устанавливая бит SPPIF в '1' по заднему фронту девятого такта сигнала SCL. Флаг SSPIF должен быть сброшен программно. Регистр SSPSTAT используется для определения статуса передачи данных.

Ведущее устройство формирует бит подтверждения -ACK на девятом такте сигнала SCL для каждого принятого байта. Если бит подтверждения -ACK не сформирован (высокий уровень сигнала SDA), передача данных завершена. Логика ведомого устройства настраивается на обнаружение бита STATR. Если бит подтверждения -ACK был получен (низкий уровень сигнала SDA), в регистр SSPBUF необходимо записать новый байт для передачи. Линию SCL также необходимо "отпустить", установкой бита СКР в '1'.

**Рис. 15-10** Временная диаграмма передачи данных ведомым I<sup>2</sup>C (7-разрядная адресация)

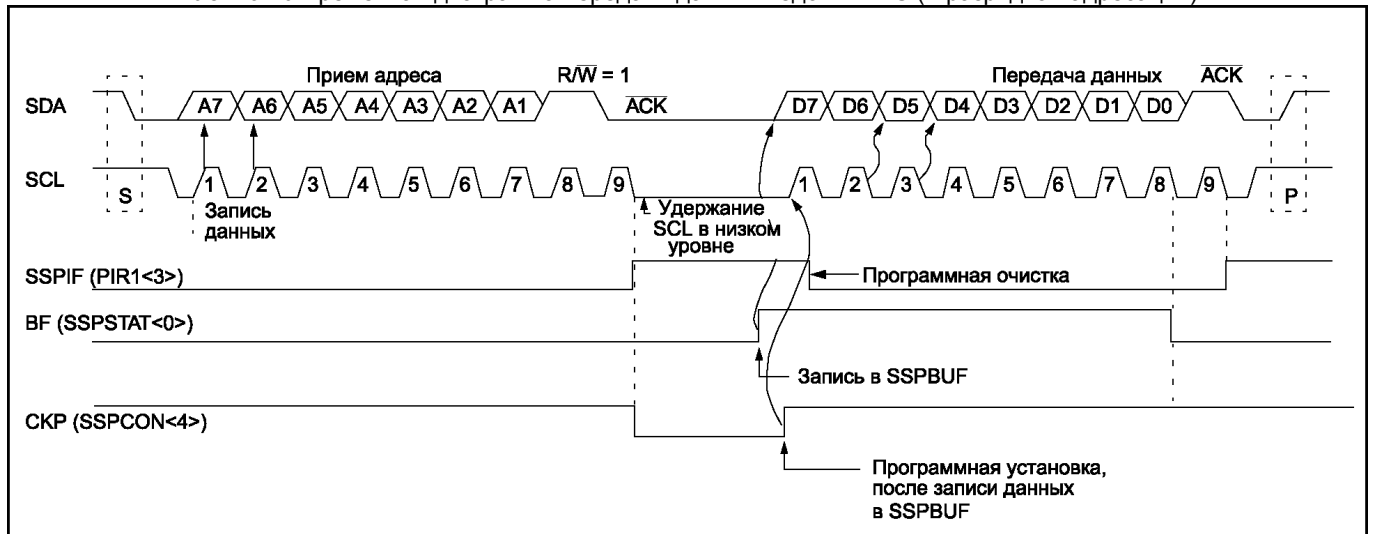
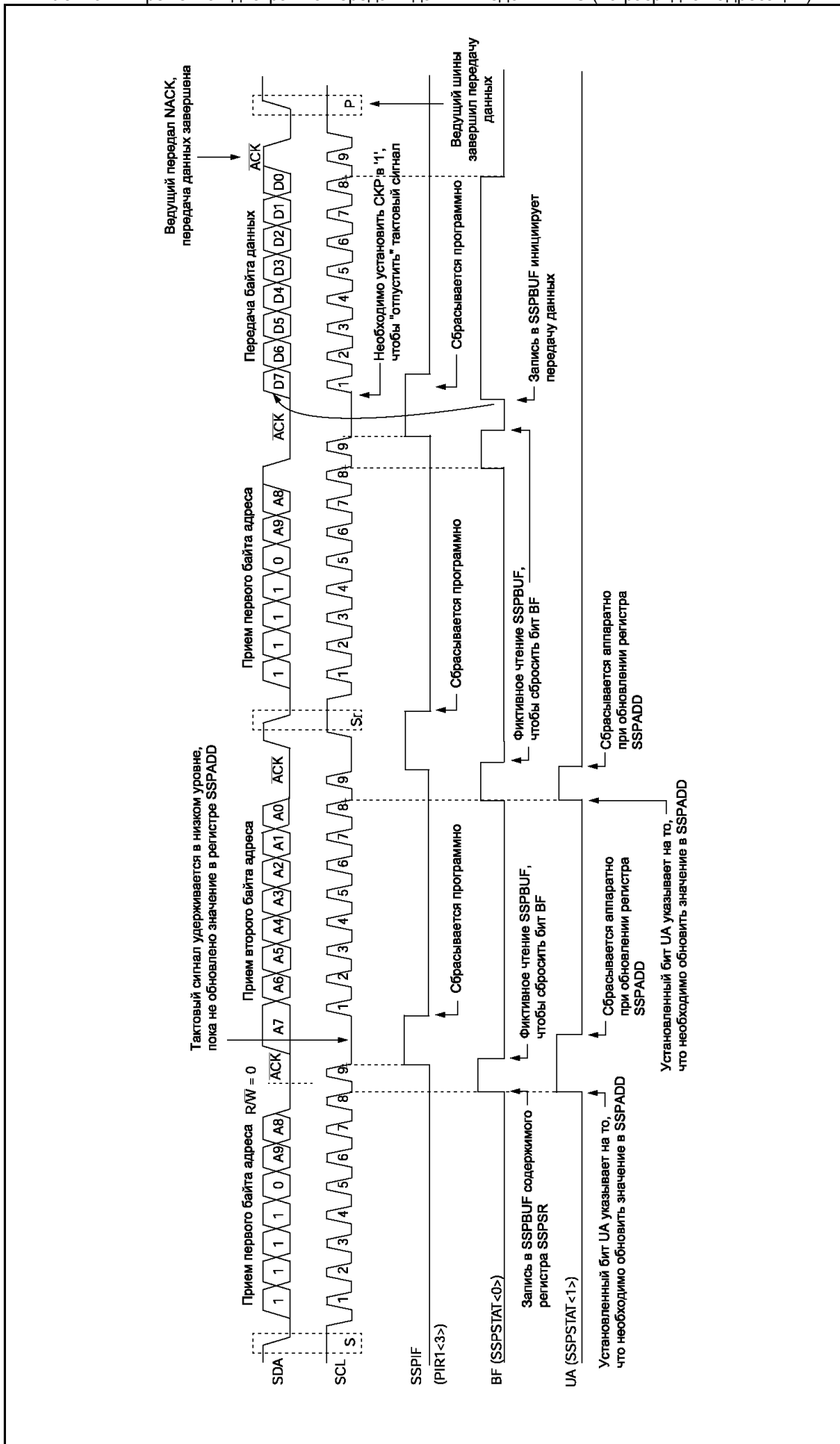


Рис. 15-11 Временная диаграмма передачи данных ведомым I<sup>2</sup>C (10-разрядная адресация)



#### 15.4.1.4 Арбитраж тактового сигнала

Арбитраж выполняется на линии SCL, чтобы запретить ведомому формировать следующий тактовый импульс. В режиме ведомого I<sup>2</sup>C линия SCL будет удерживаться в низком логическом уровне, пока ЦПУ не ответит на прерывание (SSIF=1, СКР=0). Данные, которые нужно передать ведомому, записываются в регистр SSPBUF, затем устанавливается в '1' бит СКР, позволяя ведущему формировать тактовый сигнал.

#### 15.4.2 Режим ведущего I<sup>2</sup>C (программная реализация)

В режиме ведущего поддерживается генерация прерываний при обнаружении на шине битов START и STOP. Биты STOP (P) и START (S) в регистре SSPSTAT равны '0' после сброса микроконтроллера или при выключенном модуле SSP. Шина находится в неактивном состоянии, если бит P=1 или оба бита S, P равны '0'.

В режиме ведущего управлением уровнем сигнала на линиях SCL и SDA выполняется сбросом соответствующих битов TRIS. На выходе всегда присутствует низкий логический уровень не зависит от состояния битов регистра PORT. Для передачи логической '1' соответствующий бит TRIS должен быть установлен в '1' (вывод настроить на вход), а для передачи '0' - сбросить бит TRIS в '0' (вывод настроить на выход). Аналогично выполняется управление сигналом SCL.

Следующие события на шине I<sup>2</sup>C могут привести к установке флага прерываний SSPIF в '1':

- Выполнено условие START;
- Выполнено условие STOP;
- Передан/принят байт данных.

Режим ведущего может быть выбран с выключенным ведомым (SSPM3:SSPM0 = 1011) или включенным ведомым (SSPM3:SSPM0 = 1110 или 1111). Когда режим ведомого включен, программное обеспечение должно дифференцировать источник прерываний.

#### 15.4.3 Режим ведущего I<sup>2</sup>C с конкуренцией на шине (программная реализация)

В режиме ведущего с конкуренцией на шине поддерживается генерация прерываний при обнаружении на шине битов START и STOP. Биты STOP (P) и START (S) в регистре SSPSTAT равны '0' после сброса микроконтроллера или при выключенном модуле SSP. Шина находится в неактивном состоянии, если бит P=1 (SSPSTAT<4>) или оба бита S, P равны '0'. Если шина занята, можно разрешить прерывания от SSP для обнаружения бита STOP на шине.

При конкуренции линия SDA должна проверяться на соответствия уровня, при ожидаемом высоком уровне на выходе. Если ожидается высокий уровень сигнала, а на линии присутствует сигнал с низким логическим уровнем, то необходимо "отпустить" линии SCL, SDA (установить в '1' биты TRIS). Арбитраж на шине I<sup>2</sup>C может быть потерян во время:

- Передачи адреса;
- Передачи данных.

Когда ведомый режим включен, ведомый I<sup>2</sup>C продолжает принимать данные. Когда арбитраж шины потерян во время передачи адреса, то сеанс связи можно продолжить, если получен бит подтверждения -ACK. Если арбитраж шины потерян во время передачи данных, то устройство должно повторить обмен данными позже.

#### 15.4.4 Работа в SLEEP режиме

Ведомый I<sup>2</sup>C может принимать адресные байты или байты данных в SLEEP режиме микроконтроллера. После приема байта микроконтроллер выходит из SLEEP режима, если разрешены прерывания от SSP модуля.

#### 15.4.5 Эффект сброса

При сбросе микроконтроллера модуль SSP выключается, прекращается любой обмен данными.

Таблица 15-3 Регистры и биты, связанные с работой модуля SSP в режиме I<sup>2</sup>C

Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Сброс POR, BOR	Другие сбросы
INTCON	GIE	PEIE	TOIE	INTE	RBIE <sup>(2)</sup>	TOIF	INTF	RBIF <sup>(2)</sup>	0000 000x	0000 000u
PIR	SSPIF <sup>(1)</sup>								0	0
PIE	SSPIE <sup>(1)</sup>								0	0
SSPBUF	Буфер приемника SSP / регистр передатчика								xxxx xxxx	uuuu uuuu
SSPADD	Регистр адреса SSP (I <sup>2</sup> C режим)								0000 0000	0000 0000
SSPCON	WCOL	SSPOV	SSPEN	СКР	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
SSPSTAT	SMP	СКЕ	D/-A	P	S	R/-W	UA	BF	0000 0000	0000 0000

Обозначения: - = не используется, читается как 0; u = не изменяется; x = не известно; q = зависит от условий. Затененные биты на работу не влияют.

Примечания:

1. Расположение битов смотрите в технической документации на микроконтроллер.
2. В некоторых микроконтроллерах эти биты могут обозначаться как GPIE и GPIF.

## 15.5 Инициализация

**Пример 15-2** Инициализация модуля SSP в режиме ведущего SPI

```
CLRF    STATUS           ; Банк 0
CLRF    SSPSTAT          ; SMP = 0, SCKE = 0, и сбросить биты статуса
BSF     SSPSTAT, SCKE    ; SCKE = 1
MOVLW   0x31            ; Установить режим ведущего SPI, CLK/16,
MOVWF   SSPCON           ; сдвиг данных по заднему фронту (SCKE=1 & SCKP=1)
                           ; Выборка данных в середине такта (SMP=0 & режим ведущего)

BSF     STATUS, RP0     ; Банк 1
BSF     PIE, SSPIE      ; Разрешить прерывания от SSP модуля
BCF     STATUS, RP0     ; Банк 0
BSF     INTCON, GIE     ; Разрешить прерывания
MOVLW   DataByte        ; Получить байт передаваемых данные из памяти
MOVWF   SSPBUF          ; Начать передачу байта данных
```

### 15.5.1 Совместимость модуля SSP и основного модуля SSP (BSSP)

В модуле SSP (по сравнению с BSSP) в регистре SSPSTAT содержится два дополнительных служебных бита, которые используются только в режиме SPI:

- SMP - управление выборкой данных в режиме SPI;
- СKE - выбор активного фронта тактового сигнала в режиме SPI.

Для обеспечения совместимости модулей SSP и BSSP эти биты должны находиться в состоянии, показанном в таблице 15-4. Если не выдержать требования таблицы 15-4, данные передаваемые по интерфейсу SPI могут быть искажены.

**Таблица 15-4** Требования к состоянию служебных битов для совместимости SSP и BSSP модулей

Модуль BSSP	Модуль SSP		
	СКР	СКР	СKE
1	1	0	0
0	0	0	0

## 15.6 Ответы на часто задаваемые вопросы

Если вы не найдете ответа на Ваш вопрос в этой главе раздела, задайте его, написав нам письмо по адресу [support@microchip.ru](mailto:support@microchip.ru).

**Вопрос 1:** Не могу организовать обмен данными с другим устройством, работающим по интерфейсу SPI.

**Ответ 1:**

Необходимо гарантировать, что Вы выбрали правильный режим SPI для этого устройства. Модуль SSP поддерживает все четыре режима SPI, вероятно Вы где-то ошиблись. Проверьте полярность тактового сигнала и выборку данных.

**Вопрос 2:** Не могу включить режим ведущего I<sup>2</sup>C.

**Ответ 2:**

Модуль SSP аппаратно полностью не поддерживает режим ведущего I<sup>2</sup>C, необходимы дополнительные программные модули. Обратите внимание на документ AN578, в нем представлено программное обеспечение, использующее модуль SSP для работы в режиме ведущего I<sup>2</sup>C. Некоторые микроконтроллеры PICmicro содержат модуль MSSP, аппаратно поддерживающий режим ведущего I<sup>2</sup>C.

**Вопрос 3:** В режиме I<sup>2</sup>C не могу передать данные, хотя запись в регистр SSPBUF выполняю.

**Ответ 3:**

После записи в SSPBUF необходимо установить в '1' бит СКР, чтобы "отпустить" тактовый сигнал I<sup>2</sup>C.

## 15.7 Дополнительная литература

Дополнительная литература и примеры применения, связанные с этим разделом документации. Примеры применения не могут использоваться для всех микроконтроллеров среднего семейства (PIC16CXXX). Как правило примеры применения написаны для конкретной группы микроконтроллеров, но принципы примеров могут использоваться, сделав незначительные изменения (с учетом существующих ограничений).

Документы, связанные с модулем SSP в микроконтроллерах PICmicro MCU:

Документ	Номер
Use of the SSP Module in the I <sup>2</sup> C Multi-Master Environment Использование модуля SSP в режиме ведущего I <sup>2</sup> C с конкуренцией на шине	AN578
Using Microchip 93 Series Serial EEPROMs with Microcontroller SPI Ports Использование интерфейса SPI для связи с последовательной памятью EEPROM серии 93	AN613
Software Implementation of I <sup>2</sup> C Bus Master Программная реализация ведущего шины I <sup>2</sup> C	AN554
Interfacing PIC16C64/74 to Microchip SPI Serial EEPROM Подключение к PIC16C64/74 последовательной EEPROM памяти с интерфейсом SPI	AN647
Interfacing a Microchip PIC16C92x to Microchip SPI Serial EEPROM Подключение к PIC16C92x последовательной EEPROM памяти с интерфейсом SPI	AN668



## Уважаемые господа!

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу [support@microchip.ru](mailto:support@microchip.ru)

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:

**(095) 963-9601**

**(095) 737-7545**

и адресу [sales@microchip.ru](mailto:sales@microchip.ru)

На сайте

[www.microchip.ru](http://www.microchip.ru)

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.