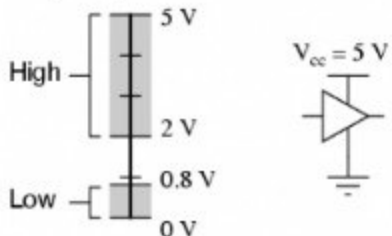


# Уровни напряжения логических схем

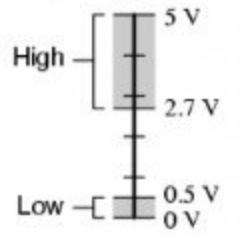
В идеальном случае все сигналы логических элементов существовали бы в виде этих двух предельных уровней напряжения, и никогда бы от них не отклонялись (например, ниже полного напряжения для "высокого уровня", или выше нуля для "низкого уровня".) Однако в реальности уровни напряжения цифровых сигналов не так часто достигают этих идеальных величин вследствие наличия паразитных падений напряжения в схемах на транзисторах, и поэтому логических схем интерпретируют сигналы как логическую единицу или логический ноль, даже в тех случаях, когда напряжение сигналов лежит в диапазоне между полным напряжением питания и нулём.

Элементы ТТЛ работают при номинальном напряжении питания 5 вольт, +/- 0,25 вольт. В идеале, сигнал высокого логического уровня должен быть равен ровно 5,00 В, а сигнал низкого уровня - ровно 0,00 вольт. Однако в реальных элементах ТТЛ не могут быть обеспечены подобные точные уровни напряжения, поэтому они могут принимать сигналы высокого и низкого уровней даже при значительном отклонении напряжения от идеальных величин. "Приемлемые" напряжения входного сигнала лежат в диапазоне от 0 до 0,8 вольт для низкого логического уровня, и от 2 до 5 вольт для высокого логического уровня. "Приемлемые" напряжения выходного сигнала (уровни напряжения, гарантируемые производителем элемента в указанных вариантах нагрузки) лежат в диапазоне от 0 до 0,5 вольт для низкого логического уровня, и от 2,7 до 5 вольт для высокого логического уровня.

Acceptable TTL gate input signal levels



Acceptable TTL gate output signal levels

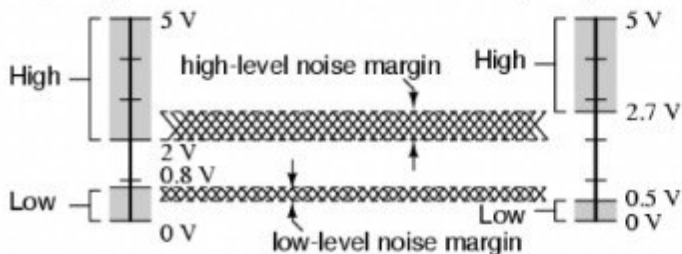


Если бы на вход элемента ТТЛ поступил сигнал напряжения в диапазоне от 0,8 до 2 вольт, то мы не получили бы гарантированной реакции схемы. Подобный сигнал будет рассматриваться как *неопределённый*, и в этом случае ни один производитель не даст гарантии того, к какому логическому уровню отнесёт схема подобный сигнал.

Как вы видите, диапазон допусков по уровням выходного сигнала уже, чем в случае входных сигналов, что необходимо для обеспечения того, что любой цифровой сигнал, поступающий с выхода одного элемента ТТЛ на вход другого элемента передаёт напряжения, приемлемые для принимающего элемента ТТЛ. Разница допусков между входным и выходным сигналами называется *запасом схемы по помехоустойчивости*. Для ТТЛ-схем, запас помехоустойчивости для низкого логического уровня представляет разность между 0,8 В и 0,5 В (т.е. 0,3 В), в то время как запас помехоустойчивости для высокого уровня равен 0,7 В (2,7 В - 2,0 В). Проще говоря, запас помехоустойчивости есть наибольшее количество паразитного или шумового напряжения, которое может быть наложено на сигнал напряжения на выходе логической схемы, прежде чем принимающая схема может неверно его проинтерпретировать.

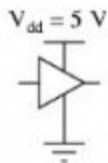
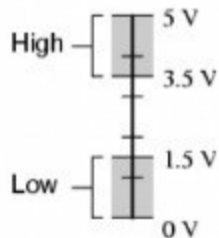
*Acceptable TTL gate  
input signal levels*

*Acceptable TTL gate  
output signal levels*

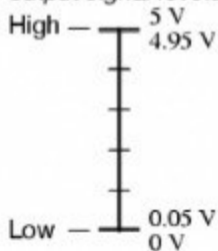


Спецификации входных и выходных сигналов схем КМОП логических элементов совершенно отличны от уровней напряжения, используемых для ТТЛ-элементов. Для КМОП-элементов, работающих при напряжении питания 5 вольт, приемлемые напряжения входного сигнала лежат в диапазоне от 0 до 1,5 вольт для низкого логического уровня, и от 3,5 до 5 вольт для высокого логического уровня. "Приемлемые" напряжения выходного сигнала (уровни напряжения, гарантируемые производителем элемента при указанном варианте нагрузки) лежат в диапазоне от 0 до 0,05 вольт для низкого логического уровня, и от 4,95 до 5 вольт для высокого логического уровня.

*Acceptable CMOS gate  
input signal levels*



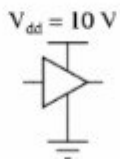
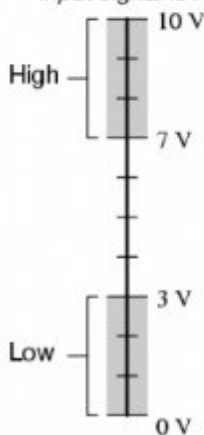
*Acceptable CMOS gate  
output signal levels*



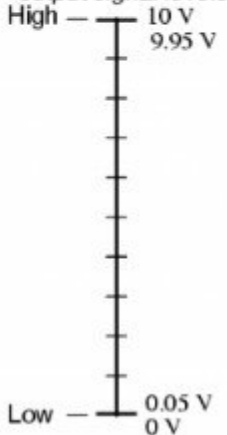
Представленные значения дают понять, что запас помехоустойчивости КМОП логических элементов гораздо больше аналогичного показателя ТТЛ-элементов: 1,45 вольт как для логического нуля, так и для логической единицы, против максимального запаса в 0,7 В в случае ТТЛ. Другими словами, КМОП-схемы могут выдержать более чем вдвое высокий наложенный шум на входе без ошибок интерпретации сигнала как логического нуля или единицы.

Запас помехоустойчивости КМОП логических схем становится ещё больше при более высоких рабочих напряжениях. В отличие от элементов ТТЛ, напряжение питания которых не превышает 5 вольт, напряжение питания КМОП-схем может достигать 15 (а в некоторых случаях и 18) вольт. Ниже показаны приемлемые уровни логических нуля и единицы, для выхода и входа КМОП-ИС, работающих при напряжении питания 10 и 15 вольт соответственно:

*Acceptable CMOS gate input signal levels*



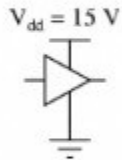
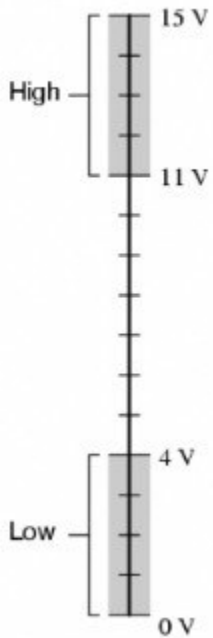
*Acceptable CMOS gate output signal levels*



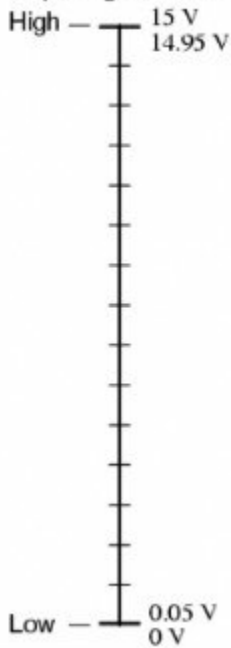
*Acceptable CMOS gate input signal levels*

*Acceptable CMOS gate output signal levels*

*input signal levels*



*output signal levels*



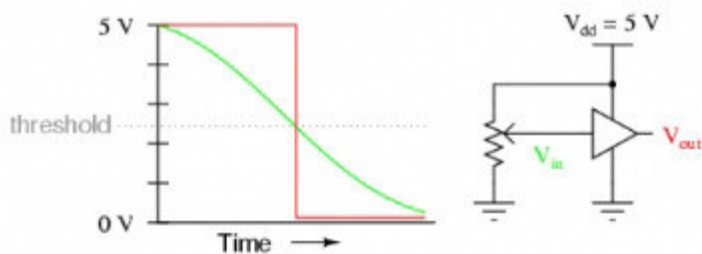


Запас помехоустойчивости может быть выше того, что показано на предыдущем рисунке. На рисунке показан худший из возможных вариантов поведения сигнала на основании спецификаций производителя. На практике логическая схема может выдержать сигналы высокого логического уровня со значительно меньшим напряжением и сигналы низкого логического уровня с гораздо большим напряжением чем указано.

И наоборот, исключительно малые показанные запасы помехоустойчивости - гарантирующие выходное состояние сигналов высокого и низкого логических уровней с точностью до 0,05 вольта напряжения питания - практически реальны. Такие "добротные" уровни выходного напряжения будут доступны только при минимальной нагрузке. При значительном втекающем или вытекающем токе схемы выходное напряжение не будет поддерживаться на этих оптимальных уровнях, что обусловлено наличием внутреннего сопротивления каналов выходных МОП-транзисторов логических элементов.

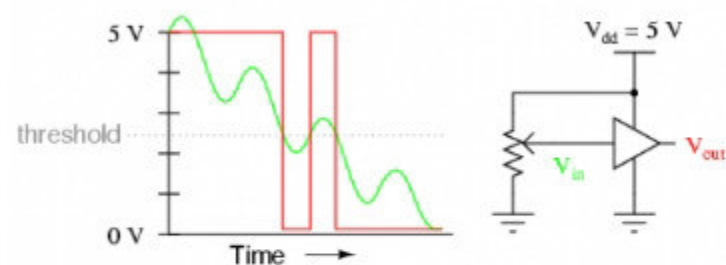
В пределах "неопределённого" диапазона для любого входа логического элемента, будет иметься точка разделения актуального сигнала низкого уровня от диапазона действительного входного сигнала высокого уровня. То есть, где-то между наименьшим напряжением сигнала высокого логического уровня и наибольшим напряжением сигнала низкого логического уровня гарантированного производителем, существует порог напряжения, при котором логическая схема будет менять интерпретацию сигнала с высокого на низкий и наоборот. В случае большей части логических схем, это напряжение соответствует одной определённой точке:

*Typical response of a logic gate to a variable (analog) input voltage*

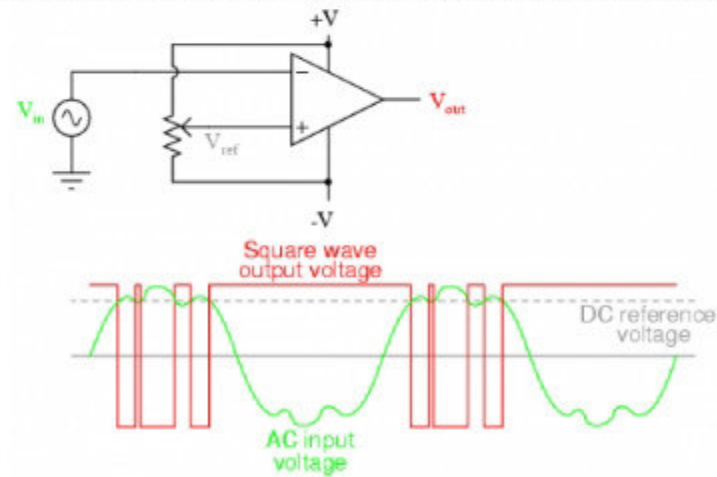


При наличии шумового напряжения переменного тока, наложенного на входной сигнал постоянного тока единственная точка, в которой схема переменит интерпретацию логического уровня будет обуславливать ошибочный сигнал на выходе.

*Slowly-changing DC signal with AC noise superimposed*

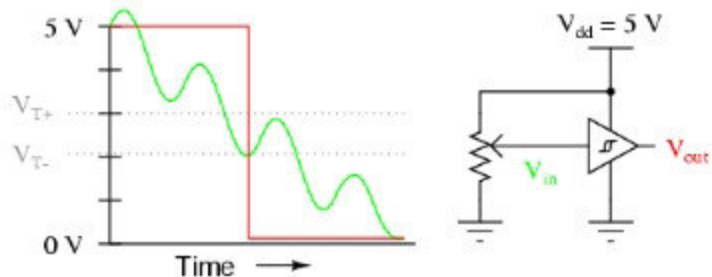


Подобная проблема характерна также для аналоговых ОУ-компараторов напряжения. В случае одиночной пороговой точки смены логического уровня наличие значительного шума может привести к неверной интерпретации логического уровня на выходе.



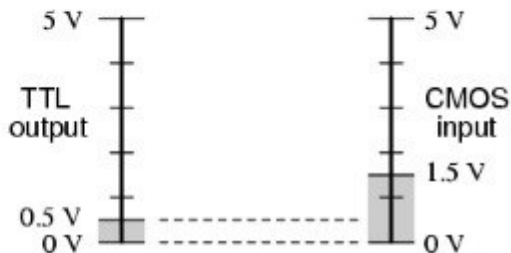
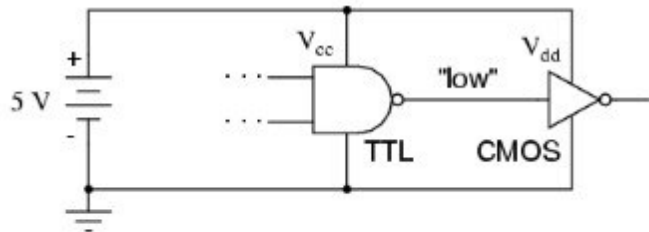
Эту проблему можно решить путём введения в цепь введения в *положительной обратной связи*. В случае операционного усилителя необходимо соединить выход с неинвертирующим входом через резистор. Схемы подобного типа называются *триггерами Шмитта*. Триггеры Шмитта идентифицируют логический уровень сигнала согласно *двум пороговым уровням*: при *нарастающем напряжении* ( $V_{T+}$ ), и при *падающем напряжении* ( $V_{T-}$ ):

*Schmitt trigger response to a "noisy" input signal*



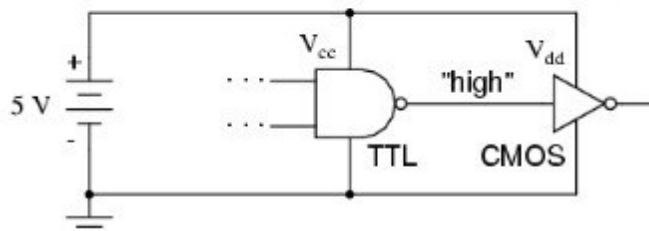
На схемах триггеры Шмитта изображаются с символом «гистерезиса». Гистерезис, вызванный положительной обратной связью в схеме логического элемента, придаёт схеме дополнительную помехоустойчивость. Триггеры Шмитта часто используются в схемах с высокой вероятностью шума на входе, а также в тех случаях когда ошибочно интерпретированный сигнал на выходе приведёт к некорректной работе системы в целом. Различные требования по уровням напряжения ТТЛ- и КМОП-элементов создают определённые проблемы при использовании в одной схеме элементов двух типов. Хотя работа КМОП логических элементов может осуществляться при том же напряжении питания 5,00 В, которое необходимо для элементов ТТЛ, выходные уровни напряжения ТТЛ логики несовместимы с входными требованиями по напряжению для КМОП-схем. Возьмём к примеру ТТЛ-элемент НЕ-И, сигнал с выхода которого подаётся на вход КМОП-инвертора. Питание обоих элементов составляет 5,00 В ( $V_{CC}$ ). Если с выхода элемента ТТЛ приходит сигнал логического нуля (т.е. между 0 и 0,5 В), то он будет верно интерпретирован на входе КМОП-схемы как сигнал низкого логического уровня (т.е. сигнал между 0 и 1,5 В):

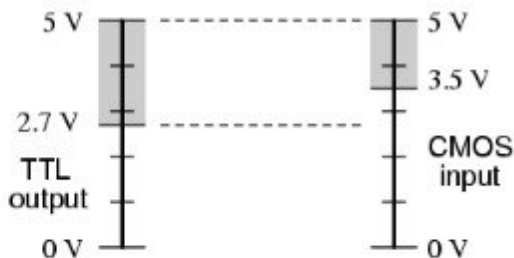




*TTL output falls within acceptable limits for CMOS input*

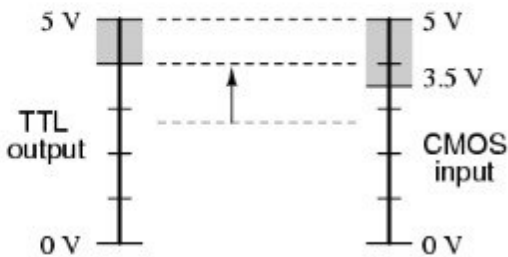
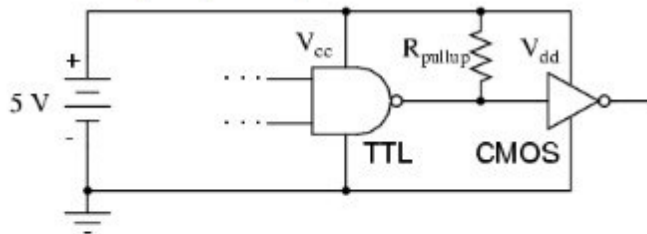
Однако, если с выхода элемента ТТЛ приходит сигнал логической единицы (т.е. между 5 и 2,7 В), то он *может* быть неверно интерпретирован на входе КМОП-схемы как сигнал высокого логического уровня (т.е. ожидается сигнал между 5 и 3,5 В):





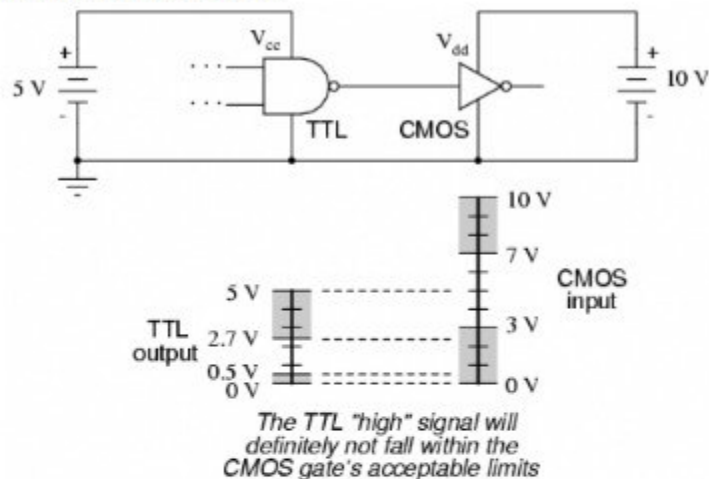
*TTL output falls outside of acceptable limits for CMOS input*

Такое несоответствие может привести к тому, что "правильный" сигнал высокого уровня на выходе ТТЛ- элемента (правильный с точки зрения стандартов ТТЛ) будет лежат в "неопределённом" диапазоне входа КМОП-схемы, и быть неверно воспринят как сигнал логического нуля принимающим элементом. Простым решением этой проблемы может стать повышение сигнала логической единицы элемента ТТЛ с помощью нагрузочного повышающего резистора:

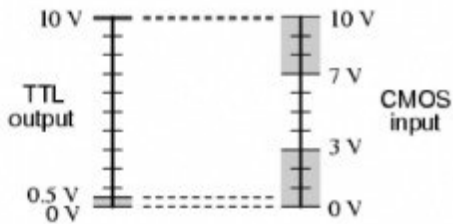
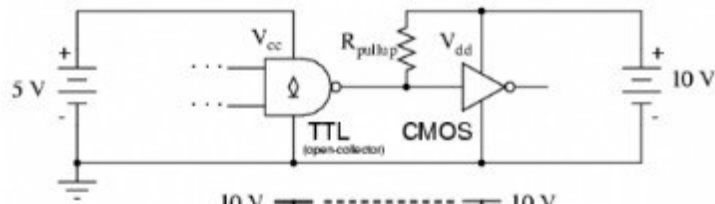


*TTL "high" output voltage assisted by  $R_{pullup}$*

Однако потребуются гораздо более серьёзная переделка схемы, если питание КМОП-схемы выше 5 вольт:

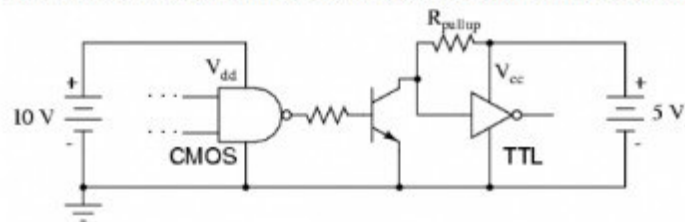


Проблема не возникнет в случае логического нуля, однако всё обстоит совершенно иначе в случае сигнала высокого логического уровня с выхода элемента ТТЛ. Диапазон выходного напряжения 2,7-5 В с выхода элемента ТТЛ совершенно не соответствует приемлемому диапазону 7-10 В КМОП логической схемы. Если мы используем ТТЛ-схемы с *открытым коллектором*, то нагрузочный резистор, включённый в шину питания  $V_{dd}$  10 вольт, поднимет сигнал высокого логического уровня до полного напряжения питания КМОП логической схемы. Поскольку в схеме с открытым коллектором в наличии только утекающий ток, напряжение логической единицы полностью определяется тем напряжением питания, к которому подключён повышающий резистор, что помогает решить проблему несоответствия уровней напряжения.

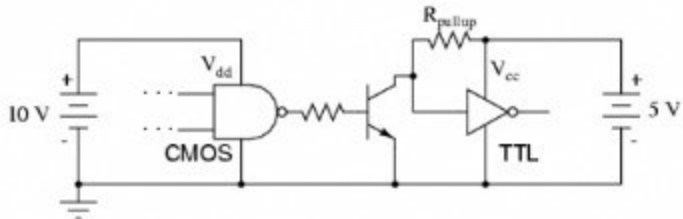


*Now, both "low" and "high" TTL signals are acceptable to the CMOS gate input*

Благодаря прекрасным характеристикам выходного напряжения КМОП схем, проблем при подключении TTL элемента к выходу КМОП схемы обычно не возникает. Единственной серьезной проблемой может стать токовая нагрузка, поскольку КМОП-схема должна обеспечивать втекающий ток на каждый вход элемента TTL в случае логического нуля. Если КМОП-схема питается от источника напряжения выше 5 вольт ( $V_{CC}$ ), то возникнет проблема. Напряжение логической единицы КМОП-схемы выше 5 вольт не будет находиться в диапазоне допустимых входные параметров элемента TTL. Решением этой проблемы может стать инвертор с "открытым коллектором" на дискретном NPN-транзисторе, используемом для соединения двух логических схем:







Повышающий резистор  $R_{pullup}$  используется опционально, поскольку входы элементов TTL принимают высокий логический уровень, когда находятся в плавающем состоянии, что и произойдет, когда выход КМОП-схемы будет низким, а транзистор будет находиться в состоянии отсечки. Конечно, важным последствием такого решения является логическая инверсия, создаваемая транзистором: когда на выходе КМОП-схемы будет сигнал логического нуля, элемент TTL будет "видеть" логическую единицу и наоборот. Однако, если принимать эту инверсию во внимание, то корректная работа схемы не будет нарушена.