

Министерство образования и науки Российской Федерации
НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ЯДЕРНЫЙ
УНИВЕРСИТЕТ «МИФИ»

В. А. Никитин

СХЕМОТЕХНИКА ИНТЕГРАЛЬНЫХ СХЕМ ТТЛ, ТТЛШ И КМОП

*Рекомендовано УМО «Ядерные физика и технологии»
в качестве учебного пособия
для студентов высших учебных заведений*

Москва 2010

УДК 621.397.62 – 519:64
ББК 32.844
Н62

Никитин В.А. Схемотехника интегральных схем ТТЛ, ТТЛШ и КМОП: Учебное пособие. М.: НИЯУ МИФИ, 2010. – 64 с.

Пособие посвящено вопросам изучения основных схем построения базовых логических элементов, наиболее характерных для соответствующих классов цифровых интегральных микросхем. Рассматриваются основные характеристики микросхем, особенности их функционирования. Особое внимание уделяется согласованию цифровых микросхем различных серий. В пособии содержится много схем и графиков, что способствует лучшему восприятию изложенного материала.

Пособие предназначено для студентов технических вузов, изучающих основы цифровой электроники и будет полезно инженерно-техническим работникам, занимающимся разработкой радиоэлектронной аппаратуры с использованием цифровых микросхем.

Подготовлено в рамках Программы создания и развития НИЯУ МИФИ.

Рецензент: проф. *А. М. Кармазинский*

ISBN 978-5-7262-1236-4

© *Национальный исследовательский ядерный университет «МИФИ», 2010*

Редактор *Е.Н. Кочубей*

Подписано в печать 24.12.2009.	Формат 60×84 1/16	
Объем 4,0 п.л.	Уч. изд. л. 4,0.	Тираж 100 экз.
Изд. № 4/3/3.	Заказ № 17.	

Национальный исследовательский ядерный университет «МИФИ».
115409, Москва, Каширское шоссе, 31.

ООО «Полиграфический комплекс «Курчатовский».
144000, Московская область, г. Электросталь, ул. Красная, д. 42

СОДЕРЖАНИЕ

Цифровые интегральные схемы. ТТЛ и КМОП.	4
Схемы КМОП. Основы.	27
Обозначения и характеристики выпускаемых микросхем	39
Сопряжение ИС КМОП и ТТЛШ	49
Контрольные вопросы	54
ПРИЛОЖЕНИЕ 1. Функциональные особенности, характеризующие ИС	56
ПРИЛОЖЕНИЕ 2. Обозначение ИС Texas Instruments	61
Список литературы	64

—

Цифровые интегральные схемы. ТТЛ и КМОП

Назначение и применение. Цифровые интегральные схемы (ИС) представляют собой электронные устройства, из которых состоят практически все узлы или блоки вычислительных машин. Обработка информации представлена в виде двоичных чисел. Переменные величины и функции от них называются соответственно логическими переменными и логическими функциями (принимают только два значения 0 или 1).

Свойства логических функций изучает алгебра логики, электронные устройства, реализующие логические функции, называются логическими или цифровыми.

Схемотехническая реализация потенциальных цифровых микросхем осуществляется на основе ряда типовых базовых логических элементов (БЛЭ).

Простейшей логической функцией является функция НЕ (инверсия или логическое отрицание), которая записывается в виде $Y(X) = \bar{X}$. В электронных схемах отрицание реализуется с помощью прибора, построенного на транзисторах. Следует отметить, что все потенциальные цифровые элементы могут работать в двух логических режимах. Если за «1» принят высокий, а за «0» – низкий уровень сигнала, то имеет место положительная логика. Если за «1» принят низкий уровень сигнала, а за «0» – высокий, то имеет место отрицательная логика. Как правило, в справочниках на ИС указываются функции, реализуемые для положительной логики.

На основе простейших цифровых элементов, выполняющих функции: И; ИЛИ; НЕ; И-НЕ; ИЛИ-НЕ; и др. могут быть построены более сложные функциональные узлы:

- комбинаторные схемы;
- схемы с памятью.

К комбинаторным схемам относятся схемы, для которых состояние выходов зависит от состояния входов в текущий момент времени. К таким схемам можно отнести преобразователи кодов, сумматоры, шифраторы, мультиплексоры и т.д.

Схемы с памятью включают в себя различные типы триггеров в сочетании со схемами управления. К таким ИС можно отнести различные регистры, счетные устройства.

Наибольшее распространение получили триггеры: RS; D; JK.

Схемы ТТЛ. Маркировка. ТТЛ расшифровывается как транзисторно-транзисторная логика, а ТТЛШ – как транзисторно-транзисторная логика с переходами Шотки.

В табл. 1 приведена маркировка схем ТТЛ, принятая в России, и их импортные аналоги.

Таблица 1

Маркировка ТТЛ

Отечественные серии ИС (К, КР)	Импортные функциональные аналоги
133, 155	SN54, SN74
130, 131 (<i>впоследствии заменены микросхемами серий 530, 531</i>)	SN54H, SN74H
134	SN54L, SN74L
530, 531	SN54S, SN74S
533, 555	SN54LS, SN74LS
1530	SN54AS
1533	SN54ALS, SN74ALS
1531	54F, 74F (F – FAST)

В отечественной маркировке для микросхем, использующихся в устройствах широкого потребления, в начале обозначения ставится буква К (например, К555АП4):

КР – пластмассовый корпус DIP;

КМ – металлокерамический корпус DIP;

КС – стеклокерамический корпус DIP.

В импортных маркировках ИС используются обозначения:

L (Low) – с малой потребляемой мощностью,

S (Schottky) – наличие в структурах диодов Шотки,

A (Advanced) – усовершенствованные,

H (High) – с повышенным быстродействием,

F (FAST) – Fairchild Advanced Schottky TTL.

Цифрой 54 обозначают микросхемы, работающие в расширенном (промышленном) температурном диапазоне $-55...+125$ °С. Корпус металлокерамический.

Цифрой 74 обозначают микросхемы, работающие в «обычном» температурном диапазоне $0...+70$ °С. Но существуют варианты для диапазона $-40...+85$ °С. Корпус чаще всего пластмассовый.

Базовый логический элемент ТТЛ. Базовый элемент ТТЛ состоит из биполярных транзисторов.

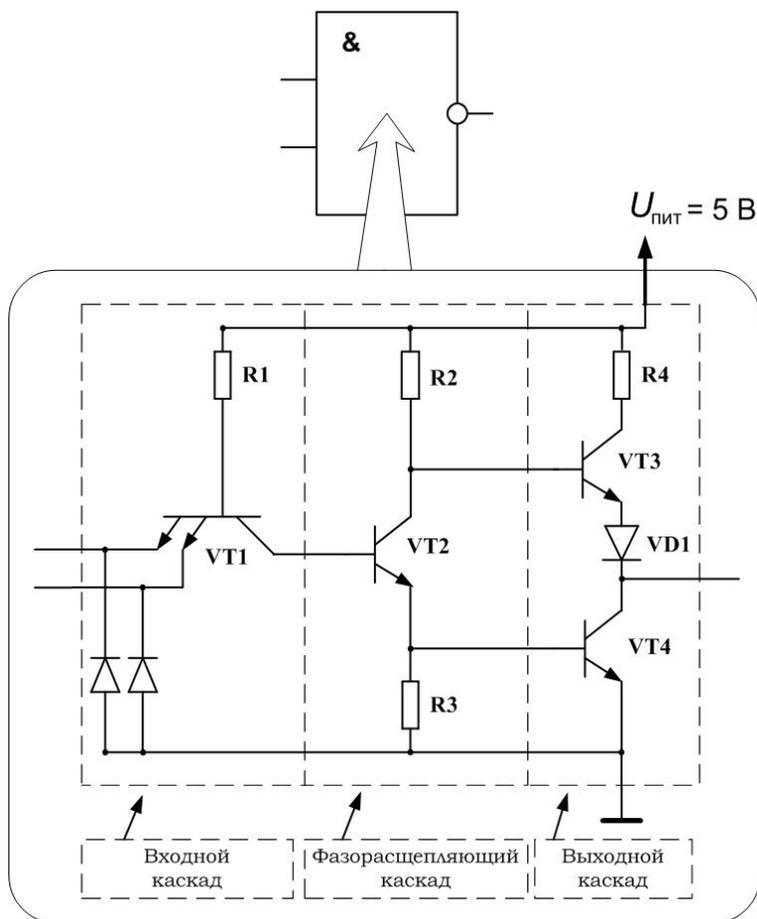


Рис. 1. Схема двухвходового ТТЛ элемента И-НЕ

На рис. 1 представлена упрощённая схема элемента И-НЕ на два входа «2-И-НЕ», которая содержит каскады:

входной многоэмиттерный транзистор (МЭТ) $VT1$;

фазорасщепляющий каскад на транзисторе $VT2$;

двухтактный выходной каскад на транзисторах $VT3$ и $VT4$.

Многоэмиттерный транзистор (МЭТ) представляет собой интегральный элемент, объединяющий свойства диодной схемы (два перехода ЭМИТТЕР–БАЗА (Э–Б) можно рассматривать как два параллельно включенных диода) и транзисторный усилитель с малым инверсным коэффициентом усиления по току. Функция И выполняется в общих (для нескольких эмиттеров транзистора $VT1$) областях: базе и коллекторе.

Основное отличие МЭТ от обычных транзисторов том, что эмиттеры расположены так, что прямое взаимодействие между ними через развешивающий их участок пассивной базы практически исключается.

Рассмотрим принцип работы логического элемента (ЛЭ) 2-И-НЕ, схема которого представлена на рисунке 1.

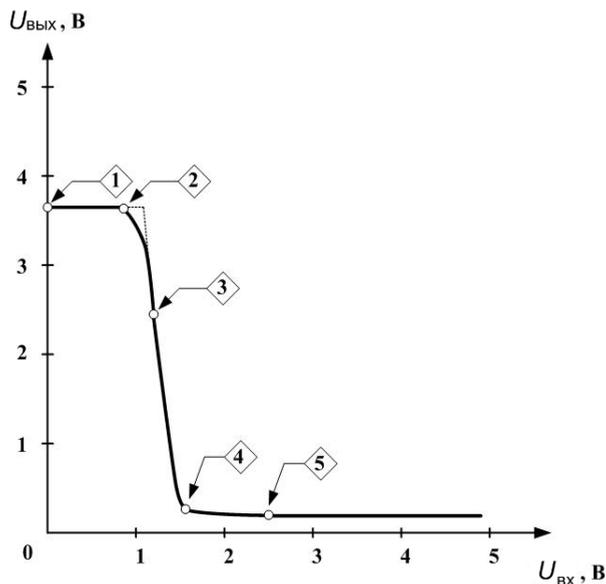


Рис. 2. Передаточная характеристика инвертора стандартной серии ТТЛ

Если $U_{\text{вх}} = 0$ (уровень логического нуля подан на любой из эмиттеров – входов МЭТ) переход Б–Э транзистора $VT1$ открыт. Ток $I_{\text{вх}}^0$ определяется, как

$$I_{\text{вх}}^0 \approx \frac{U_{\text{штг}} - 0,7}{R_1}.$$

При этом потенциала на базе $VT1$ $U_{\text{б}VT1} \approx 0,7$ В недостаточно, чтобы открыть три p - n -перехода:

- Б-К транзистора $VT1$;
- Б-Э транзистора $VT2$;
- Б-Э транзистора $VT4$.

Для открывания этой цепи из трёх p - n -переходов необходим потенциал $U_{\text{б}VT1} \approx 0,6 \cdot 3 = 1,8$ В. Следовательно, транзисторы $VT2$, $VT4$ закрыты.

Транзистор $VT3$ открыт, и уровень напряжения на выходе Y соответствует уровню логической 1, $U_{\text{вых}}^1 \approx 3,85$ В.

При увеличении $U_{\text{вх}}$ (на обоих входах МЭТ $VT1$) до порогового значения $U_{\text{пор1}} = 0,8$ В (точка 2 на передаточной характеристике) транзистор $VT2$ начинает открываться, но транзистор $VT4$ ещё закрыт. При дальнейшем увеличении $U_{\text{вх}}$ до порогового значения $U_{\text{пор2}} = 1,25$ В транзистор $VT2$ открывается, а транзистор $VT4$ только начинает открываться (точка 3 на передаточной характеристике).

Дальнейшее увеличение $U_{\text{вх}}$ приводит к увеличению потенциала на базе транзистора $VT1$ до 1,2 В. Этого вполне достаточно, чтобы открыть два перехода:

- Б-К транзистора $VT1$;
- Б-Э транзистора $VT2$.

Транзистор $VT2$ открывается, ток через резистор $R2$ увеличивается, что вызывает уменьшение напряжения $U_{\text{к}}$ транзистора $VT2$. Увеличение тока через $R3$ вызывает увеличение потенциала на базе транзистора $VT4$ и приводит к его открыванию. Открытый транзистор $VT4$ (участок 3–4 передаточной характеристики) шунтирует $R3$, что резко увеличивает коэффициент передачи транзистора $VT2$ и вызывает дальнейшее уменьшение напряжения $U_{\text{к}}$ транзистора $VT2$.

Однако некоторое время транзистор $VT4$ уже открыт, а транзистор $VT3$ ещё не закрыт. Это приводит к протеканию «сквозного тока» через выходные транзисторы $VT3$ и $VT4$, ток потребления при этом ограничивается $R4$ и объёмными сопротивлениями транзисторов и диода $VD1$.

При дальнейшем увеличении $U_{вх}$ транзисторы $VT2$ и $VT4$ переходят в режим насыщения (участок 4–5 передаточной характеристики). Потенциал U_k транзистора $VT2$ равен 0,9 В (такой же потенциал базы транзистора $VT3$), чего недостаточно, чтобы открыть два перехода:

- Б-Э транзистора $VT3$;
- переход $VD1$.

Наличие диода $VD1$ обеспечивает надёжное закрытие транзистора $VT3$ при «0» на выходе логического элемента. Принято считать $U_{вых}^0 \approx 0,2$ В – это напряжение на транзисторе $VT4$ полностью открытого, «в насыщении».

В реальных схемах ТТЛ в базу выходного транзистора $VT4$ введена корректирующая цепочка, состоящая из резисторов $R3$, $R4$ и транзистора $VT3$ (рис. 3).

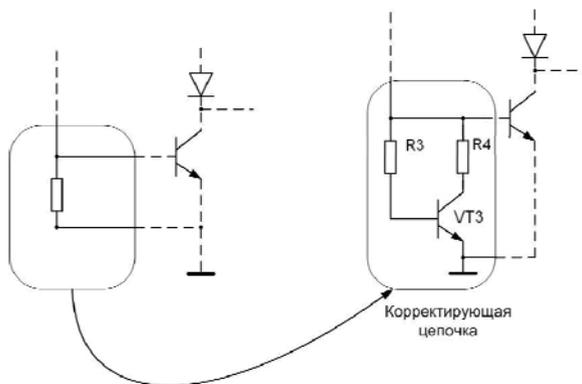


Рис. 3. Корректирующая цепочка

Эта цепочка позволяет получить передаточную характеристику, по форме близкую к прямоугольной (см. штриховую линию на рис. 2).

Реальные сигналы в цифровых устройствах не имеют строгой прямоугольной формы. В моменты «окончания сигнала» в монтажных цепях могут возникать затухающие колебания, следствием чего может быть ложное срабатывание схемы, на вход которой они попадают. Для исключения этого явления схемы ТТЛ подвергались доработке, в результате к каждому входу МЭТ были подключены так называемые демпфирующие диоды $VD1$, $VD2$ (рис. 4).

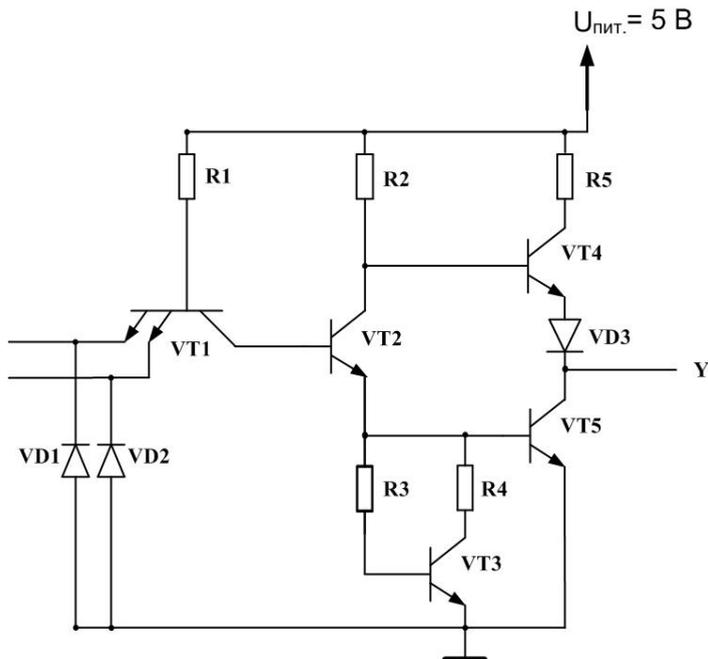


Рис. 4. Схемотехника ЛЭ стандартной серии ТТЛ

Широкое применение получили микросхемы, в которых используются диоды и транзисторы с переходами Шоттки. Примеры реализации таких элементов приведены на рис. 5 и рис. 6. ТТЛШ является усовершенствованным вариантом ТТЛ-технологии. За счёт применения переходов Шоттки, шунтирующих переход Коллектор-База (К-Б) (рис. 7) глубоко насыщенного транзистора, получено снижение степени насыщения транзисторов и повышение быстродействия.

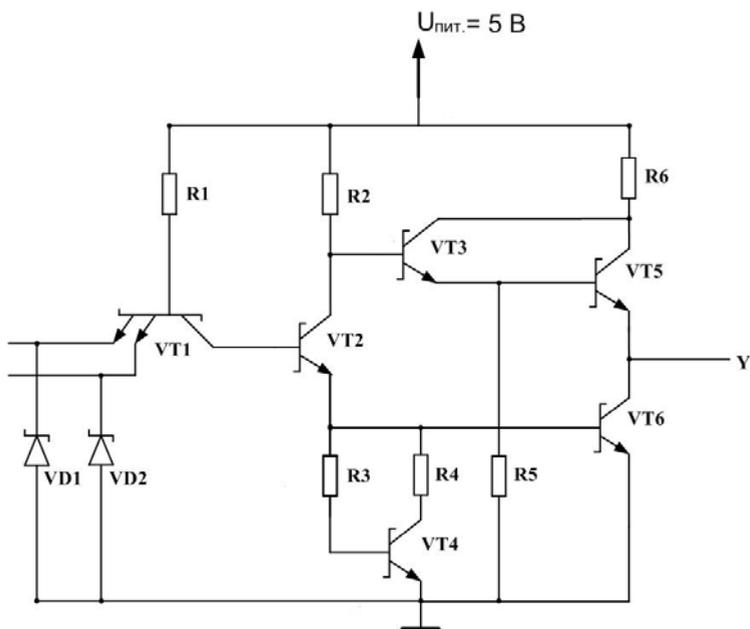


Рис. 5. Схема элемента И-НЕ ТТЛШ (ИС 530, 531)

Переходы Шотки имеют существенно меньшее пороговое напряжение открывания (падение напряжения на диоде Шотки в прямом смещении 0,2–0,3 В), чем переход К–Б, поэтому во время действия входного импульса диоды Шотки открываются раньше, так как предотвращается накопление избыточных зарядов в базовой области транзисторов.

Работа транзисторов Шотки в ненасыщенной области приводит к увеличению падения напряжения на переходах Б–Э, что уменьшает в статическом режиме ток потребления и, соответственно, потребляемую мощность. В выходном каскаде применяется схема Дарлингтона (транзисторы $VT3$ и $VT5$ и $R5$ на рис. 5), позволяющая обеспечить при выключении схемы повышенный ток заряда ёмкостной нагрузки, что уменьшает задержки фронта выходного сигнала. Схема Дарлингтона позволила также получить более высокий уровень выходного напряжения $U_{\text{вых}}^1$ и больший коэффициент разветвления по выходу.

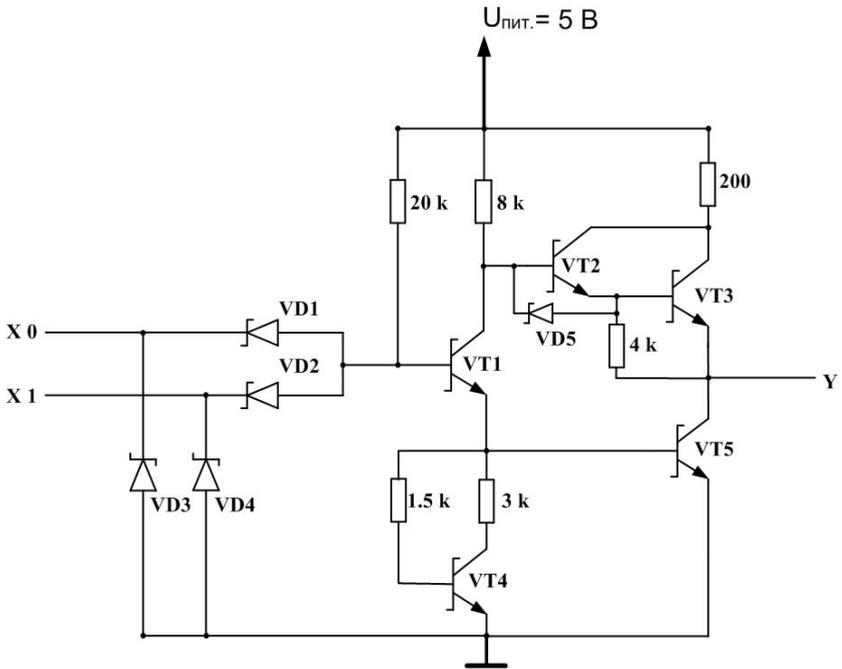


Рис. 6. Эквивалентная схема элемента И-НЕ ИС 555 серии (series 74LS)

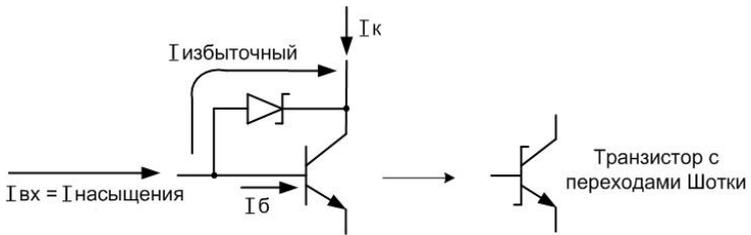


Рис. 7. Схема транзистора с переходами Шотки

Для схем серии 555 (series 74LS) характерно малое потребление (2 мВт/ЛЭ) при быстродействии 155 серии (потребление порядка 10 мВт/ЛЭ).

Дальнейшее совершенствование технологии ТТЛШ было направлено на улучшение рабочих характеристик за счёт увеличения быстродействия и уменьшения потребляемой мощности.

Микросхемы серии 1533 имеют более высокое быстродействие, чем микросхемы серии 555, и потребление в расчёте на 1 логический элемент составляет примерно 1 мВт.

Базовая схема инвертора усовершенствованной маломощной серии 1533 с переходами Шоттки (тип ALS) представлена на рис. 8 (буква к означает кОм).

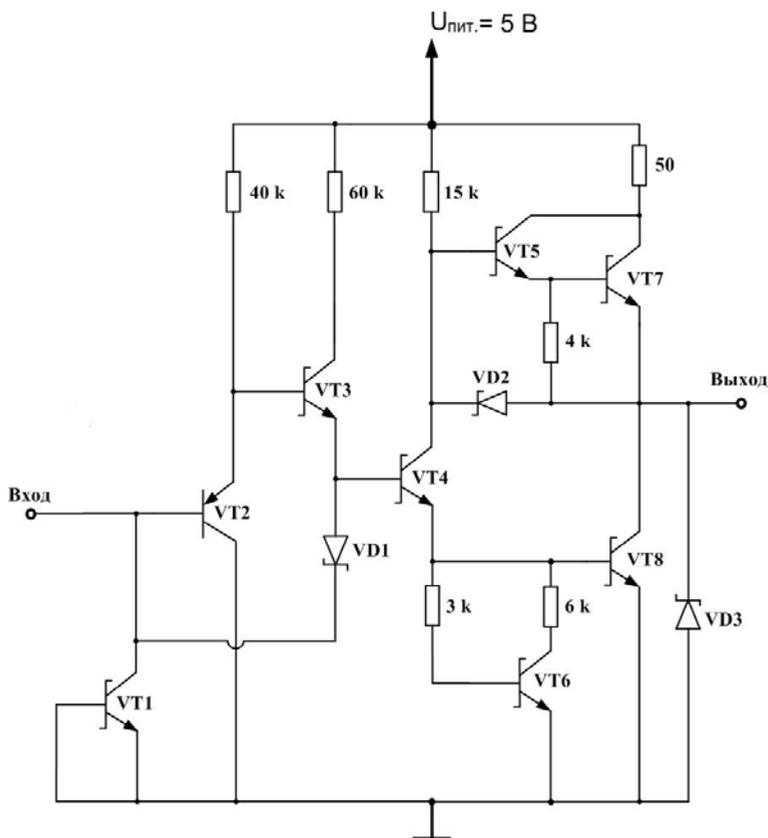


Рис. 8. Базовая схема усовершенствованного инвертора с диодами Шоттки (ALS)

Для инженеров и разработчиков при работе со справочной литературой удобным является следующее разделение параметров цифровых микросхем:

- статические параметры,
- динамические параметры,
- функциональные характеристики,
- рекомендации по эксплуатации и монтажу.

Для оценки эффективности и рабочих характеристик цифровых микросхем применяется показатель, равный произведению быстродействия (в наносекундах) на рассеиваемую мощность (в милливаттах).

Типовые характеристики ИС приведены в табл. 2. В табл. 3 даны основные электрические параметры отечественных микросхем серий ТТЛ и ТТЛШ.

Таблица 2

Типовые параметры цифровых логических ИС

Технология	Серия	Логические элементы			Триггеры
		Время задержки распространения, нс	Мощность потребления, мВт	Нагрузка $R_{н\Omega}$, кОм	Частота переключения, (среднее значение), МГц
ТТЛ	54/74 (К155)	≈ 20	10	0,4	≈ 10
ТТЛШ	54S/74S (530, 531)	5÷7	20	0,28	≈ 50
	54LS/74LS (533, 555)	10	2	2	≈ 25
	54AS/74AS (1530)	1,5	20÷40	-	≈ 160
	54ALS/74ALS (1533)	4	1,2	2	≈ 70
	74F (1531)	3	4	0,28	≈ 125

Электрические параметры цифровых логических ИС

Параметр	Стандартные (K155)	С переходами Шотки (K531)	Маломощные с переходами Шотки (K555)	Усовершенствованные с переходами Шотки (1530)	Маломощные усовершенствованные с переходами Шотки (1533)	FAST (K1531)
$I_{вх}^0$, мА, не более	1,6	2	0,8	2,4	0,2	0,6
$I_{вх}^1$, мА, не более	0,04	0,05	0,02	0,4	0,02	0,02
$I_{вых}^0$, тип.	16	20	8	24	8... 24	6
$I_{вых}^1$, тип.	*	*	*	*	0,4; 2,6; 3,0; 15	*
$U_{вых}^0$, В, не более	0,4	0,5	0,35	0,5	0,4...0,5	0,8
$U_{вых}^1$, В, не менее	2,4	2,7	2,7	2,0	2...2,5	2,0
$U_{пом.}$, В, мин.	0,4	0,5	0,7	0,5	0,8	0,8
f , МГц	10	50	25	160	До 70	125
$U_{пит}$, В, макс.	6	5,5	5,25	6	5,5	6
$C_{нагр}$, пФ, макс.	200	150	150	150	200	200

* Ток выхода $I_{вых}^1$ таков, что позволяет работать типовому элементу с $K_{раз} = 10$, т.е. на нагрузку в виде 10 входов аналогичной серии.

На рис. 9 показано, как определить временные параметры ЛЭ. На рисунке обозначены: $t^{0,1}$ – длительность положительного перепада (часто говорят – переднего фронта); $t^{1,0}$ – длительность отрицательного перепада (часто говорят – заднего фронта); $t_{зд}^{1,0}$ – время задержки при включении логического элемента; $t_{зд}^{0,1}$ – время за-

держки при выключении логического элемента; $t_{зд,р}^{1,0}$ – время задержки распространения при включении логического элемента; $t_{зд,р}^{0,1}$ – время задержки распространения при выключении логического элемента.

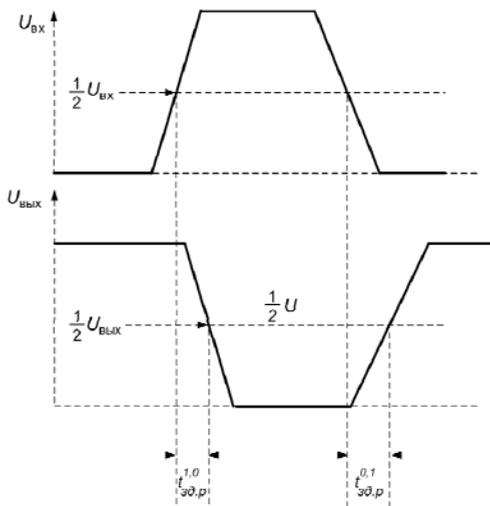
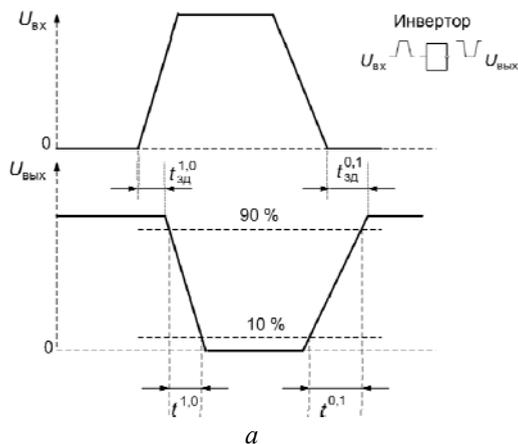


Рис. 9. Определение длительностей фронтов, задержек при переключениях (*a*) и длительностей задержек распространения (*б*)

В справочниках указываются параметры $t_{з.р.}^{1,0}$, $t_{з.р.}^{0,1}$, которые отсчитываются от средних уровней $U_{ВХ}$ и $U_{ВЫХ}$ ($1/2 U_{ВХ}$, $1/2 U_{ВЫХ}$). Значение среднего уровня для ТТЛ равно 1,3 В, а для ТТЛШ 1,5 В.

На рис. 9 видно, что $t_{з.р.}^{1,0} \neq t_{з.р.}^{0,1}$, но это характерная особенность только для ТТЛ (микросхемы серии 155), для других серий (ТТЛШ), как правило, $t_{з.р.}^{1,0} = t_{з.р.}^{0,1}$.

Общий параметр – среднее время задержки распространения выходного сигнала $t_{з.р.ср.} = \frac{t_{з.р.}^{1,0} + t_{з.р.}^{0,1}}{2}$. Этот параметр позволяет сравнивать быстродействие любых логических микросхем.

Стоит отметить, что микросхемы ТТЛ серии 155 уже давно устарели, их практически заменили микросхемы ТТЛШ серии 555 (LS). В настоящее время наиболее широко используются мало-мощные микросхемы ТТЛШ или микросхемы, выполненные по технологии КМОП.

Сравним три серии ТТЛШ:

- AS – высокоскоростные ($P_{пот} \geq 8$ мВт и $t_{з.р.ср} = 1,75$ нс);
- ALS – с малым потреблением ($P_{пот} = 1,2$ мВт и $t_{з.р.ср} = 4$ нс);
- FAST можно считать как бы компромиссным вариантом двух предыдущих ($P_{пот} = 4$ мВт и $t_{з.р.ср} = 3$ нс).

Существует «противоречие» между мощностью, рассеиваемой на кристалле микросхемы, и её быстродействием. Так, устройство из 100 логических элементов (например, типа FAST) будет потреблять мощность **400 мВт**. Но не все эти элементы работают с предельным быстродействием, как правило, только отдельные блоки работают на предельных частотах, остальные же работают уже на меньших частотах. Поэтому если с предельным быстродействием должно работать только 20 элементов (выбираем микросхемы типа AS), то потребляемая мощность составит 160 мВт, а для остальных 80-ти элементов выберем микросхемы типа ALS, то их потребление составит 96 мВт. В сумме получаем:

$$160 \text{ мВт (тип AS)} + 96 \text{ мВт (тип ALS)} = \mathbf{256 \text{ мВт.}}$$

Видно, что гибкое сочетание серий микросхем даёт ощутимый выигрыш.

Микросхемы FAST, как и схемы ALS, AS, чувствительны к повреждениям, вызванными электростатическими разрядами, и требуют применения мер предосторожности. Запрещается размещать эти схемы на непроводящих поверхностях, необходимо заземлять оборудование и самих работников, занятых монтажом микросхем.

Ранее уже рассматривались варианты реализации схемы 2-ИЛИ-НЕ для различных серий.

На рис. 10 приводится схема элемента 2-ИЛИ-НЕ.

Далее на рис. 11–13 показаны некоторые параметры ИС (в справочниках параметры указываются для одного логического элемента ИС), представленные для разных серий в табл. 3.

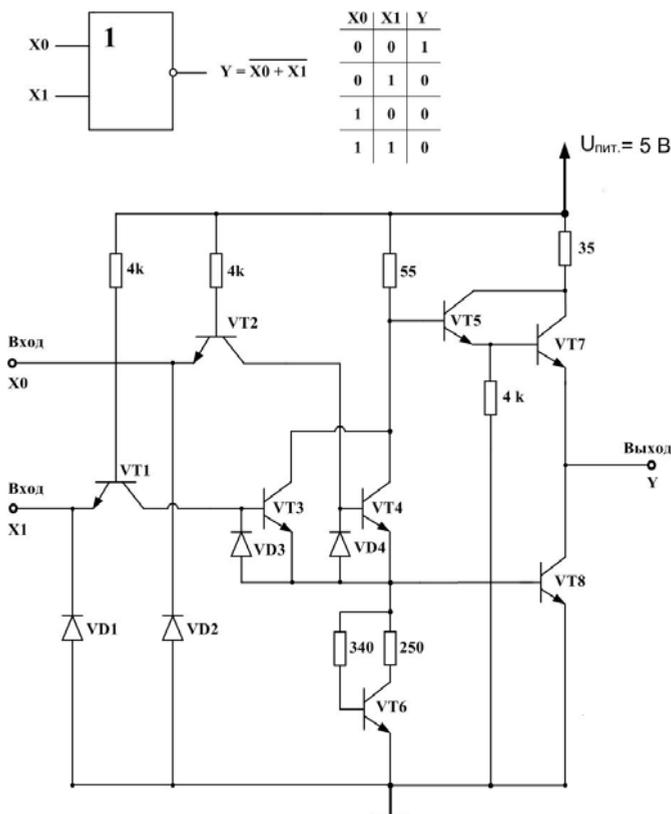


Рис. 10. Пример реализации схемы ТТЛ ИЛИ-НЕ К155ЛЕ5

На рис. 11 показаны токи и напряжения для элементов И-НЕ, ИЛИ-НЕ. На схеме рис. 11, *а* для элемента 2-И-НЕ **ток входа** низкого уровня (логический «0») не зависит от количества входов, а **выходной ток** определяется «нагрузкой», т.е. количеством подключенных к выходу входов приёмника информации: $I_{\text{ВЫХ}}^1 = 2I_{\text{ВХ}}^1$. На схеме рис. 11, *б* ток выхода низкого уровня передатчика при подключении элемента ИЛИ-НЕ в качестве приёмника зависит от числа входов элемента ИЛИ-НЕ: $I_{\text{ВЫХ}}^0 = 2I_{\text{ВХ}}^0$.

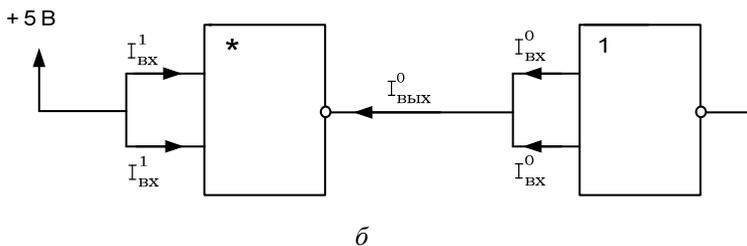
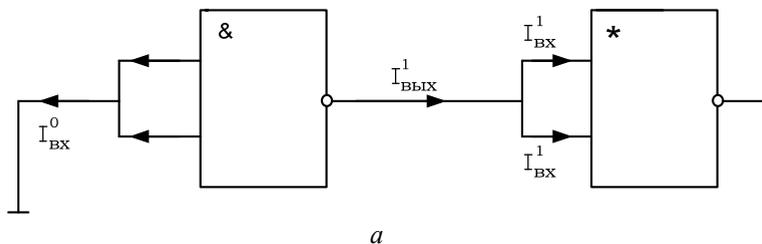


Рис. 11. Направления токов для входов и выходов логических элементов ИС ТТЛ, ТТЛШ (знаком * указывается, что неважно, какую функцию выполняет элемент: И-НЕ или ИЛИ-НЕ)

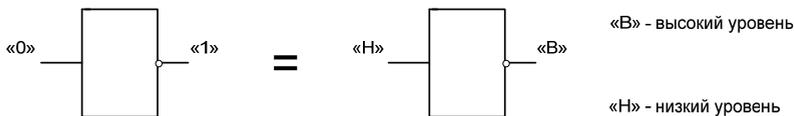


Рис. 12. Состояния для входов и выходов логических элементов ИС ТТЛ, ТТЛШ

На рис. 13 показаны уровни напряжений на входе ($U_{ВХ}$) и выходе ($U_{ВЫХ}$) элементов ТТЛШ (ТТЛ), работающих с питанием +5 В, логические «0» и «1» в реальности представляются определёнными уровнями напряжений (для упрощения берётся простой инвертор).

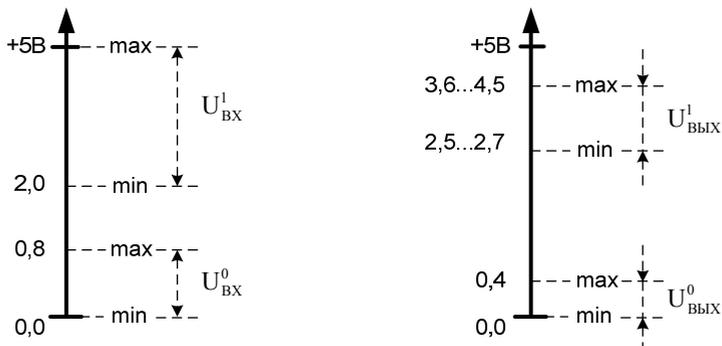


Рис. 13. Диапазоны напряжений, соответствующие состояниям «0» и «1» для входов и выходов логических элементов ТТЛ, ТТЛШ

На рис. 14 дана схема выходного каскада для элемента с открытым коллектором (ОК) ТТЛШ.

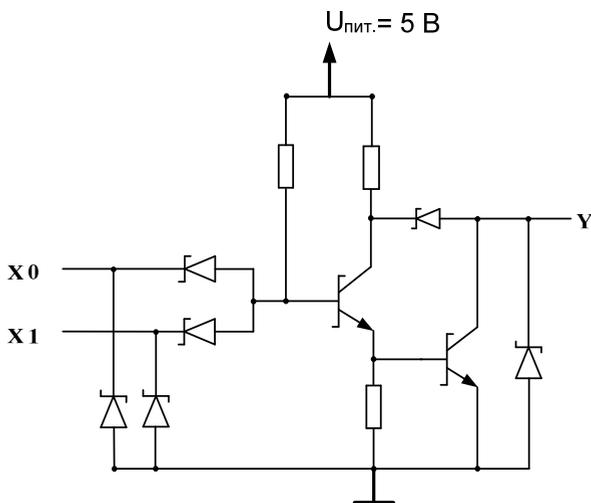


Рис. 14. Схема выходного каскада для элемента ТТЛШ (типа LS)

На рис. 15, а отражена схема включения элементов с ОК, на которой ток выхода обеспечивается внешним R (в таких элементах отсутствует транзистор для протекания $I_{\text{ВЫХ}}^1$ – направление показано пунктирной линией), т.е. логический элемент «отключен» от нагрузки.

Для элементов с ОК наличие внешнего R обязательно, причём величина сопротивления рассчитывается для каждой схемы индивидуально. При расчёте требуется знать:

- какие уровни напряжений требуется обеспечить в точке подключения R ;
- величины токов нагрузки,
- допустимый для микросхемы ток выхода низкого уровня $I_{\text{ВЫХ}}^0$ (состояние выхода – логический «0»).

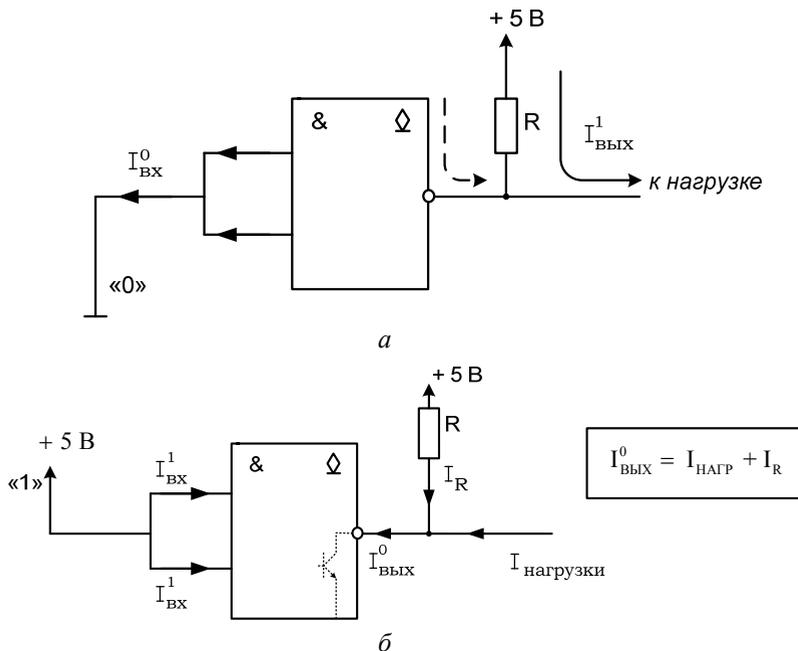


Рис. 15. Выходной ток элементов с ОК
(\diamond – условное обозначение элементов с ОК)

На схеме, показанной на рис. 15, б, ток подтягивающего резистора определяется по закону Ома: $I_R = \frac{U_{пит} - U_{вых}^0}{R}$ и не должен в сумме с $I_{нагр}$ превышать величину $I_{вых}^0$.

На рис. 16 отражен случай неверного объединения выходов ЛЭ. На выходе элемента № 1 должен быть уровень напряжения, соответствующий логической «1». Обычно в расчётах используется значение $U_{вых}^1$ не менее 3,6 В (для ТТЛШ – немного выше). На выходе элемента № 2 должен быть уровень напряжения, соответствующий логическому «0». Обычно в расчётах используется значение $U_{вых}^0$ не более 0,4 В (максимальное значение).

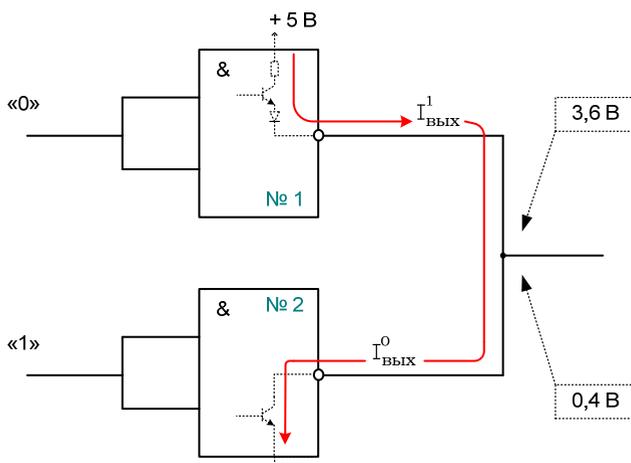


Рис. 16. Случай неверного объединения выходов элементов ИС.

Из рис. 16 видно, что:

- в точке объединения выходов уровень напряжения неопределён: с одной стороны – 3,6 В; с другой стороны – 0,4 В.
- протекающий через выходные каскады ток является сквозным, т.е. током короткого замыкания. Даже при попытке провести грубый анализ можно получить:

$$U_R = U_{пит} - (0,2 + 0,7) - 0,4 = 5 - 0,9 - 0,4 = 3,7 \text{ В.}$$

Для элементов 155 серии $R = 130$ Ом, 555 серии $R = 200$ Ом, 1533 серии $R = 50$ Ом, тогда величина сквозного тока будет в пределах от 19 до 74 мА. Если сравнить полученные значения с типовыми выходными токами: от 8 до 24 мА, то можно сделать вывод – каскады работают с сильной перегрузкой.

Следовательно, для указанной ситуации объединять выходы недопустимо!

Объединение выходов *допускается* только при условии:

- логические элементы должны находиться в одном корпусе (корпус интегральной схемы),

- входы таких элементов должны быть также объединены.

Обычно таким способом увеличивают нагрузочную способность, если нет возможности использовать специальные буферные микросхемы или элементы с открытым коллектором.

Буферные и шинные усилители. Буферные усилители (БУ) логической функции не выполняют. Они формируют цифровые сигналы для таких энергоёмких цифровых нагрузок, как, например, шины, к которым подключено много входов цифровых схем. Как следствие большого числа нагрузок, величина токов может достигать десятков миллиампер.

Фактически БУ – это либо простые одноходовые инверторы, либо повторители с мощными выходными каскадами. Часто выходы буферных элементов выполняются с ОК или на три состояния (с Z -состоянием). Z -состояние – это такое состояние выхода, когда выходное сопротивление ЛЭ составляет сотни кОм. Иначе говоря, выход просто отключен от шины.

Ток выхода БУ может достигать от 16 до 24 мА, отдельные микросхемы могут обеспечить ток до 70 мА. Подробная информация по таким элементам, для каждой серии, представлена в справочниках.

Буферные и шинные (ШУ) усилители снабжаются выводами разрешения приёма сигналов по входам (EI – *enable input*) и разрешения передачи в шину (EO – *enable output*). Сигналы управления могут иметь как высокий, так и низкий уровень – соответственно управление логической «1» или логическим «0» (говорят – активный тип сигнала управления).

Для передачи «0» и «1» по одной линии передачи (один проводник или одна дорожка на печатной плате) от многих источников (далее передатчиков) удобно использовать БУ или ШУ с Z-состоянием (триема состояниями) на выходе. Пример подключения двух передатчиков к одной линии дан на рис. 17.

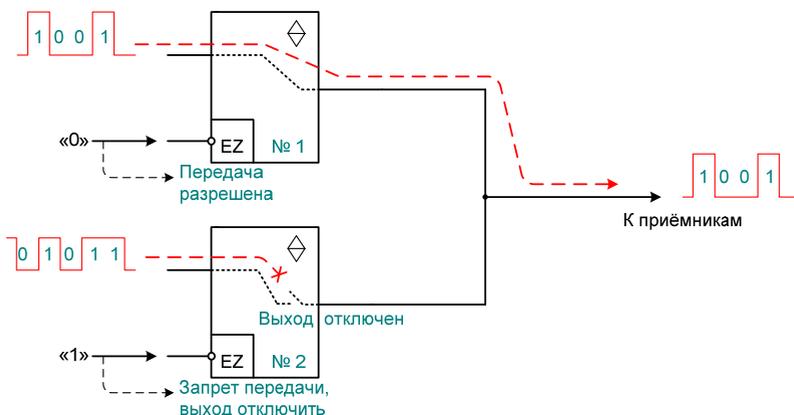


Рис. 17. Пример подключения двух передатчиков к одной линии

Из рис. 17 видно, что в точке объединения выходов конфликта нет, а выход элемента № 2 – отключен от шины. Следовательно, для указанной ситуации объединять выходы – допустимо, но обязательно должно выполняться условие: в любой момент времени разрешение на передачу может получить *только один* из всех подключенных к шине передатчиков.

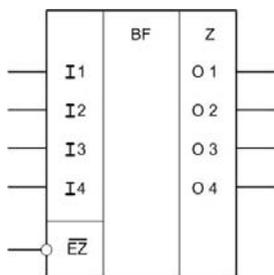


Рис. 18. Пример обозначения ШУ

В качестве примера ШУ на рис. 18 показан четырёхканальный магистральный передатчик КР1533АП5 с тремя состояниями на выходе и **инверсным** управлением:

I1, I2, I3, I4 – входы;

O1, O2, O3, O4 – выходы;

EZ – вход разрешения *снятия состояния высокого импеданса (Z-состояния)* для выходов.

Активный тип сигнала разрешения EZ для примеров на рис. 17 и 18 – «0» (говорят – «низкий»).

Электрическая схема одного выхода представлена на рис. 19.

ВНИМАНИЕ! Для примера на рис. 19 активный тип сигнала управления EZ – «1» в отличие от примера на рис. 18, где активный тип сигнала управления EZ – «0».

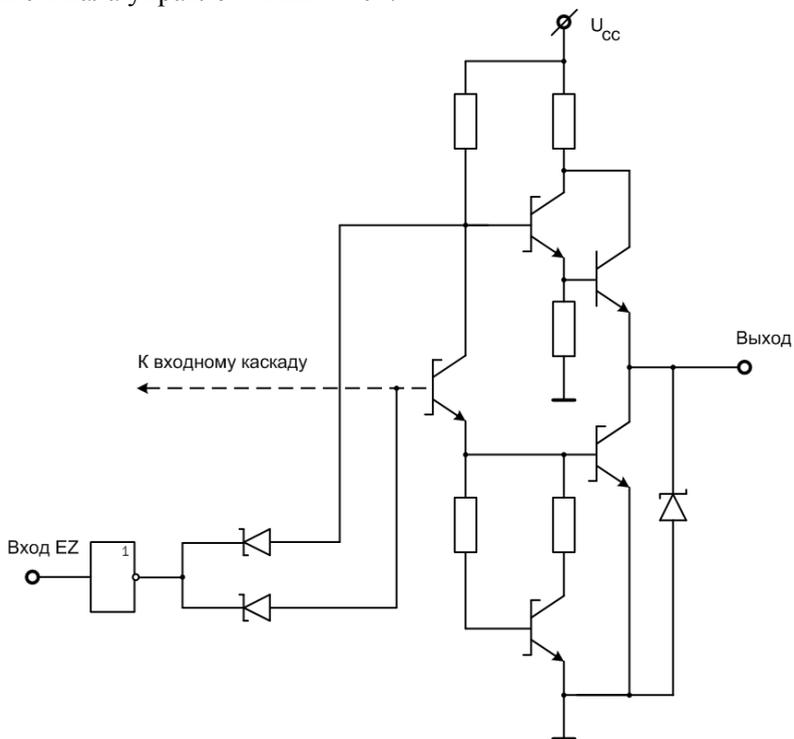


Рис. 19. Схема выходного каскада элемента на три состояния серии 1533

Ещё одна разновидность шинных формирователей – ДНШУ: **двухнаправленный шинный усилитель**. В зависимости от сигнала на входе управления (ЕО) выполняется передача информации от входа *A* к выходу *B* или наоборот, т.е. ДНШУ выполняет роль приёмника информации с шины, или передатчика информации в шину, в зависимости от состояния на входе управления – ЕО.

Принцип работы элемента ДНШУ показан на рис. 20.

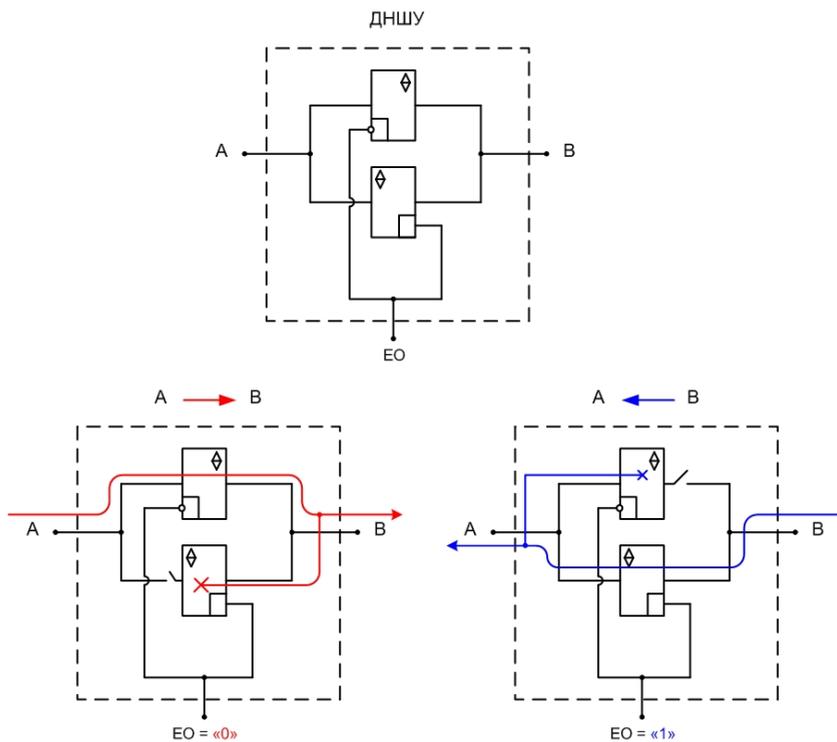


Рис. 20. Принцип работы элемента ДНШУ

Схемы КМОП. Основы

ИС КМОП – схемы, выполненные с использованием **Комплементарных** (взаимодополняющих) полевых транзисторов (**МОП** транзисторов со структурой **метал-окисел-полупроводник**). На рис. 21 представлены полевые транзисторы с различным типом проводящего канала.

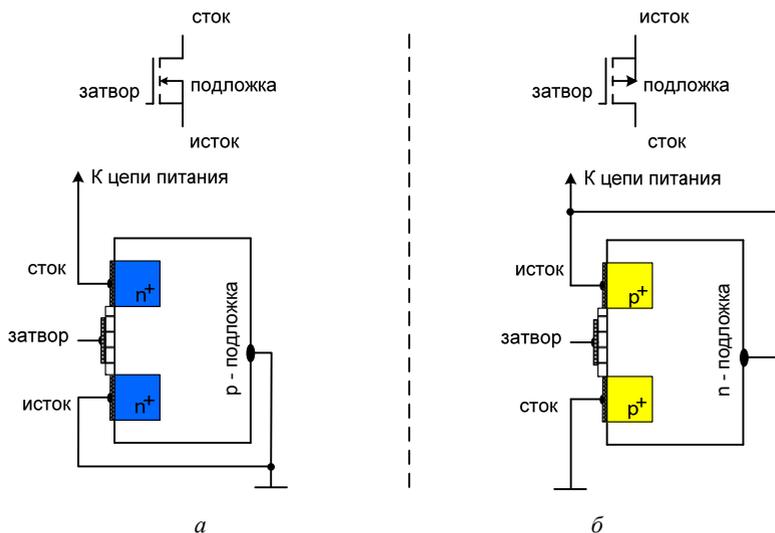


Рис. 21. Схемы полевых транзисторов n -типа (а) и p -типа (б)

На рис. 22. показаны схемы управления полевыми транзисторами. Обратите внимание на то, что показанное для транзистора с каналом p -типа напряжение $U_{зи}$ меньше нуля. В реальности уровень напряжения на затворе этого транзистора совпадает с потенциалом «земли» – «0», а так как исток в данной схеме в отличие от схемы с n -канальным транзистором подключается к цепям питания (наиболее высокому потенциалу в схеме), то напряжение на затворе транзистора относительно истока, конечно же, будет меньше, поэтому в формуле на рис. 22 оно имеет отрицательное значение.

Работа транзисторов (образование проводящих каналов):

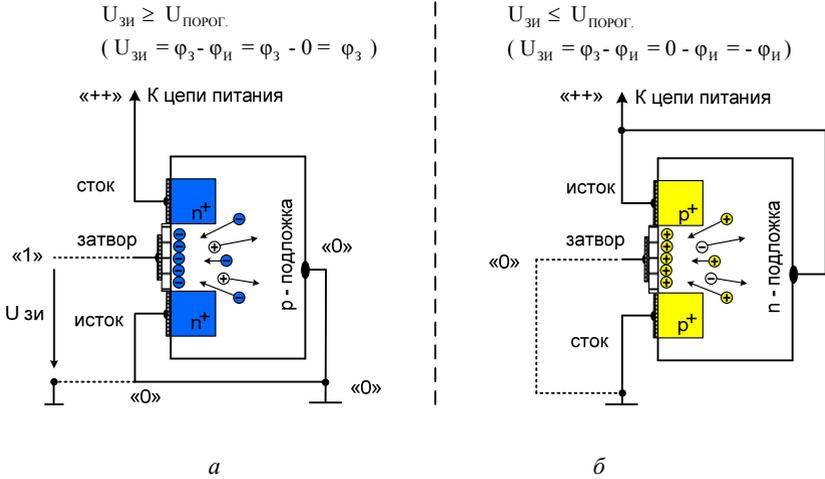


Рис. 22. Управление полевыми транзисторами с проводящим каналом *n*-типа (*a*) и *p*-типа (*б*)

Теперь рассмотрим работу двух пар транзисторов. Как видно из рис. 23, для каждой пары (один транзистор с каналом *n*-типа, другой с каналом *p*-типа) затворы объединены.

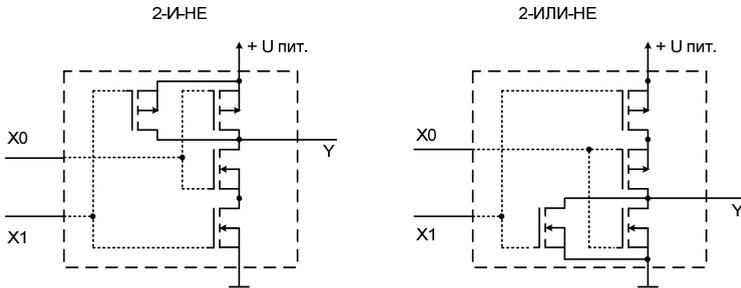


Рис. 23. Устройство логических элементов ИС КМОП

Для примера рассмотрим принцип работы логического элемента 2-И-НЕ (принцип работы элемента 2-ИЛИ-НЕ можете рассмотреть по аналогии самостоятельно). Так как у выбранного элемента два входа (рис. 24), следовательно, возможных комбинаций со-

стояний на входах – четыре. Составляется таблица истинности. Высокий уровень напряжения кодируется как «0», низкий же – как «1».

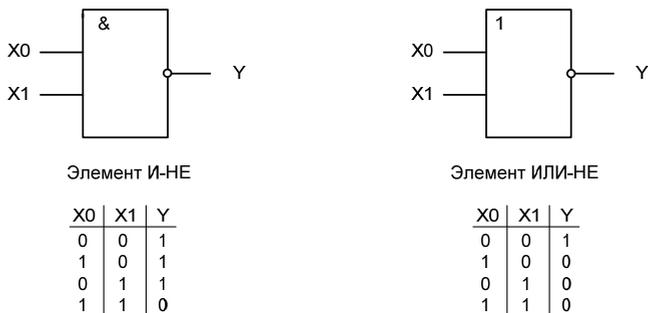


Рис. 24. Логика работы базовых элементов ИС КМОП

На рис. 25 показана «начинка» элемента 2-И-НЕ, у комплементарных пар транзисторов $T1$ и $T4$, $T2$ и $T3$ затворы объединены. Каждая пара транзисторов управляется от одного входа: $T1$ и $T4$ – от входа $X1$, а $T2$ и $T3$ – от входа $X0$. В левой части рисунка показана таблица состояний для входов элемента 2-И-НЕ $X0$ и $X1$ и соответственно состояние выхода элемента Y .

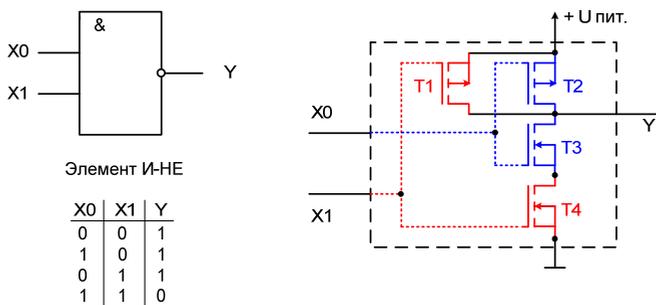


Рис. 25. Комплементарные пары транзисторов в ЛЭ

На рис. 26 можно подробно рассмотреть состояния транзисторов и состояние выхода Y при всех наборах входных комбинаций, но при условии, что транзисторы работают в качестве идеализиро-

ванных «ключей». Когда транзистор «открыт» – ключ замкнут, если же транзистор в режиме отсечки («закрыт»), то соответствующий ключ разомкнут.

Для удобства транзисторы и соответствующие им на схемах замещения ключи пронумеруем одинаково: $T1$ заменяем на $K1$, $T2$ – на $K2$, $T3$ – на $K3$, $T4$ – на $K4$.

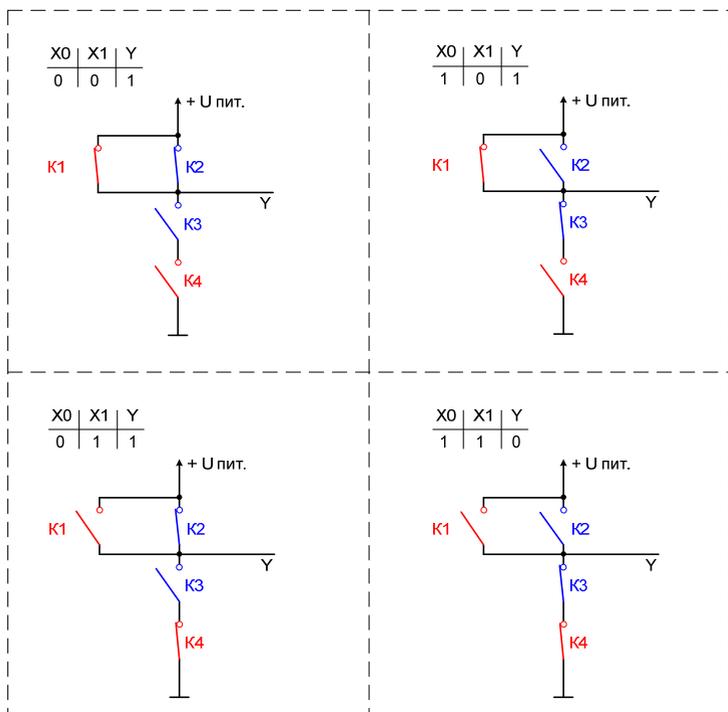


Рис. 26. Работа пар идеальных транзисторных ключей

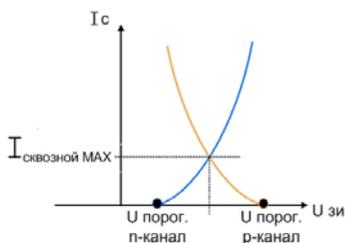
Цифровые микросхемы на КМОП транзисторах по сравнению с микросхемами ТТЛ, ТТЛШ отличаются рядом преимуществ:

- малая мощность потребления в статическом режиме;
- относительно высокое быстродействие (например, серия 1554);
- достаточно большая нагрузочная способность (например, серия 1554);
- более широкий диапазон напряжений питания.

Мощность, потребляемая схемой на КМОП-транзисторах расходуется в основном во время переходного процесса на заряд выходных ёмкостей схемы и во время переключений из-за протекания сквозных токов.

Если внимательно изучить вольт-амперные характеристики (ВАХ) полевых транзисторов, то заметно, что пороговые напряжения транзисторов с различным типом каналов не одинаковы. Видно, что для p -канального транзистора пороговое напряжение больше, чем для n -канального (рис. 27).

Рис. 27. ВАХ полевых транзисторов с различным типом проводящих каналов



Значит, при переключениях логического элемента КМОП, возможна ситуация, когда в паре транзисторов будут открыты оба транзистора, и протекающий сквозной ток ограничен только собственным сопротивлением проводящих каналов. Поэтому для современных ИС КМОП существует ограничение для параметра t_{ϕ} входного импульса (для ИС серии 1554 – не более 15 нс).

На рис. 28 схематично показано, что в моменты переключения логического элемента ток потребления существенно возрастает.

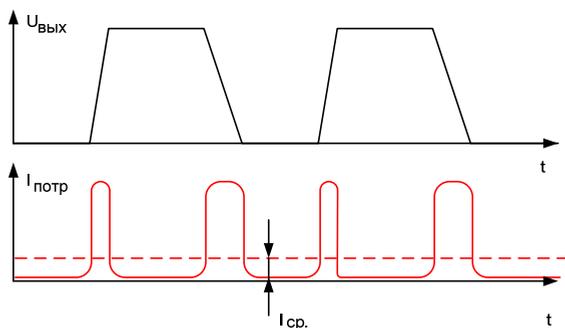


Рис. 28. Ток потребления в динамическом режиме

Чем выше частота переключения, тем чаще за определённый интервал времени (например, за одну миллисекунду) будет протекать сквозной ток – по каждому фронту переключения. Из рис. 28 и 29 видно, что с увеличением частоты переключений элемента возрастает потребляемая элементом мощность. На высоких частотах мощность потребления элемента КМОП может превысить мощность потребления элемента ТТЛ, работающего на той же частоте.

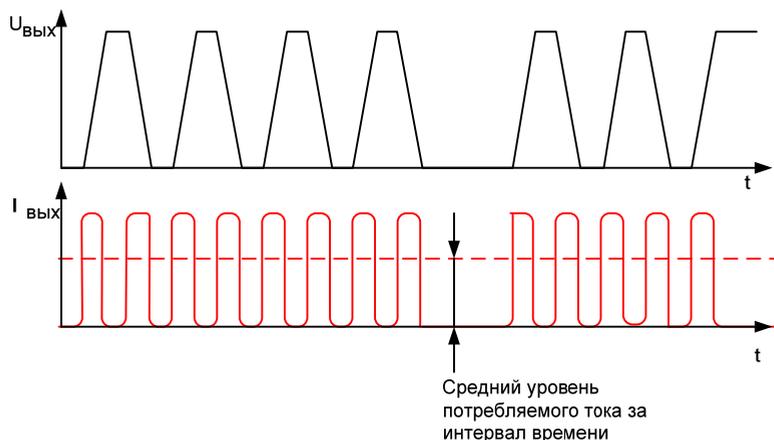


Рис. 29. Ток потребления в динамическом режиме

В новых разработках принимаются меры, чтобы для ИС КМОП потребляемая мощность не превышала параметров для ТТЛ схем, при работе на одинаковых частотах.

С увеличением частоты переключения схемы, а также при увеличении эквивалентной ёмкостной нагрузки потребляемая мощность возрастает:

$$P_{\text{дин}} = 2C_{\text{н}} \cdot f_{\text{р}} \cdot U_{\text{пит}}^2,$$

где $C_{\text{н}}$ – эквивалентная ёмкость нагрузки, $f_{\text{р}}$ – рабочая частота, $U_{\text{пит}}$ – напряжение источника питания.

В статическом режиме мощность определяется напряжением питания и токами утечки закрытого МОП-транзистора. Минимальное напряжение питания схем на КМОП-транзисторах определяется напряжением открывания (пороговое напряжение) p -канального

МОП транзистора, так как оно больше, чем напряжение открывания (пороговое напряжение) n -канального МОП транзистора.

Значения уровней напряжений, соответствующих логическим «1» и «0», для ИС КМОП отличаются от значений для ИС ТТЛШ. Решающую роль играет величина $U_{\text{пит}}$ ИС КМОП.

Если для большинства ИС ТТЛШ $U_{\text{пит}} = 5 \text{ В} \pm 10\%$ (для микросхем с пониженным напряжением питания LVTTTL – 3,3 В), то для ИС КМОП диапазон напряжения питания намного шире, что видно из параметров, представленных в табл. 4.

Для современных ИС на МОП-транзисторах питание может осуществляться от источников опорного напряжения 1,2 В, 1,8 В, 2,5 В, 2,7 В и 3,3 В.

Для традиционных ИС КМОП питание обычно в двух диапазонах – от 2 до 6 В и от 5 до 15 В. Такой широкий диапазон позволяет использовать ИС КМОП практически во всех устройствах, начиная с мобильного телефона, MP3-плеера, от контроллера, управляющего скоростью вращения электродвигателя, до контроллера управления системой впрыска автомобиля (для двигателя внутреннего сгорания). Кстати, почти все современные контроллеры выполняются по МОП-технологии.

Тенденция к замене элементной базы ТТЛШ на ИС КМОП и уменьшению величины напряжения питания связана:

- с возможностью использовать ИС в мобильных устройствах с автономным питанием в течение длительного времени;
- с возможностью отказаться от схем стабилизации малых напряжений, так как современные качественные гальванические элементы по цене намного дешевле электронных схем стабилизации;
- технология изготовления дешевле;
- плотность упаковки на кристалле, а соответственно и степень интеграции выше;
- энергетические затраты на передачу единицы информации при одинаковом быстродействии ТТЛШ и КМОП – меньше;
- другие причины, показывающие, что использование ИС на МОП транзисторах намного выгоднее, чем ТТЛШ.

На рис. 30 показаны уровни напряжений для входов и выходов элементов ИС КМОП, которые принято считать соответствующими логическим «0» и «1».

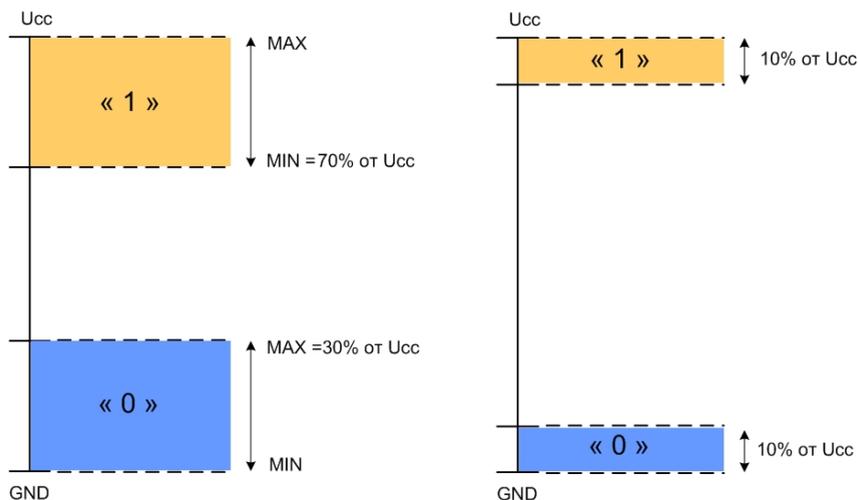


Рис. 30. Уровни напряжений для входов и выходов элементов ИС КМОП

Вопрос согласования передатчиков ТТЛШ и приёмников КМОП, а также передатчиков КМОП и приёмников ТТЛШ рассматривается далее.

Из истории производства КМОП-микросхем. Первую серию цифровых КМОП ИС под названием CD4000A разработала и выпустила фирма RCA в начале 70-х годов 20 века. Микросхемы серии CD4000A быстро получили широкое распространение в мировой электронике. В СССР они появились под маркировкой К176 примерно в 1974 г. (г. Новосибирск).

Хотя микросхемы серии CD4000A функционально очень сходны с микросхемами серий 54/74 (ТТЛ), но цоколёвка была совсем другой, и поэтому возможности непосредственной взаимной замены, как говорят *pin-to-pin*, не было.

В скором времени фирма RCA выпустила «высоковольтную» серию CD4000B, микросхемы которой работали в пределах питания

от 3 до 18 В. Выходы у микросхем этой серии снабжены буферными инверторами (buffered – В), назначение которых – обеспечить примерно одинаковые выходные сопротивления инвертора в состояниях «включено» и «выключено», чего не имелось у простых ключей серии CD4000А. Типовое время задержки переключения оказалось не маленьким: 125 нс.

Следующий вариант микросхем КМОП серия CD4000UB (unbuffered – безбуферная) давала типовое время задержки 60 нс при напряжении питания 5 В.

Сериям CD4000В и CD4000UB у нас соответствовали микросхемы серий К561 и К1561. «Высоковольтные» микросхемы очень удобны для реализации не только чисто цифровых узлов, но и для проектов, относящихся к импульсной технике.

В начале 80-х годов фирма National Semiconductor первой выпустила совместимую с ТТЛ серию цифровых КМОП под знакомым названием 54/74С. Здесь буква С символизировала структуру **CMOS**, т.е. **КМОП**.

Микросхемы серии 54С, 74С работали и при напряжении питания 15 В. Если $U_{пит} = 5$ В, то время переключения составляло 50 нс (типовое) и 90 нс (максимальное). Токи выхода логического элемента составляли около 0,4 мА. Разработчики аппаратуры стали активно заменять устаревшие низкоскоростные ТТЛ.

Подлинный прессинг цифровых КМОП на ТТЛ начался после внедрения технологии не металлических, а поликремниевых затворов. Недостаток простой структуры КМОП состоял в том, что пятнышко напыляемого в последних операциях металлического затвора нельзя сделать очень малым с достоверными размерами. Из-за этого область тонкого подзатворного окисла вынужденно перекрывает солидную часть площадей истока и стока, поскольку приходится учитывать запас на неизбежный сдвиг фотошаблонов из-за их рассовмещения. Типовая длина канала в структурах с металлическим затвором – 7 мкм. Это и ограничивает быстрдействие – 100 нс.

Позже изобрели структуру с поликремниевыми затворами. Поликремний – это неплохой проводник. Вначале формируют именно пятнышки поликремниевых затворов, по этим ориентирам вырав-

нивают полупроводниковые области истоков и стоков, затем делают контактную металлизацию. Этот процесс назвали самовыравнивающимся – *self aligned*. Перекрытие затвором области канала при существенно меньших его размерах здесь гарантировано. Длина канала – 3,5 мкм, пропорционально снижается емкость затвор-подложка, т.е. сокращается время переключения транзистора.

Фирмам NS, RCA, Motorola эта технология позволила выпустить высокоскоростные микросхемы КМОП серий 54НС, 74НС. Эти серии – низковольтные, пределы их питающих напряжений $2\text{ В} < U_{\text{пит}} < 6\text{ В}$, реализуется время задержки 10–25 нс при выходных токах до 4 мА. Эти параметры позволили постепенно вытеснять из аппаратуры серии ТТЛ 54LS, 74LS, т.е. К555.

В дальнейшем на базе процесса поликремниевых затворов выпустили модификацию 54НСТ, 74НСТ. Она оказалась технологичнее, но чуть медленнее, чем серия НС. Этим вариантам соответствуют отечественные микросхемы серии К1564. Микросхемы НСТ можно перемешивать на плате со старыми ТТЛ, включая серии LS. Микросхемы КМОП варианта 54АС, 74АС делаются по усовершенствованной (advanced – А) CMOS-технологии, изобретенной на фирме Fairchild (F), поэтому сокращенное название этой технологии FАСТ. По быстродействию микросхемы FАСТ уступают только микросхемам ТТЛШ серий 54/74S (К531) и 54/74AS (К1531). Время задержки распространения у микросхем 54/74АС снижено до 8,5 нс (на вентиль). Окончательной версией микросхем 54/74АС стали микросхемы серий 54/74АСТ с несколько увеличенным (на 4 нс) быстродействием, но они – технологичнее. Микросхемам 74АС соответствует серия К1554, а 74АСТ – серия К1594.

Чтобы обеспечить полную замену «биполярных» микросхем (ТТЛ) на микросхемы КМОП, требуется делать несколько вариантов выходных каскадов. Повышенную силу выходного тока обеспечивают параллельным присоединением дополнительных *n*- или *p*-канальных транзисторов соответственно.

Требуются еще два варианта выходных структур, как у ТТЛ:

- открытый сток – ОС (open drain – OD, аналогично открытому коллектору – ОК);
- выход с Z-состоянием, т.е. разомкнутый выход.

Чтобы сделать ОС, оставляют только нижние n -канальные транзисторы. Один из вариантов разомкнутого выхода – ключ коммутации, встречающийся во многих микросхемах.

По данным табл. 4 можно сравнить некоторые параметры микросхем серий КМОП.

Таблица 4

Параметры некоторых серий микросхем на КМОП-транзисторах

Серия		$U_{пит.}$, В		$I_{потр.}$, мкА (на один ЛЭ)	$I_{вых.}$, мА		f_T , МГц
зарубежн.	отечеств.	min	max		«1»	«0»	
74С	-	3	15	15	0,01	0,01	...3
74НС	1564	2	6	20	4	4	...20
74НСТ	1564	4,5	5,5	20	4	4	15...24
74АС	1554	2	6	50	24	24	95...125
74АСТ	1594	2	6	50	24	24	70...125
4000А	176	3	12 (9)	15	0,24	0,24	...1
4000В	561	3	18 (15)	7,5	0,42	0,42	3...8
4000ВВ	1561	3	18 (15)	7,5	0,42	0,42	...10

Примечание: f_T – тактовая частота (частота переключений) для микросхем КМОП зависит также от параметра $U_{пит.}$.

Кристаллы микросхем отечественных серий, соответствующих сериям 74С (CMOS), упаковывают в пластмассовые корпуса, имеющие буквенную кодировку:

- К – коммерческий, широкого применения;
- Э – экспортный (шаг выводов 1/10 или 1/20 дюйма, т.е. 2,54 и 1,27 мм соответственно);
- Р – пластмассовый;
- А – пластмассовый, но с планарным расположением выводов;
- Ф – миниатюрный, пластмассовый с короткими выводами для поверхностного монтажа SMD.

Для КМОП серий 54/74xxx используются обозначения:

С – CMOS (КМОП),

HC – High CMOS Logic,
 AC – Advanced CMOS,
 HCT – High-Speed TTL compatible CMOS Logic,
 ACT – Advanced CMOS Logic.

Для обозначений КМОП серий 4000хх:

B – buffered,

UB – unbuffered.

Кроме перечисленных типов микросхем КМОП, используются также схемы, представленные в табл. 5.

Таблица 5

Быстродействие современных цифровых микросхем

Высокоскоростная логика,	$f_{т. тип,}$ МГц	Низкоуровневая логика	$f_{т. тип,}$ МГц	$U_{пит. тип,}$ В
74ABT	100...200	74ALVC	...300	3,3
74ACT	70...125	74GTL	95...200	3,3 или 5
74FCT		74LCX	...150	3,3
74HCT	10...25	74LV	...75	3,3
74AC	90...125	74LVC	...150	3,3
74ACTQ	75...95	74LVQ	...80	3,3
74FR	...150	74LVT	...150	3,3
74HCU	...20	74LVX	...50	3,3
74ACQ	...110	-		
74BC	...90	-		
74HC	15...25	-		
74VHC	75...120	-		

Обозначения и характеристики выпускаемых микросхем

ABT (Advanced BiCMOS Technology). Семейство микросхем второго поколения, выполненных по BiCMOS технологии и в основном предназначенных для шинных интерфейсов. Эти изделия производятся с использованием последних достижений 0,8-микронной технологии, что обеспечивает выходной ток высокого уровня до 64 мА и задержку распространения не более 5 нс, при сохранении очень малой потребляемой мощности.

Для увеличения помехоустойчивости при работе на шину микросхемы имеют встроенные *демпфирующие* выходные резисторы. Кроме того, отдельные микросхемы этой серии обеспечивают чрезвычайно высокий выходной ток (180 мА), что позволяет им работать с 25-омными линиями. Микросхемы семейства поддерживают широкое разнообразие функций интерфейса шины, например универсальных приемопередатчиков шины (UBTE) или опции для мультиплексирования и чередования памяти.

Устройства могут выпускаться в *WidebusE*, или *Widebus+E* корпусах, основными преимуществами которых являются пониженный уровень шума и возможность применения более простых печатных плат. Кроме того, *Widebus+* устройства имеют *bus-hold* схему, устраняющую потребность во внешних *pullup* (шинных нагрузочных) резисторах для плавающих входов.

ABTE/ELT (Advanced BiCMOS Technology/Enhanced Transceiver Logic). ABTE-логика имеет расширенный запас помехоустойчивости и обратно совместима с существующими TTL сериями.

ABTE-устройства поддерживают VME64-ETL спецификацию с жесткими допусками на фазовые сдвиги и время перехода. Эти изделия производятся по 0,8-микронной BiCMOS технологии, обеспечивают выходной ток высокого уровня до 90 мА.

Другими дополнительными возможностями являются наличие *вывода смещения* и внутренних *pullup* резисторов на входах управления для максимальной защиты от *live-insertion* эффекта. Встроенные *Bus-hold* цепи устраняют необходимость во внешних *pullup*

резисторах на входах и согласующих (*series-damping*) резисторах на выходах для устранения отражения сигнала.

АС/АСТ (Advanced CMOS Logic). Эти изделия производятся с использованием 1-микронной CMOS технологии и содержит более 70 разных микросхем, включая схемы, триггеров, драйверов, счетчиков, приемопередатчиков и др.

АС – это надежная, маломощная логическая серия с током выхода до 24 мА. В семейство входят как изделия с традиционной разводкой по питанию так и с выводами питания в центре корпуса. В частности такую разводку имеют интерфейсные микросхемы на 16, 18, 20 бит в SSOP и TSSOP корпусах с 48 и 56 выводами. Такие корпуса позволяют значительно уменьшить размер печатных плат конечных изделий.

АС-устройства имеют CMOS-совместимые входы, а АСТ входы совместимые с ТТЛ схемами.

АНС/АНСТ – Advanced High-Speed CMOS Logic. Микросхемы этой серии применяются, если нужно достигнуть высокого быстродействия при малом потреблении и низком уровне шумов. Серия содержит большое количество разных по сложности микросхем от простейших логических элементов до микросхем способных работать с несколькими восьмибитными словами, что удешевляет стоимость приборов на их основе. Кроме того, в состав серии входят микросхемы, содержащие всего один логический элемент в корпусе (*single-gate* или *1G*).

Можно выделить следующие основные характеристики серии:

- высокое быстродействие (типичное время задержки около 5,2 нс, что примерно в три раза быстрее чем для HC серии);
- низкий уровень шума (АНС серия даёт разработчикам приборы с низким уровнем шумов, в то же время избавляя их от проблем с переходными процессами, которые так характерны для быстродействующих приборов);
- низкое энергопотребление (АНС серия, построенная с использованием CMOS технологии, имеет типичный статический ток потребления 40 мкА – примерно половину от HCMOS приборов);
- АНС и VHC приборы имеют практически одинаковые технические характеристики, но первые дешевле.

Микросхемы выпускаются как в традиционных корпусах – SOIC, PDIP, так и в корпусах, специально спроектированных для работы с шинами данных – *Widebus* и *Shrink Widebus*: *SSOP*, *TSSOP*, *TVSOP*. Основными их преимуществами являются пониженный уровень шума и малый шаг ножек, позволяющий разрабатывать более простые и компактные печатные платы.

ALB Advanced Low-Voltage BiCMOS. Микросхемы ALB серии производится по самой современной 0,6 микронной BiCMOS технологии. Они имеют питание 3,3 В. Специально разработаны для шинных интерфейсов. Обеспечивают типичное время задержки 2,2 нс, что делает их наиболее быстрыми из CMOS микросхем. Входы микросхем снабжены *clamping* (защитными) диодами исключающими выбросы напряжения как положительной так и отрицательной полярности.

Микросхемы выпускаются в корпусах с малым шагом ножек – *Widebus* и *Shrink Widebus*: *SSOP*, *TSSOP*, *TVSSOP*. Основными их преимуществами являются пониженный уровень шума и малый шаг ножек, позволяющий разрабатывать более простые и компактные печатные платы.

ALVC Advanced Low-Voltage CMOS Technology. ALVC является одной из наиболее производительных серий с 3-вольтовым питанием.

Микросхемы ALVC серии производятся по 0,6-микронной CMOS технологии. Они обеспечивают типичное время задержки менее чем 3 нс при выходном токе порядка 24 мА и при этом имеют очень малый потребляемый ток в статическом состоянии – 40 мкА. Кроме того, устройства имеют *bus-hold* схему, устраняющую потребность во внешних *pull-up* (шинных нагрузочных) резисторах для плавающих входов.

Наряду с широким набором микросхем традиционного назначения серия включает в себя ряд приборов с расширенными функциями управления памятью, такими как чередование, мультиплексирование, интерфейсы для синхронной DRAM.

Микросхемы выпускаются в корпусах, специально спроектированных для работы с шинами данных – *Widebus* и *Shrink Widebus*: *SSOP*, *TSSOP*. Основными их преимуществами являются пониженный уровень шума и малый шаг ножек, позволяющий разрабатывать более простые и компактные печатные платы.

CBT Crossbar Technology. Для устройств вычислительной техники основную роль играют такие параметры, как потребляемая мощность и быстродействие. CBT может успешно решить обе эти проблемы в приложениях интерфейса шины. Микросхемы CBT серии дают возможность устройству интерфейса шины функционировать как очень быстрый переключатель. При этом данные приборы имеют очень малые токи утечки и очень небольшое время перехода шины в третье состояние. Эти устройства могут функционировать как быстродействующий интерфейс связи между компонентами компьютерной системы типа центрального процессора и памятью. CBT устройства также могут использоваться как преобразователи уровня, позволяющие разрабатывать устройства, содержащие как 5-, так и 3,3-вольтовые микросхемы.

Микросхемы имеют полностью совместимые с TTL-логикой входы и выходы и позволяют создавать цифро-аналоговые переключатели (с сопротивлением, не превышающем 5 Ом) между портами.

CBT микросхемы выпускаются в современных корпусах типа SSOP, TSSOP, TVSOP, позволяющих максимально использовать площадь печатной платы.

BCT/64BCT VICMOS Bus-Interface Technology. Эта серия содержит в себе ряд 8-, 9-, и 10-битных приемопередатчиков, защёлки, шинных формирователей и регистров. Серия разработана специально для управления шинами данных и адреса. Микросхемы имеют высокое быстродействие и TTL-совместимые входы и выходы, обеспечивая выходные токи до 64 мА при очень маленьком токе потребления в статическом состоянии. Это семейство содержит высокоскоростные микросхемы шинных формирователей с расширенными функциями, способных работать на волновую нагрузку сопротивлением до 25 Ом. Всё это делает данные приборы идеальными для обмена данными между отдельными платами и приборами. Каждый прибор в этой серии имеет ток короткого замыкания выходов не менее 180 мА.

Кроме того, серия содержит ряд микросхем для управления памятью. Встроенные согласующие резисторы (*series-damping*) устраняют необходимость во внешних, используемых для устранения отражения сигнала при работе на согласованную линию, а также уменьшают как положительные, так и отрицательные выбросы на-

пряжения. В состав серии входят микросхемы, удовлетворяющие спецификации *IEEE 1149.1* (JTAG).

64ВСТ серия полностью совместима со стандартной ВСТ серией, но рассчитана на работу в расширенном температурном диапазоне (от -40 до $+85^{\circ}\text{C}$) и рекомендуется для применения в *live-insertion* устройствах.

ВТА (Bus-Termination Arrays - шинные формирователи) серия предлагает компактное и эффективное решение для быстродействующих устройств, передающих цифровые сигналы по длинным линиям. Входы микросхем снабжены защитными (clamping) диодами, исключающими выбросы напряжения как положительной, так и отрицательной полярности.

ВТЛ/ВВ (Backplane Transceiver Logic / Futurebus+). ВВ-серия – высокоскоростные устройства, в основном предназначенные для согласования ТТЛ микросхем с микросхемами ВТЛ серии, удовлетворяющих *IEEE 1194.1-1991* (ВТЛ) и *IEEE 896-1991* (Futurebus+) стандартам. Микросхемы могут иметь выходы с открытым коллектором, обеспечивающие выходной ток до 100 мА. Кроме того, наличие отдельных выводов логической земли и земли для шины передачи данных способствует увеличению помехоустойчивости. ВТЛ серия включает в себя 7-, 8-, 9- и 18-битные микросхемы для связи с ТТЛ логикой, способные передавать данные с задержками менее 5 нс.

Микросхемы кроме обычного вывода питания $U_{\text{пит}}$ имеют вывод питания для подачи смещения (*BIAS V_{CC} Pin*) от 1,62 до 2,1 В на ВТЛ выходы, когда $U_{\text{пит}}$ отсутствует. Данный вывод очень полезен для уменьшения искажений, особенно при соединении с высокоуровневыми ВТЛ устройствами без выключения питания. Могут применяться в *Live insertion* приборах.

Микросхемы выпускаются в *Plastic Quad Flat (RC) Package* и *Ceramic Flat (WD)* корпусах.

ГТЛ (Gunning Transceiver Logic). Представляет собой низкоуровневую сверхбыстродействующую серию микросхем. Типичная тактовая частота этих приборов не менее 75 МГц, хотя у некоторых, например ГТЛ16622, доходит до 200 МГц. Значительная часть микросхем данной серии разработана для передачи и приёма сигналов по длинным согласованным линиям.

Микросхемы этой серии могут использоваться для сопряжения низкоуровневых схем LVTTTL ($U_{пит} = 3,3 \text{ В}$) с 5-вольтовыми сериями CMOS и TTL, поскольку имеют выходы с открытыми коллекторами. Входной каскад приёмника сигналов является дифференциальным. На один вход его ($U_{вх}$ на рис. 31) подаётся сигнал, а на второй – опорное напряжение смещения с внешнего источника ($U_{см}$). Выходной каскад выполнен с открытым стоком. Когда транзистор открыт, напряжение на выходе определяется напряжением внешнего источника питания ($U_{пит}$), а когда закрыт в цепи протекает ток порядка 40 мА при выходном напряжении около 0,4 В. Оба конца линии должны соединяться с источником питания $U_{пит}$ (1,2 В) через сопротивления 50 Ом. Для реализации функции *Live insertion* необходимо подать напряжение смещения 2,1 В на вход Bias Voltage.

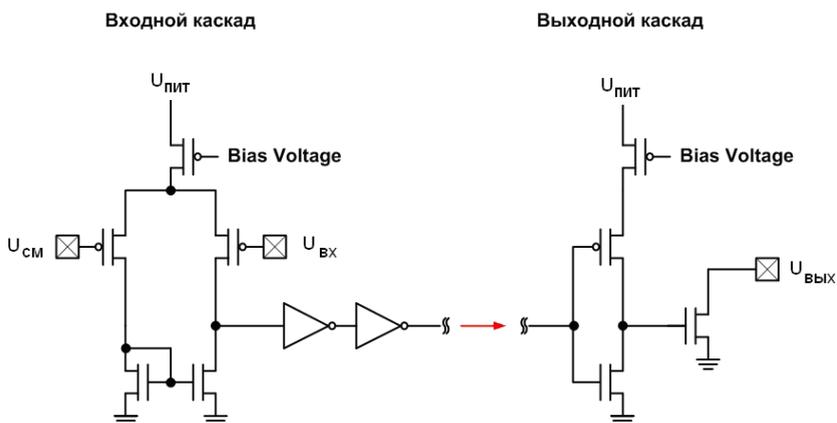


Рис. 31. Схематика каскадов GTL с функцией Live insertion

Низкая разность напряжения логической единицы и нуля уменьшает электромагнитные наводки и величину отражённого сигнала в длинных линиях, тем самым, увеличивая помехоустойчивость. В то же время низкое напряжение питания значительно уменьшает рассеиваемую микросхемой мощность, что вкупе с применением специальных корпусов и разводки шин питания позволяет создавать высокопроизводительные схемы с большой степенью интеграции.

Наличие в серии микросхем, имеющих ТТЛ – совместимые выходы даёт возможность проектировать системы с различными типами логики. Благодаря этому разработчики могут применять GTL приборы только в частях устройств, которые наиболее чувствительных к скорости передачи данных, а остальную часть схемы собирать на традиционной логике.

Встроенные *Bus-hold* цепи устраняют необходимость во внешних *pullup* резисторах на входах и согласующих (**series-damping**) резисторах на выходах для устранения отражения сигнала.

Зачастую разработчику приходится иметь дело с технической документацией на микросхемы зарубежных производителей. Обозначения цепей питания, смещения, входных и выходных линий могут отличаться от принятых в отечественной литературе. Но это не означает, что инженер попадает в затруднительную ситуацию. Например, на рис. 32 обозначения не такие, как в тексте пособия. Почему так? Потому что информация получена из описания завода-изготовителя и обозначения, по возможности, должны быть близкими к оригинальному описанию, чтобы не возникло искажения смысловой нагрузки. Именно по этой причине рекомендуется работать с оригинальной документацией на языке завода-изготовителя, а не с переводным вариантом.

В описании к рис. 32 обозначения совпадают с обозначениями изготовителя.

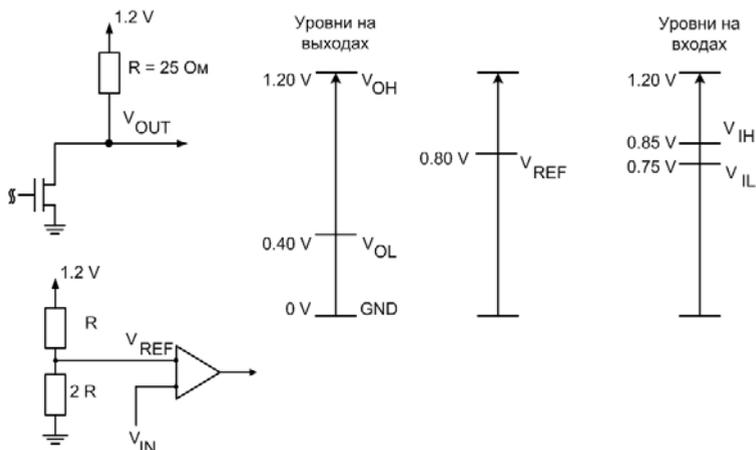


Рис. 32. Уровни сигналов для ИС CMOS при $U_{пит} = 1,2 \text{ В}$

Приёмники имеют дифференциальный вход, на который необходимо подавать внешнее напряжение смещения V_{REF} , для чего вполне можно использовать простейший резистивный делитель, подключив его к V_{TT} (как показано на рис. 32), параллельно резистору $2R$ рекомендуется подключить конденсатор ёмкостью 0,01–0,1 мкФ. Для увеличения помехоустойчивости крутизна передаточной характеристики в области порогового напряжения выше, чем у стандартных CMOS и TTL схем. Так, входное напряжение высокого уровня V_{IH} всего на 0,1 В выше, чем входное напряжение низкого уровня V_{IL} , что иллюстрирует рис. 32. Значительное подавление отражённого сигнала позволяет создавать высокоскоростные *point-to-point communication* с частотой коммутации более 100 МГц.

Микросхемы выпускаются в корпусах, специально спроектированных для работы с шинами данных – Widebus и Shrink Widebus: SSOP, TSSOP. Основными их преимуществами являются пониженный уровень шума и малый шаг ножек, что необходимо для создания более простых и компактных печатных плат.

LV (Low-Voltage HCMOS Technology). Серия разработана по 2-микронной CMOS технологии, специально для работы с пониженным 3-вольтовым питанием. Выходной ток микросхем может достигать 8 мА, а характерная задержка распространения не более 18 нс. Микросхемы имеют очень низкий ток потребления в статическом состоянии – 20 мкА на один инвертор.

Приборы могут выпускаться как в традиционных, так и современных корпусах, с пониженным уровнем шума и малым шагом между контактами:

Package Options Include Plastic,
Small-Outline (D),
Shrink Small-Outline,
Thin Shrink Small-Outline (PW),
Ceramic Flat (W) Packages,
Chip Carriers (FK), и (J) 300-mil DIPs.

LVC (Low-Voltage CMOS Technology). Серия разработана по 0,8-микронной CMOS технологии, специально для работы с пониженным 3-вольтовым питанием. От LV серии она отличается большей производительностью и нагрузочной способностью (тактовая частота может достигать 150 МГц). Кроме этого приборы этого класса потребляют в статическом режиме чрезвычайно малый ток

(порядка 20 мкА). Типичный выходной ток микросхем 24 мА, а характерная задержка распространения не более 6,5 нс для микросхем, управляющих шинами, и порядка 3,3 нс для логического элемента. В составе серии широко представлены как традиционные логические элементы, так и большое количество (около 50) приборов для работы с шинами данных.

Микросхемы серии выпускаются как в традиционных корпусах, так и в корпусах, специально спроектированных для малогабаритных устройств.

Возможно применение в *Live insertion* приложениях. Встроенные *Bus-hold* цепи устраняют необходимость во внешних *pullup* резисторах на входах и согласующих (*series-damping*) резисторах на выходах для устранения отражения сигнала.

Основными их преимуществами являются пониженный уровень шума и малый шаг ножек, позволяющий разрабатывать более простые и компактные печатные платы.

LVT (Low-Voltage BiCMOS Technology). Серия разработана по 0,8-микронной BiCMOS технологии, специально для работы с пониженным 3-вольтовым питанием. Основное функциональное назначение приборов LVT серии – работа с шинами данных. Так же, как 5-вольтовая АВТ серия, LVT имеет выходные токи до 64 мА и характерную задержку распространения не более 4 нс для шинных формирователей, при этом тактовая частота может превышать 150 МГц.

Встроенные *Bus-hold* цепи устраняют необходимость во внешних *pullup* резисторах на входах и согласующих резисторах (*series-damping*) на выходах для устранения отражения сигнала. Кроме того, напряжение на выходах может подниматься до 7 вольт, что позволяет использовать микросхемы в качестве преобразователей уровня между 5 и 3 вольтовыми приборами.

LVT серию можно использовать для *live-insertion* приложений, так как их выходы переводятся в высокоимпедансное состояние при понижении напряжения питания ниже порогового уровня. В состав серии входят микросхемы, удовлетворяющие спецификации IEEE 1149.1 (JTAG).

Микросхемы серии выпускаются как в традиционных так, и в корпусах, специально спроектированных для малогабаритных:

- small-outline integrated circuit (SOIC);

- shrink small-outline package (SSOP);
- thin shrink small-outline package (TSSOP).

Основными их преимуществами являются пониженный уровень шума и малый шаг ножек, позволяющий разрабатывать более простые и компактные печатные платы.

LVX (Low-Voltage). Высокопроизводительная серия с пониженным 3-вольтовым питанием, сохраняет работоспособность при его изменении от 2 до 3,6 В. Кроме того, напряжение на входах может подниматься до 7 В, что позволяет использовать микросхемы в качестве преобразователей уровня между 5- и 3-вольтовыми приборами.

В составе серии широко представлены как традиционные логические элементы, так и большое количество приборов для работы с шинами данных. Приборы из этой серии отличаются высоким быстродействием и чрезвычайно малым током потребления в статическом состоянии (2 мкА).

Основное функциональное назначение приборов LVX серии – работа с шинами данных. Также серия LVX имеет выходные токи до 25 мА и характерную задержку распространения не более 6 нс для интерфейсных схем, при этом тактовая частота может достигать 150 МГц.

Микросхемы серии выпускаются как в традиционных так, и в корпусах, специально спроектированных для малогабаритных:

- small-outline integrated circuit (SOIC);
- shrink small-outline package (SSOP);
- thin shrink small-outline package (TSSOP).

Основными их преимуществами являются пониженный уровень шума и малый шаг ножек, позволяющий разрабатывать более простые и компактные печатные платы.

LVQ (Low-Voltage). Серия разработана специально для работы с пониженным 3-вольтовым питанием и сохраняет работоспособность при его изменении от 2,7 до 3,6 В. В составе серии широко представлены как традиционные логические элементы, так и большое количество приборов для работы с шинами данных. Приборы из этой серии отличаются высоким быстродействием и малым током потребления – в статическом состоянии (10 мкА).

Стандартные выходы микросхем обеспечивают выходные токи до 12 мА и имеют характерную задержку распространения не более 6 нс для шинных формирователей, при этом тактовая частота может превышать 120 МГц. Микросхемы вносят в сигнал небольшие фазовые искажения и характеризуются повышенной динамической помехоустойчивостью. Гарантируется устойчивая работа на нагрузку 75 Ом.

Микросхемы серии выпускаются как в традиционных так, и в малогабаритных корпусах.

Основными их преимуществами являются пониженный уровень шума и малый шаг ножек, позволяющий разрабатывать более простые и компактные печатные платы.

Сопряжение ИС КМОП и ТТЛШ

Сопряжение микросхем КМОП и ТТЛШ при одинаковом питании (5 В). При использовании ИС КМОП в качестве передатчика информации, а ИС ТТЛШ – как приёмника информации специальных мер по согласованию уровней не требуется. Серии КМОП управляют ТТЛШ и КМОП сериями напрямую.

На рис. 33 видно, что уровни сигналов на выходе ИС КМОП не выходят за допустимые пределы для ИС ТТЛШ (для приёмника).

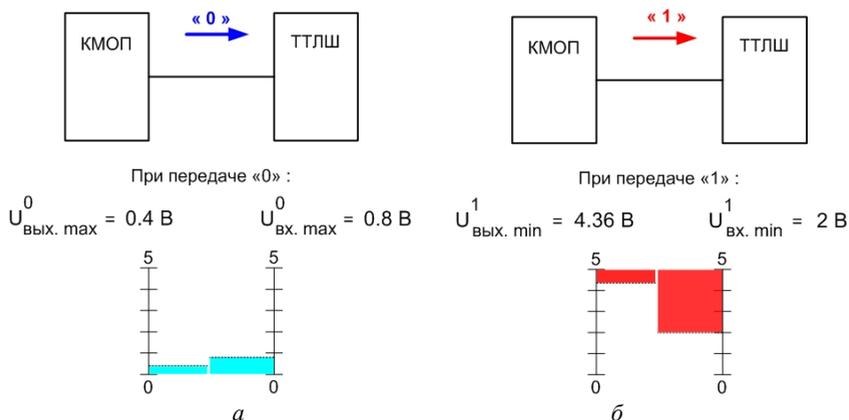


Рис. 32. Совместимость уровней по «0» (а) и по «1» (б)

ИС ТТЛШ может использоваться как передатчик информации, а ИС КМОП – как приёмник информации. На рис. 33 показано, что при передаче «0» от ИС ТТЛШ уровень напряжения на входе приёмника ИС КМОП не выходит за предел максимального значения. Кроме того, имеется большой запас по помехоустойчивости, который, в данном случае (см. рис. 32, б), определяется как разность между минимальным напряжением передатчика и минимальным напряжением приёмника.

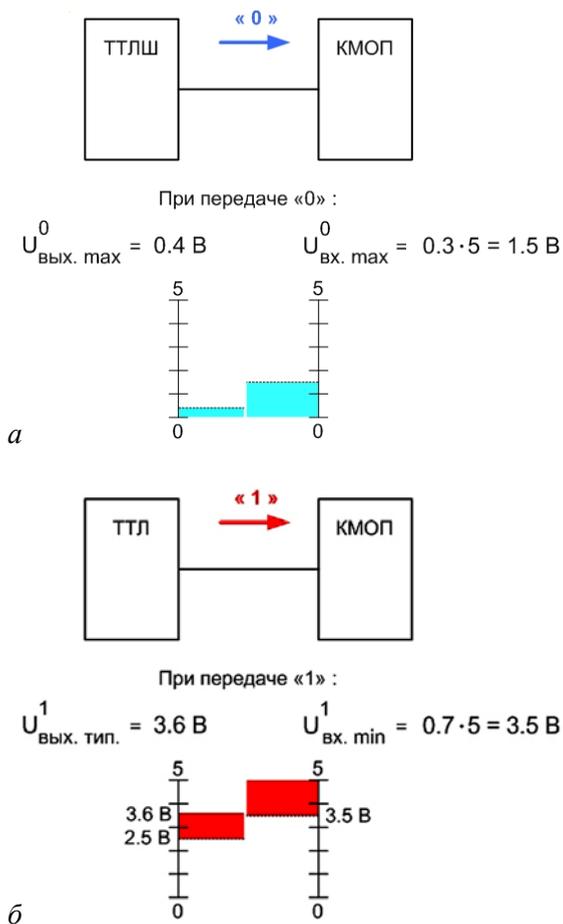


Рис. 33. Совместимость уровней по «0» (а) и по «1» (б)

На рис. 33, б видно, что минимальный уровень на входе ИС КМОП должен быть не менее 3,5 В. Такой уровень воспринимается на входе логического элемента ИС КМОП как «1». Но для ИС ТТЛШ уровень напряжения на выходе логического элемента $U_{\text{вых}}^1 = 2,5 \text{ В} \dots 4,36 \text{ В}$.

Уровни в пределах от 2,5 до 3,6 В находятся ниже предела $U_{\text{вх min}}^1$ для ИС КМОП, значит, информация, передаваемая с помощью такого сигнала, может быть потеряна!

Следовательно, **для сопряжения передатчика ТТЛШ и приёмника КМОП требуется согласование уровней передаваемых сигналов.** Стандартная схема согласования показана на рис. 34.

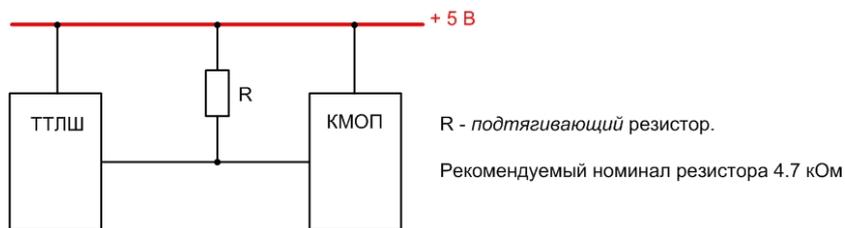


Рис. 34. Типовая схема согласования серий 1533 (ALS) и 1554 (AC)

Согласование, когда питание ИС (КМОП или ТТЛШ) существенно отличается. В случае, например, когда питание передатчика 5 В, а приёмника – 9 В, требуется использовать специализированную ИС – преобразователь уровней, или разрабатывать схему преобразователя самостоятельно.

Согласование, когда питание ИС КМОП и ТТЛШ – отличается незначительно. Ситуация, когда питание передатчика 5 В, а приёмника – 3 В (стандартные LVTTTL или LVCMOS), встречается довольно часто. В некоторых случаях требуется преобразование уровней сигналов, а в некоторых – нет.

Рассмотрим ситуацию в следующем порядке.

1. Определяем, какой тип ИС используется в качестве передатчика и в качестве приёмника (ТТЛШ или КМОП, статические параметры элементов).
2. Определяем направление передачи информации (только однонаправленный или двунаправленный обмен информацией).

3. Определяем схему преобразователя.
4. Определяем тип выходного каскада передатчика (стандартный, с ТС, с ОК или ОС).

Пример. Допустим, требуется проанализировать возможность однонаправленной передачи информации от ИС КМОП с питанием 3,3 В устройству, на входе которого регистр ТТЛШ (питание 5 В).

Передатчик КМОП – 1554 серии, приёмник – ТТЛШ 555 серии. Анализируем уровни сигналов на выходе передатчика и на входе приёмника.

Для ситуации на рис. 35 видно, что уровень сигнала на выходе передатчика не меньше минимального уровня, необходимого приёмнику. Конечно, для надёжности можно применить схему согласования, но мы рассматриваем только пример и не будем этого делать. Помехоустойчивость – не хуже 0,95 В.

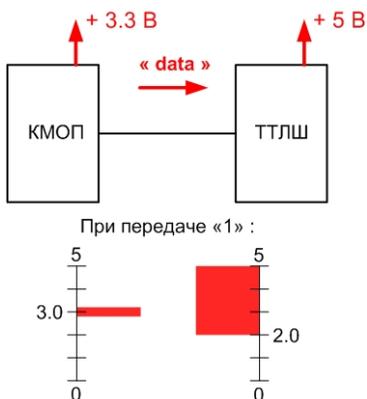


Рис. 35. Анализ совместимости по «1»

Так как входной каскад ТТЛШ потребляет ток $I_{\text{вх}}^1 = 0,02 \text{ мА}$ и выходной ток передатчика (для серии 1554 – 24 мА) способен его обеспечить, следовательно, всё в норме.

Для ситуации на рис. 36 видно, что уровень сигнала на выходе передатчика не больше максимального уровня, допустимого для приёмника. Через выходной каскад передатчика будет протекать ток от входного каскада приёмника. Должно выполняться соотношение:

$$I_{\text{ВЫХ}}^0 \geq I_{\text{ВХ}}^0.$$

Действительно, выходной ток элемента КМОП серии 1554 больше входного тока элемента серии 555 ($24 \text{ мА} \geq 0,8 \text{ мА}$).

Вывод: схема сопряжения необязательна.

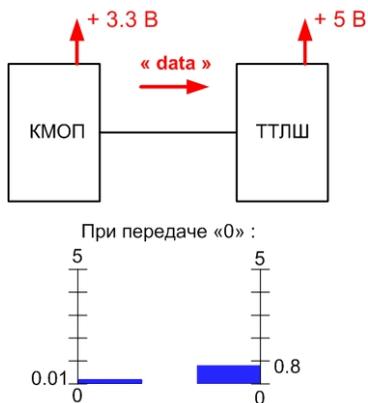


Рис. 36. Анализ совместимости по «0»

Для более точного анализа, конечно, требуется знать протяжённость линии связи, схему согласования с нагрузкой, выходное сопротивление передатчика и т.д. И анализировать вопрос сопряжения для каждой конкретной схемы нужно индивидуально.

Контрольные вопросы

1. Объясните устройство БЛЭ ТТЛ, ТТЛШ, принцип работы схем входных каскадов элементов 2-И-НЕ, 2-ИЛИ-НЕ, принцип работы выходных каскадов элементов с Z-состоянием и с ОК.

2. Объясните устройство БЛЭ цифровых КМОП ИС (схемные решения для реализации элементов 2-И-НЕ, 2-ИЛИ-НЕ), принцип работы выходных каскадов элементов с Z-состоянием и с открытым стоком (ОС).

3. В чем отличие элементной базы ТТЛ и ТТЛШ? Дайте сравнительную оценку статических и динамических параметров. Перечислите серии выпускаемых ИС отечественного производства, кратко приведите основные характеристики.

4. В чем отличие элементной базы ТТЛШ и КМОП? Дайте сравнительную оценку статических и динамических параметров. Перечислите серии ИС КМОП отечественного производства, кратко приведите основные характеристики.

5. Дайте определение цифрового сигнала. Сравните диапазоны напряжений, воспринимаемых логическими элементами ИС ТТЛШ и КМОП как «0», «1». Сравните диапазоны напряжений, формируемых на выходах логических элементов ИС ТТЛШ и КМОП как «0», «1». Для определённости примите напряжение питания ИС +5В.

6. Проведите сравнительную оценку мощности потребления ИС ТТЛШ и КМОП в режиме «покоя» и в динамическом режиме. Если есть существенная разница, обоснуйте ответ.

7. Какие проблемы возникают при сопряжении ИС с различными напряжениями питания? Опишите способы согласования уровней, назначение и расчёт подтягивающих резисторов. Дайте примеры расчёта схем (по заданию преподавателя).

8. В чем назначение демпфирующих резисторов?

9. Опишите входные, выходные токи и их направления для логических элементов ТТЛ. Дайте понятие нагрузочной способности логического элемента.

10. Опишите входные, выходные токи и их направления для логических элементов КМОП. Дайте понятие нагрузочной способности логического элемента.

11. Охарактеризуйте режимы работы ИС ТТЛШ с неиспользуемыми (неподключенными входами) и режимы работы ИС КМОП с неиспользуемыми (неподключенными входами).

12. Опишите принцип работы логических элементов КМОП, имеющих схему удержания последнего состояния на входе (так называемая схема BUS HOLD).

13. Сравните ИС малой, средней, высокой степени интеграции. Охарактеризуйте долю микросхем разной степени интеграции в составе современных вычислительных устройств. С какими напряжениями питания работают микросхемы, входящие в состав стандартного компьютера (PC)?

14. Перечислите известные вам типы корпусов цифровых ИС. Связаны ли, по вашему мнению, размеры печатной платы (габаритные размеры модулей вычислительного устройства) с типом корпусов ИС, установленных на ней? Ответ аргументируйте.

15. Какой элементной базой (КМОП или ТТЛШ) пользовались бы вы при разработке цифровой части, например, мобильного телефона? Почему? С какими напряжениями питания работают ИС мобильного телефона?

16. Как скажется отклонение напряжения питания от номинального на работе устройства, выполненного с использованием элементной базы ТТЛШ? Каков диапазон допустимых отклонений, например, для ИС серии ALS?

17. Как скажется отклонение напряжения питания от номинального на работе устройства, выполненного с использованием элементной базы КМОП? Каков диапазон допустимых отклонений, например, для ИС серии 1561 и 1554?

18. Как (по вашему мнению) скажется отклонение напряжения питания от номинального на работе устройства, выполненного с использованием элементной базы ТТЛШ? Каков диапазон допустимых отклонений, например, для ИС серии ALS? К чему приведёт снижение напряжения от 5 до 3,3 В, формируемого блоком питания? Дать обоснования.

19. Как (по вашему мнению) скажется отклонение напряжения питания от номинального на работе устройства, выполненного с использованием элементной базы ТТЛШ? Каков диапазон допустимых отклонений, например, для ИС серии ALS? К чему приведёт повышение напряжения от 5 до 7 В, формируемого блоком питания? Дать обоснования.

20. Провести анализ предполагаемого подключения: к выходу ЛЭ 555 ЛА1 подключить нагрузку в виде: 4 ЛЭ 74ALS02, 4 ЛЭ 74АС244, 3 ЛЭ SN7410. Приведите расчёт.

Функциональные особенности, характеризующие ИС

Демпфирующие выходные резисторы (damping resistor) в сериях ABT, ALVC, BCT, F, HSTL, LVC, LVT и **series-damping** – согласующие резисторы (рис. П1).

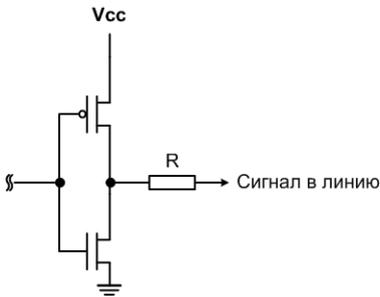


Рис. П1. Согласующий резистор

При работе на высокой частоте в длинных линиях могут возникать отражённые волны, вызывающие выбросы напряжения, которые ведут к сбоям в работе системы и даже могут являться причиной неисправности приборов.

Встроенные согласующие резисторы (*series-damping*) устраняют необходимость во внешних резисторах, используемых для устранения отражения сигнала при работе на согласованную линию, а также уменьшают как положительные, так и отрицательные выбросы напряжения. Номинал R указывается в документации на микросхему.

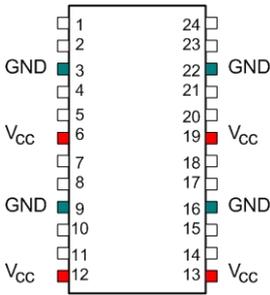


Рис. П2. Widebus™

WidebusE, или **Widebus+E** (Distributed V_{CC}/GND Configuration) вариант стандарта корпуса и расположения выводов.

Используются для ИС серий: АНС/АНСТ, AVT, AC/ACT, СВТ, LVT, ALVC, LVC, ALB. Стратегия распределения шин «Земли» и «Питания» (GND и V_{CC}) вдоль всего корпуса значительно повышает

ет помехоустойчивость при работе с высокочастотными сигналами (см. рис.П2).

Pull-up, pull-down («доопределяющие») резисторы.

Если выход, подсоединённый к обычному входу ИС КМОП, оказывается в высокоомном состоянии, то состояние входа ИС КМОП будет неопределённым («подвешенным»). Обычно для борьбы с этим эффектом вводят в схему доопределяющие резисторы смещения (*pull-up* или *pull-down*), одним концом соединенные со входом, а другим – с V_{CC} или GND источника питания.

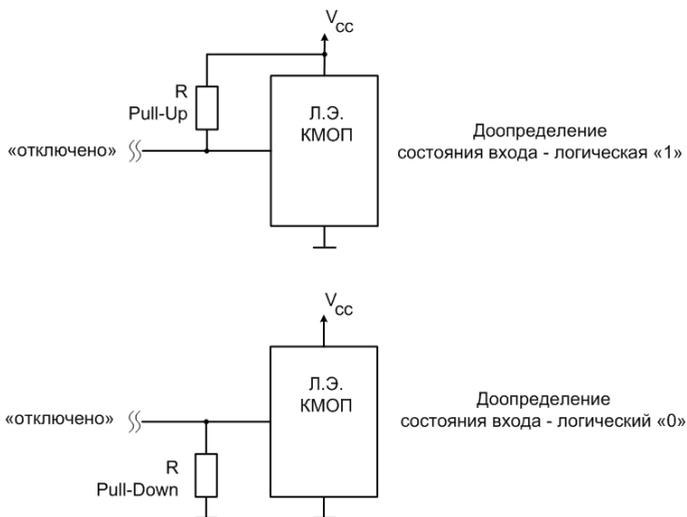


Рис. П3. Подключение «доопределяющих» резисторов.

Bus-hold – схемотехнический узел, применяется в схемотехнике серий ABT, ALVC, GTL, LV, LVT.

Bus Hold цепь «запоминает» состояние входа в предыдущий момент. Обратная связь – по слабому сигналу, на преодоление действия слабого сигнала требуется ток не более 50 мкА (обычно – единицы мкА). Благодаря такому схемному решению входы ИС КМОП при отсутствии сигнала на шине (например, все передатчики в Z-состоянии) не остаются в «подвешенном» состоянии даже при отсутствии *pull-up* или *pull-down* резисторов.

На рис. П4 изображена эквивалентная схема одного элемента, снабжённого этой цепью, а на рис. П5 – схема автофиксатора последнего состояния на входе.

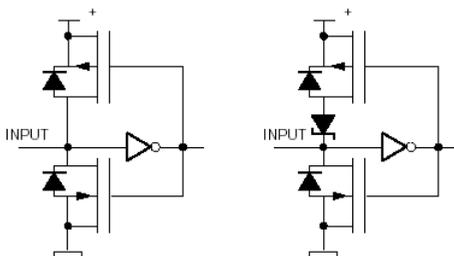


Рис. П4. Схема BUS HOLD для ИС фирмы Philips Semiconductors

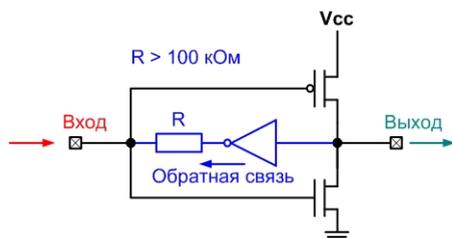


Рис. П5. Схема автофиксации последнего состояния на входе.

Live-insertion (ABT, FB+, GTL, LVC, LVT). Некоторые интерфейсные схемы (например, порт принтера, выход модема или картридж с дополнительной памятью) должны быть рассчитаны на то, чтобы сохранять работоспособность в случае, если напряжение питания включается или выключается в то время, как их выходы или входы подсоединены к другой схеме, на которую питание подаётся от другого источника.

Кроме того, должна быть предусмотрена возможность подсоединения устройств в то время, когда на них уже подано питание, к другим устройствам. Удовлетворяющие этим требованиям устройства являются *Live insertion* приборами.

Существуют разные способы достижения поставленной задачи. Например, в сериях ABT, GTL, BTL выходы имеют *Power-Up-3-State* функцию. Эти микросхемы, как правило, имеют дополнительный вывод, на который должно подаваться напряжение сме-

щения $U_{\text{смещ}} = 2,1 \text{ В}$. При снижении напряжения питания ниже отметки **2.1 В** выходы переходят в высокоимпедансное состояние (рис. П6).

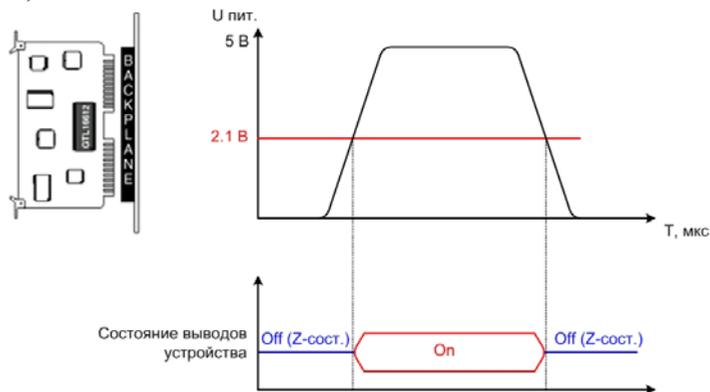


Рис. П6. Состояния выводов подключаемых устройств

Варианты корпусов микросхем **SSOP**, **TSSOP**, **TVSOP** показаны на рис. П7.

SSOP – shrink small-outline packages;

TSSOP – thin shrink small-outline packages;

TVSOP – thin very small-outline packages.

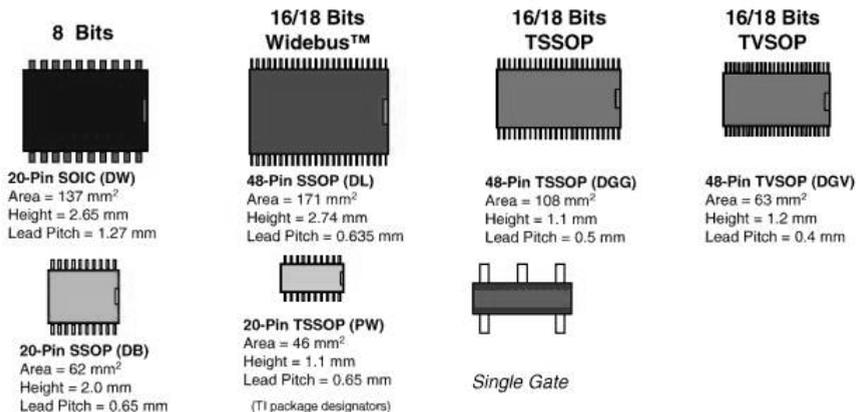


Рис. П7. Варианты корпусов микросхем.

Point-to-point communication – соединение между *одним* передатчиком и *одним* приемником.

Clamping диоды – встроенные (Internal) защитные диоды на входах ИС, предназначенные для сглаживания выбросов напряжения (на выходах также имеются подобные схемы) (рис. П8).

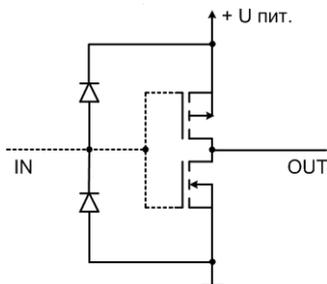


Рис. П8. Встроенные защитные (Clamping) диоды

Internal диоды – «встроенные» диоды (рис. П9), используются в ИС шинных переключателей для сопряжения ИС с различными напряжениями питания (например, в ИС с $U_{пит} = 3,3$ В для согласования с ИС, у которых $U_{пит} = 5$ В).

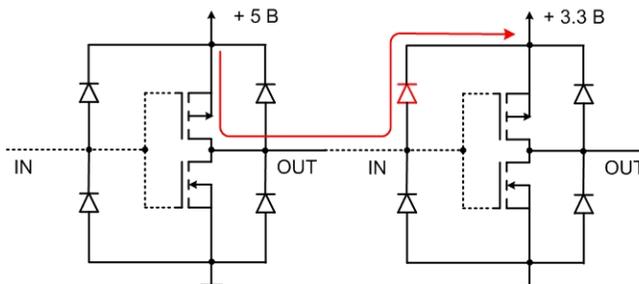
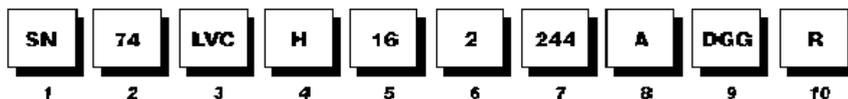


Рис. П9. Встроенные (Internal) защитные (Clamping) диоды

Примечание: схемное решение (ИС разных производителей) встроенных и защитных диодов может отличаться от примеров приведённых выше. При работе с зарубежными ИС обязательно читайте техническую документацию производителя! Утверждение, что все ИС соответствуют схемам на рис. П8 и П9 – неверно. Эти рисунки демонстрируют вариант использования диодов на кристалле ИС для защиты или для согласования.

Обозначение ИС Texas Instruments



Ниже приводится расшифровка значений полей с 1 по 10.

1. Стандартный префикс.

SNJ – Conforms to MIL-PRF-38535 (QML).

2. Температурный режим.

Возможные варианты:

54 – «Военный».

74 – «Коммерческий».

3. Серия.

Возможные варианты:

Пустое место – Transistor-Transistor Logic (TTL)

ABT – Advanced BiCMOS Technology

ABTE – Advanced BiCMOS Technology/Enhanced Transceiver

Logic

AC/ACT – Advanced CMOS Logic

AHC/AHCT – Advanced High-Speed CMOS Logic

ALB – Advanced Low-Voltage BiCMOS

ALS – Advanced Low-Power Schottky Logic

ALVC – Advanced Low-Voltage CMOS Technology

AS – Advanced Schottky Logic

BCT – BiCMOS Bus-Interface Technology

CBT – Crossbar Technology

CBTLV – Low-Voltage Crossbar Technology

F – F Logic

FB – Backplane Transceiver Logic/Futurebus+
GTL – Gunning Transceiver Logic
HC/HCT – High-Speed CMOS Logic
HSTL-High-Speed Transistor Logic
LS – Low-Power Schottky Logic
LV – Low-Voltage HCMOS Technology
LVC – Low-Voltage CMOS Technology
LVT – Low-Voltage BiCMOS Technology
S – Schottky Logic
SSTL – Stub Series-Terminated Logic

4. Специальные функции.

Возможные варианты:

Пустое место = Специальные функции отсутствуют.

D – Level-Shifting Diode (CBTD) – Сдвигающий уровень диод

H – Bus Hold (ALVCH)

R – Damping Resistor on Inputs/Outputs (LVCR) – демпфирующий резистор

S – Schottky Clamping Diode (CBTS) – Ограничивающий входной уровень напряжения диод Шоттки

5. Количество обрабатываемых бит.

Возможные варианты:

Пустое место = Gates, MSI, and Octals.

1 G – Один логический элемент

8 - Octal IEEE 1149.1 (JTAG)

16 - Widebus™ (16, 18, and 20 bit)

18 - Widebus IEEE 1149.1 (JTAG)

32 - Widebus+™ (32 and 36 bit)

6. Дополнительные опции.

Возможные варианты:

Пустое место = опции отсутствуют

2 – Series-Damping Resistor on Outputs – последовательные демпфирующие резисторы на выходах

25 – 25-Ом выход

7. Функциональное назначение.

Возможные варианты:

244 – Два 4-разрядных формирователя с тремя состояниями на выходе.

8. Версия прибора.

Пустое место = Нет версий.

A-Z – Обозначение версий.

9. Исполнение корпуса.

D, DW – Small-Outline Integrated Circuit.

(SOIC) DB, DL – Shrink Small-Outline Package.

(SSOP) DBB, DGV – Thin Very Small-Outline Package.

(TVSOP) DBC – Quarter-Size Outline Package.

(QSOP) DBV – Small-Outline Transistor Package.

(SOT) DCK – Small-Outline Package (SOP).

DGG, PW – Thin Shrink Small-Outline Package.

(TSSOP) FK – Leadless Ceramic Chip Carrier (LCCC).

FN – Plastic Leaded Chip Carrier (PLCC).

GB – Ceramic Pin Grid Array (CPGA).

HFP, HS, HT, HV – Ceramic Quad Flat Package (CQFP).

J, JT – Ceramic Dual-In-Line Package (CDIP).

N, NP, NT – Plastic Dual-In-Line Package (PDIP).

PAG, PAH, PCA, PCB, PM, PN, PZ – Plastic Thin Quad Flat Package (TQFP).

PH, PQ, RC – Plastic Quad Flat Package (QFP).

W, WA, WD – Ceramic Flat Package (CFP).

10. Нумерация.

LE – Левая рельефная (требуемая для DB и PW корпусов).

R – Стандартная (требуемая для DGG, DBB, DGV, и DBV; обязательно D, DL, and DW packages).

Список литературы

1. Шило В.Л. Популярные цифровые микросхемы: Справочник. Челябинск: Металлургия, 1988.
2. Шило В.Л. Популярные микросхемы ТТЛ: Справочник. М.: Аргус, 1993.
3. Шило В.Л. Популярные микросхемы КМОП: Справочник. М.: Горячая линия – Телеком, 2001.
4. Угрюмов Е.П. Цифровая схемотехника: Учебное пособие для вузов. СПб.: БХВ – Петербург, 2004.
5. Нефёдов А.В. Интегральные микросхемы и их зарубежные аналоги: Справочник. В 9 т. М.: ИП Радиософт, 2000.
6. Логические ИС КР1533, КР1554: Справочник. В 2 частях./ И.И. Петровский, А.В. Прибыльский, А.А. Троян, В.С. Чувелев. М.: Бинум, 1993.
7. Digital Logic. Data Book. Texas Instruments, 2003 – электронный документ.
8. Signal Switch. Data Book. Texas Instruments, 2004 – электронный документ.