

# МОДЕЛИРОВАНИЕ РАДИОЭЛЕКТРОННЫХ УСТРОЙСТВ С ПОМОЩЬЮ ПРОГРАММЫ NI MULTISIM, часть 8

**В** статье рассмотрены некоторые приемы иерархического моделирования и примеры создания иерархических блоков.

## MODELLING OF RADIO-ELECTRONIC DEVICES BY MEANS OF PROGRAM NI MULTISIM, part 8

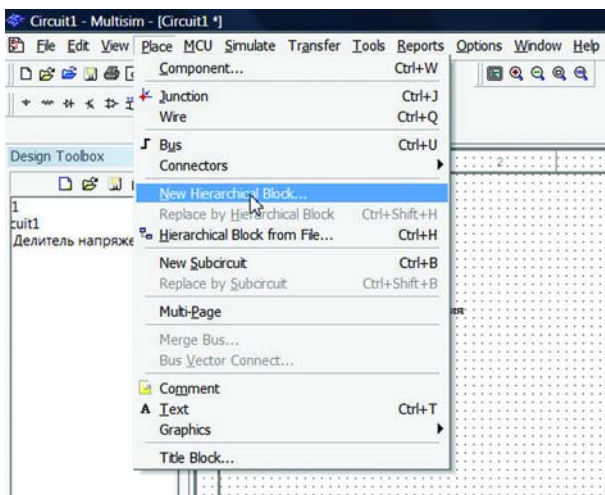
**Abstract -** In article are considered some receptions of hierarchical modelling and creation examples hierarchical blocks.



**В. Макаренко**

**V. Makarenko**

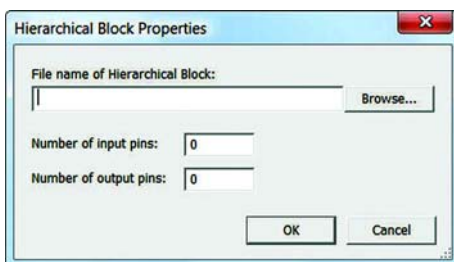
В восьмой части статьи [1] рассмотрим возможности NI Multisim по представлению схемы в виде одного блока или иерархической структуры, построенной из таких блоков. Если в схеме используется несколько одинаковых блоков, этот прием позволяет существенно сократить время на создание такой схемы и сэкономить место на листе (схема получается гораздо компактней). Если создать библиотеку иерархических блоков, можно также сократить время, затрачиваемое на разработку схем. При необходимости можно корректировать параметры иерархических блоков, изменяя номиналы элементов, но сохраняя принципиальную схему блока. Иерархический блок оформляется в виде отдельного файла, который сохраняется на диске. Выводы иерархического блока являются точками соединения блока с остальной частью схемы [2].



**Рис. 1. Выбор пункта меню "Создание нового иерархического блока"**

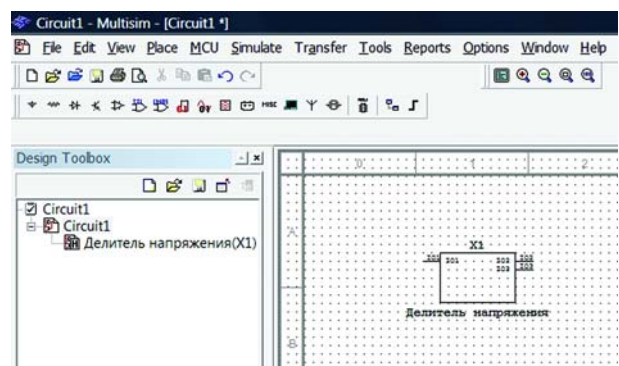
Рассмотрим пример создания простейшего иерархического блока. Для размещения блока на рабочем листе схемного редактора NI Multisim необходимо выбрать пункт меню Place/New Hierarchical Block (рис. 1).

В открывшемся окне свойств иерархического блока (рис. 2) необходимо задать название блока (File name of Hierarchical Block), число входных и выходных выводов.



**Рис. 2. Вид окна свойств иерархического блока**

На рабочий лист схемного редактора будет выведено изображение иерархического блока, а в окне Design Toolbox его значок (рис. 3). Для редактирования схемы, входящей в состав иерархического блока, или создания новой достаточно щелкнуть



**Рис. 3. Изображение иерархического блока на рабочем листе схемы и в окне Design Toolbox**

левой клавишей "мыши" на значке иерархического блока в окне Design Toolbox. Открывается новое окно, в котором выведены изображения выводов иерархического блока IO1...IO3, заданных при формировании параметров иерархического блока (рис. 4).

Выводы блока могут быть перемещены на рабочем листе с помощью "мыши". Для этого необходимо поместить курсор на изображение вывода, нажать левую клавишу "мыши" и, удерживая ее, перетащить изображение вывода в нужное место листа.

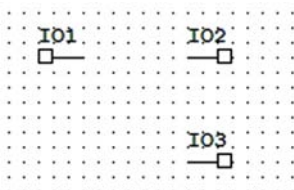


Рис. 4. Изображение выводов иерархического блока на рабочем листе

Теперь можно приступить к созданию нужной схемы. Возможно создание иерархического блока путем копирования через буфер обмена ранее созданной схемы (загрузить ее из файла в другое окно и скопировать в буфер обмена). При создании схемы или редактировании скопированной необходимо учитывать, что внутри иерархического блока **не должно быть значка общего провода**. Все точки схемы, которые нужно подключить к общему проводу, соединяют одним проводником и подсоединяют его к выводу иерархического блока. После редактирования схемы входы и выходы иерархического блока подключаются к нужным точкам схемы.

На рис. 5 показана принципиальная схема иерархического блока, содержащего фильтр нижних частот, рассмотренный в первой части статьи [1].

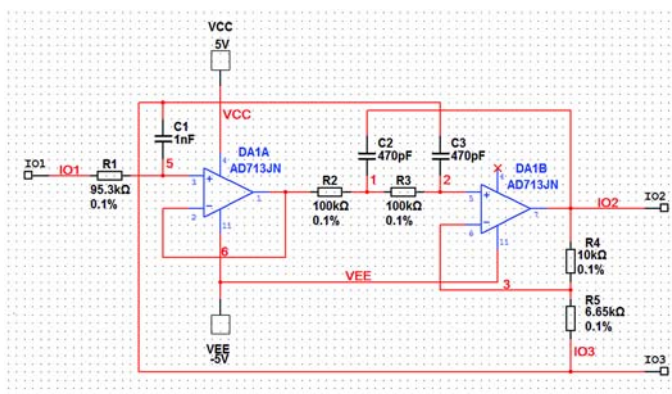


Рис. 5. Отредактированное изображение иерархического блока

Для проверки функционирования блока соберем схему, показанную на рис. 6.

Ко входу блока подключим функциональный генератор, а к его выходу – осциллограф и построитель АЧХ и ФЧХ Bode Plotter. Учитывая то, что частота среза фильтра 3.4 кГц [1], зададим входной сигнал прямоугольной формы частотой 3 кГц. Фильтр должен выделить первую гармонику из сигнала прямоугольной формы, что иллюстрирует осциллограмма на выходе иерархического блока (рис. 6). АЧХ фильтра, построенная с помощью Bode Plotter, совпадает с приведенной в [1].

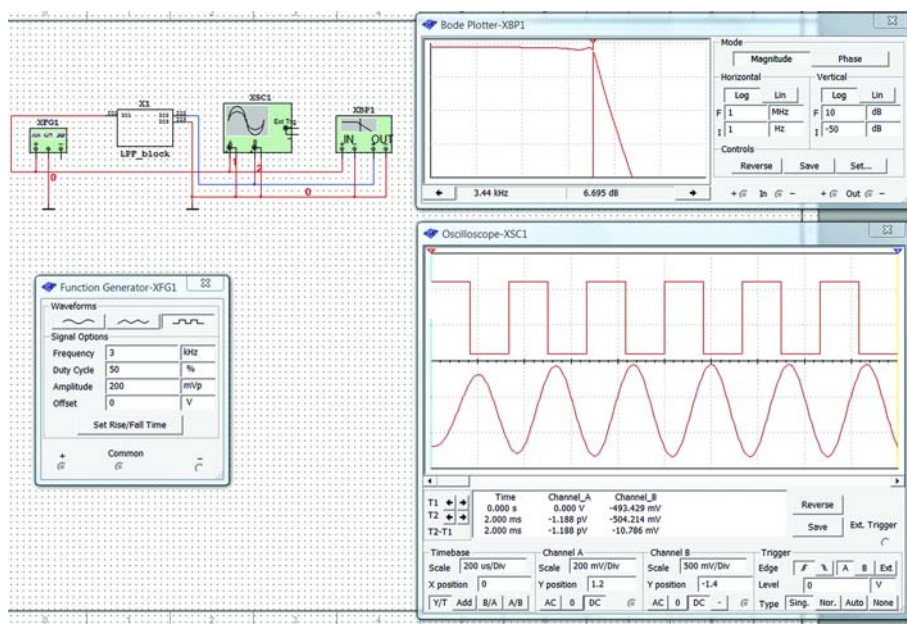
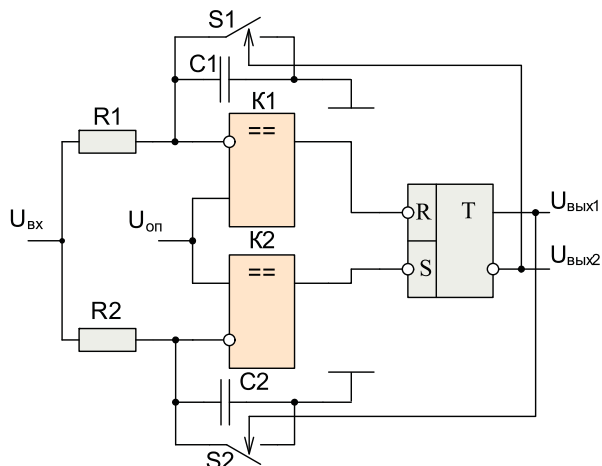
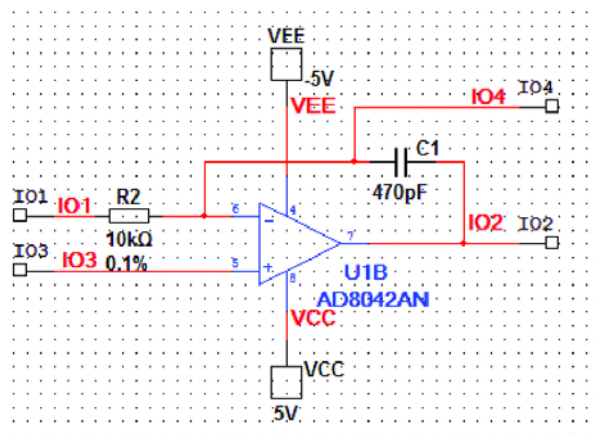


Рис. 6. Схема контроля параметров иерархического блока



**Рис. 7. Упрощенная функциональная схема ПНЧ с поочередным интегрированием**

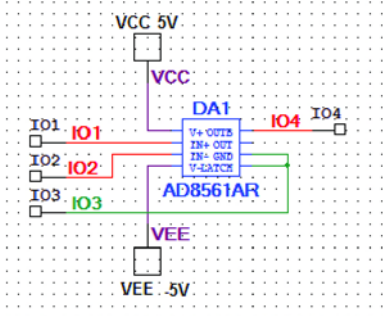


**Рис. 8. Инвертирующий интегратор на ОУ, выполненный в виде иерархического блока**

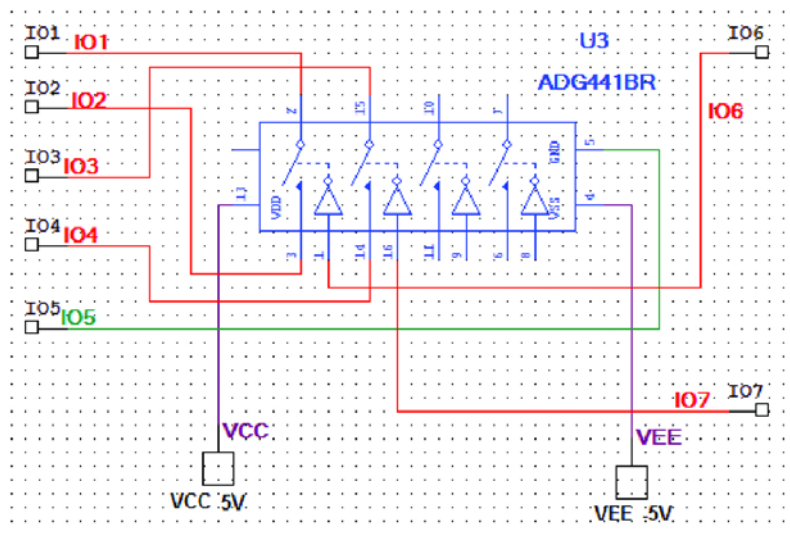
Рассмотрим создание системы из иерархических блоков на примере преобразователя напряжения в частоту (ПНЧ), построенного по схеме поочередного интегрирования. Упрощенная функциональная схема ПНЧ приведена на рис. 7. Входное напряжение подводится к двум поочередно работающим интеграторам. Конденсаторы интеграторов поочередно разряжаются через аналоговые ключи S1 и S2, которые управляются RS-триггером. Когда заряжается конденсатор C1 первого интегратора, ключ S2 замкнут и конденсатор C2 разряжен. Как только напряжение на инвертирующем входе первого компаратора K1 превысит опорное напряжение, поданное на его неинвертирующий вход, на его выходе формируется уровень логического нуля и RS-триггер переключается в ноль, в результате чего ключ S2 размыкается. На инверсном выходе триггера формируется напряжение логической единицы и ключ S1 замыкается, что приводит к разряду конденсатора C1. Начинается заряд конденсатора C2 до величины  $U_{оп}$ , после чего компаратор K2 переключается в "0", триггер устанавливается в "1" и весь процесс повторяется сначала.

Разобьем функциональную схему на узлы, выделив среди них те, которые имеют одинаковые схемы (интегратор, аналоговые ключи, компаратор), и выполним их как иерархические блоки. На рис. 8 приведена схема активного интегратора, который имеет гораздо более высокую линейность, чем пассивная RC-цепь (рис. 7).

Схемы узлов компаратора и аналоговых ключей приведены на рис. 9 и 10, соответственно. Чтобы сформировать схему всего преоб-



**Рис. 9. Компаратор, выполненный как иерархический блок**



**Рис. 10. Аналоговые ключи, выполненные как иерархический блок**

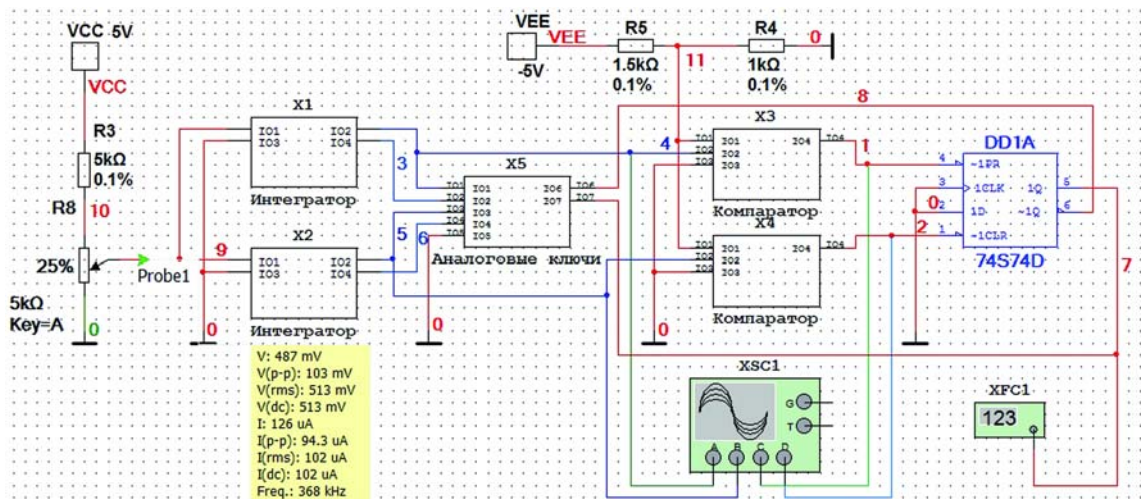


Рис. 11. Принципиальная схема ПНЧ, созданная с использованием иерархических блоков

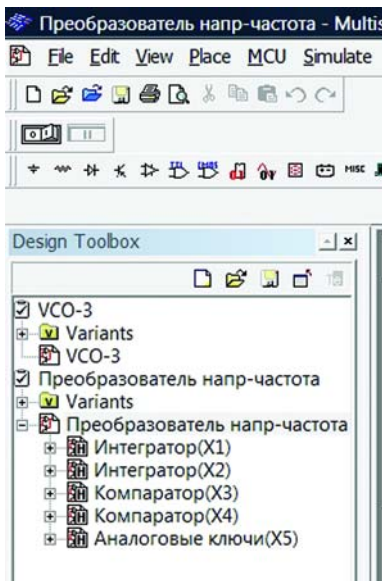


Рис. 12. Отображение иерархических блоков в окне Design Toolbox

увеличению напряжения, а нажатие комбинации клавиш Shift+A – к уменьшению напряжения.

Значение напряжения на входе ПНЧ удобно контролировать с помощью пробника (на схеме обозначен зеленой стрелочкой и надписью Probe1). В желтом прямоугольнике выводятся значения измеренных пробником величин. Сам пробник располагается на панели "Инструменты". Пробник не обязательно закреплять в какой-либо точке схемы. В процессе работы схемы можно, удерживая пробник нажатой левой клавишей "мыши", переносить его в различные точки схемы. Пробник будет показывать значения

разователя необходимо на рабочем листе схемного редактора разместить два блока интеграторов, два блока компараторов, блок аналоговых ключей, а также триггер и формирователь опорного напряжения, а затем соединить их в соответствии с функциональной схемой и подключить измерительные приборы, как показано на рис. 11. Опорное напряжение -2 В, подаваемое на неинвертирующие входы компараторов, формируется делителем R4, R5.

В окне Design Toolbox отображаются все иерархические блоки преобразователя (рис. 12). При необходимости корректировки параметров блока необходимо щелкнуть левой клавишей "мыши" на изображении блока в окне Design Toolbox и на рабочий лист будет выведена принципиальная схема этого блока. Изменения, сделанные в одном из блоков, автоматически вносятся во все блоки с таким же наименованием.

Для проверки функционирования схемы ко входу ПНЧ подключен потенциометр R8, напряжение на выходе которого можно регулировать в процессе работы. Нажатие клавиши A на клавиатуре приводит к

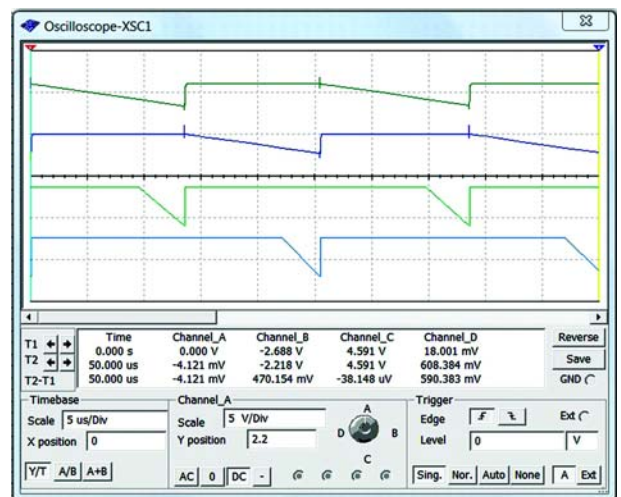


Рис. 13. Осциллограммы напряжений на выходах интеграторов и компараторов

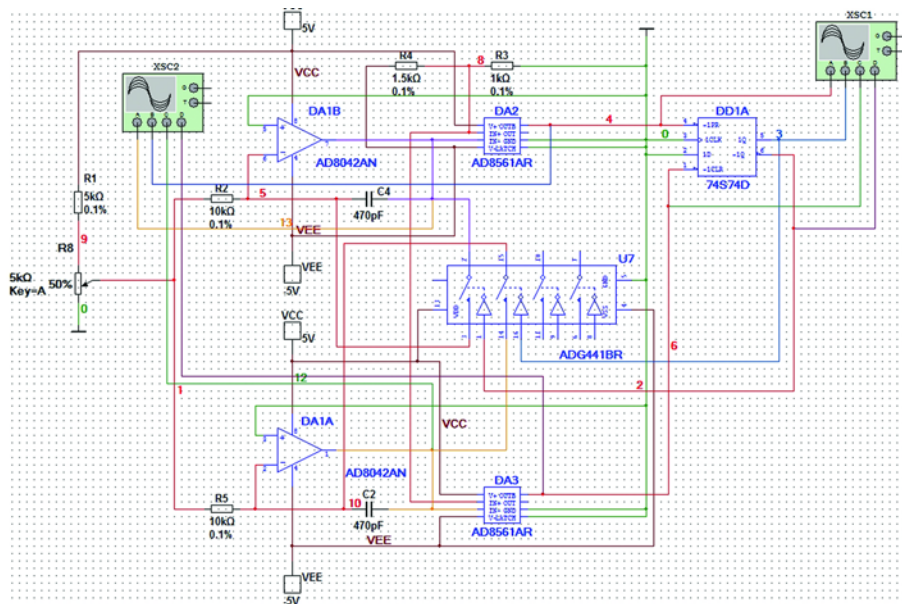


Рис. 14. Принципиальная схема ПНЧ, созданная без использования иерархических блоков

измеряемых величин в этих точках. На схеме одновременно можно располагать несколько пробников.

Для контроля формы сигнала в разных точках схемы используется четырехканальный осциллограф, а для контроля частоты – частотомер XFC1.

Осциллограммы напряжений на выходах интеграторов и компараторов приведены на рис. 13. На рис. 13 хорошо видно, что интегрирование осуществляется поочередно первым и вторым интеграторами.

Применив такой подход к построению сложных схем, можно использовать иерархические блоки, содержащие несколько вложений других иерархических блоков, что позволяет проводить отладку и контроль отдельных частей автономно, а затем – в комплексе. Для сравнения на рис. 14 приведена схема ПНЧ с поочередным интегрированием, выполненного в виде одного блока.

Сравнение рис. 11 и 14 позволяет сделать вывод о том, что, хотя схема, представленная на рис. 14, легче читается, внести в нее изменения будет сложнее, чем в схему с использованием иерархических блоков. Например, при замене компаратора на ИМС другого типа, в которой графическое изображение или число выводов отличается от имеющегося в ИМС, показанной на схеме, все линии связи, соединявшие компаратор с другими узлами, будут автоматически удалены и придется рисовать схему в этой части заново. А если в схеме используется несколько одинаковых узлов, то может оказаться, что перерисовывать придется всю схему. Кроме того, на рис. 14 больше линий связи. Пока схема небольшая, как в рассматриваемом примере, ее создание не вызывает особых трудностей. При более сложных схемах провести все необходимые линии связи будет затруднительно, хотя с использованием шин это и возможно. Однако контроль функционирования отдельных узлов схемы удобнее осуществлять поблочко (в схеме с использованием иерархических блоков).

Учитывая изложенные выше особенности построения схем с использованием иерархических блоков, можно сочетать принципы иерархического и обычного проектирования схем.

В дальнейших публикациях мы продолжим знакомство с программой электронного моделирования NI Multisim и ее возможностями.

## ЛИТЕРАТУРА

1. Макаренко В. Моделирование радиоэлектронных устройств с помощью программы NI Multisim // ЭКИС – Киев: VD MAIS, 2008, №№ 1, 2, 3, 4, 6, 7, 8.
2. Multisim User Manual.pdf.

VIII МЕЖДУНАРОДНАЯ СПЕЦИАЛИЗИРОВАННАЯ ВЫСТАВКА

# РАДИОЭЛЕКТРОНИКА И ПРИБОРОСТРОЕНИЕ



ПОД ПАТРОНАТОМ  
ТОРГОВО-ПРОМЫШЛЕННОЙ ПАЛАТЫ РФ

МЕЖДУНАРОДНЫЙ ПРОМЫШЛЕННЫЙ ФОРУМ «РАДИОЭЛЕКТРОНИКА. ПРИБОРОСТРОЕНИЕ. АВТОМАТИЗАЦИЯ»

ЭЛЕКТРОННЫЕ КОМПОНЕНТЫ

КОМПЛЕКТУЮЩИЕ

ПЕЧАТНЫЕ ПЛАТЫ

МАТЕРИАЛЫ

КОНСТРУКТИВЫ

ТЕХНОЛОГИИ

ОБОРУДОВАНИЕ

ПРИБОРЫ

## 9-12 ДЕКАБРЯ 2008

Санкт-Петербург, Петербургский СКК  
тел./факс: (812) 777 0407, 718 3537  
e-mail: [radel@orticon.com](mailto:radel@orticon.com)  
[www.farexpo.ru](http://www.farexpo.ru)

# Radel

Организаторы:



Техно&Ком

Вас приглашают:

