

Перевод с английского Ю. Андриенко (Fidonet - 2:461/44.14, E-Mail - yurik@aqua.kharkow.ua)
А. Комаров (Fidonet - 2:5006/13.31, E-Mail – ak@nvkz.kuzbass.net)

Верстка и редактирование А. Комаров
А. Труш (<http://trush.da.ru/>; <http://avr.da.ru/>)

МИКРОКОНТРОЛЛЕР

AT90S2313

ФИРМЫ ATMEL

г.Новокузнецк 2002 г.

СОДЕРЖАНИЕ

МИКРОКОНТРОЛЛЕР AT90S2313 ФИРМЫ ATMEL	4
ОПИСАНИЕ ВЫВОДОВ	4
КВАРЦЕВЫЙ ГЕНЕРАТОР	5
ОБЗОР АРХИТЕКТУРЫ AT90S2313	5
ФАЙЛ РЕГИСТРОВ ОБЩЕГО НАЗНАЧЕНИЯ	6
АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО - АЛУ.....	7
ЗАГРУЖАЕМАЯ ПАМЯТЬ ПРОГРАММ.....	7
EEPROM ПАМЯТЬ ДАННЫХ.....	7
СТАТИЧЕСКОЕ ОЗУ ДАННЫХ.....	7
ВРЕМЯ ВЫПОЛНЕНИЯ КОМАНД.....	8
ПРОСТРАНСТВО ВВОДА/ВЫВОДА.....	8
РЕГИСТР СОСТОЯНИЯ - SREG.....	10
УКАЗАТЕЛЬ СТЕКА SP.....	10
СБРОС И ОБРАБОТКА ПРЕРЫВАНИЙ.....	11
ИСТОЧНИКИ СБРОСА.....	12
СБРОС ПО ВКЛЮЧЕНИЮ ПИТАНИЯ.....	12
ВНЕШНИЙ СБРОС.....	12
СБРОС ОТ СТОРОЖЕВОГО ТАЙМЕРА.....	12
ОБРАБОТКА ПРЕРЫВАНИЙ.....	13
<i>ОБЩИЙ РЕГИСТР МАСКИ ПРЕРЫВАНИЙ - GIMSK</i>	13
<i>ОБЩИЙ РЕГИСТР ФЛАГОВ ПРЕРЫВАНИЙ - GIFR</i>	13
<i>РЕГИСТР МАСКИ ПРЕРЫВАНИЯ ОТ ТАЙМЕРОВ/СЧЕТЧИКОВ - TIMSK</i>	14
<i>ФЛАГОВЫЙ РЕГИСТР ПРЕРЫВАНИЙ ОТ ТАЙМЕРОВ/СЧЕТЧИКОВ - TIFR</i>	14
ВНЕШНИЕ ПРЕРЫВАНИЯ.....	15
ВРЕМЯ РЕАКЦИИ НА ПРЕРЫВАНИЕ.....	15
РЕГИСТР УПРАВЛЕНИЯ МИКРОКОНТРОЛЛЕРОМ – MCUCR.....	16
РЕЖИМЫ ПОНИЖЕННОГО ЭНЕРГОПОТРЕБЛЕНИЯ.....	17
<i>Режим холостого хода</i>	17
<i>Экономичный режим</i>	17
ТАЙМЕРЫ/СЧЕТЧИКИ.....	17
8-РАЗРЯДНЫЙ ТАЙМЕР/СЧЕТЧИК 0.....	17
<i>РЕГИСТР УПРАВЛЕНИЯ ТАЙМЕРОМ/СЧЕТЧИКОМ 0 - TCCR0</i>	18
<i>ТАЙМЕР/СЧЕТЧИК 0 - TCNT0</i>	18
16-РАЗРЯДНЫЙ ТАЙМЕР/СЧЕТЧИК 1.....	18
<i>РЕГИСТР А УПРАВЛЕНИЯ ТАЙМЕРОМ/СЧЕТЧИКОМ 1 - TCCR1A</i>	19
<i>РЕГИСТР В УПРАВЛЕНИЯ ТАЙМЕРОМ/СЧЕТЧИКОМ 1 - TCCR1B</i>	20
<i>ТАЙМЕР/СЧЕТЧИК 1 - TCNT1H И TCNT1L</i>	20
<i>РЕГИСТР СОВПАДЕНИЯ А ТАЙМЕРА/СЧЕТЧИКА 1 - OCR1AH И OCR1AL</i>	21

РЕГИСТР ЗАХВАТА ТАЙМЕРА/СЧЕТЧИКА 1 - ICR1H И ICR1L.....	21
ТАЙМЕР/СЧЕТЧИК В РЕЖИМЕ ШИМ	22
СТОРОЖЕВОЙ ТАЙМЕР	23
РЕГИСТР УПРАВЛЕНИЯ СТОРОЖЕВЫМ ТАЙМЕРОМ - WDTCR.....	23
ЧТЕНИЕ И ЗАПИСЬ В ЭНЕРГОНЕЗАВИСИМУЮ ПАМЯТЬ.....	24
РЕГИСТР АДРЕСА ЕЕПРОМ - EEAR.....	24
РЕГИСТР ДАННЫХ ЕЕПРОМ - EEDR	24
РЕГИСТР УПРАВЛЕНИЯ ЕЕПРОМ - EECR	24
УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПРИЕМО-ПЕРЕДАТЧИК.....	25
<i>Передача данных</i>	25
<i>Прием данных</i>	26
УПРАВЛЕНИЕ UART.....	26
РЕГИСТР ВВОДА/ВЫВОДА UART – UDR.....	26
РЕГИСТР СОСТОЯНИЯ UART (USR)	26
РЕГИСТР УПРАВЛЕНИЯ UART (UCR)	27
ГЕНЕРАТОР СКОРОСТИ ПЕРЕДАЧИ	28
РЕГИСТР СКОРОСТИ ПЕРЕДАЧИ (UBRR).....	29
АНАЛОГОВЫЙ КОМПАРАТОР.....	29
РЕГИСТР УПРАВЛЕНИЯ И СОСТОЯНИЯ АНАЛОГОВОГО КОМПАРАТОРА - ACSR	29
ПОРТЫ ВВОДА/ВЫВОДА.....	30
<i>Порт В</i>	30
РЕГИСТР ДАННЫХ ПОРТА В - PORTB.....	30
РЕГИСТР НАПРАВЛЕНИЯ ДАННЫХ ПОРТА В - DDRB	31
ВЫВОДЫ ПОРТА В - PINB.....	31
<i>Порт В, как порт ввода/вывода общего назначения</i>	31
Порт D.....	32
РЕГИСТР ДАННЫХ ПОРТА D - PORTD.....	32
РЕГИСТР НАПРАВЛЕНИЯ ДАННЫХ ПОРТА D - DDRD	32
ВЫВОДЫ ПОРТА D - PIND.....	32
<i>Порт D, как порт ввода/вывода общего назначения</i>	33
<i>Альтернативные функции порта D</i>	33
Биты блокировки памяти.....	34
Биты конфигурации (FUSE BITS)	34
Код устройства	34
МАКСИМАЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ	35
ХАРАКТЕРИСТИКИ ПО ПОСТОЯННОМУ ТОКУ	35
ПАРАМЕТРЫ ВНЕШНЕГО ТАКТОВОГО СИГНАЛА.....	36
ИНФОРМАЦИЯ ДЛЯ ЗАКАЗА	36
СПИСОК РЕГИСТРОВ AT90S2313.....	37
НАБОР КОМАНД AT90S2313	38

Микроконтроллер AT90S2313 фирмы Atmel

AT90S2313 - экономичный 8 битовый КМОП микроконтроллер, построенный с использованием расширенной RISC архитектуры AVR. Исполняя по одной команде за период тактовой частоты, AT90S2313 имеет производительность около 1MIPS на МГц, что позволяет разработчикам создавать системы оптимальные по скорости и потребляемой мощности.

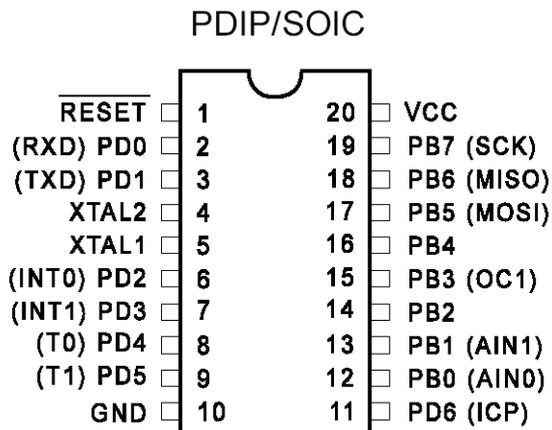
В основе ядра AVR лежит расширенная RISC архитектура, объединяющая развитый набор команд и 32 регистра общего назначения. Все 32 регистра непосредственно подключены к арифметико-логическому устройству (АЛУ), что дает доступ к любым двум регистрам за один машинный цикл. Подобная архитектура обеспечивает десятикратный выигрыш в эффективности кода по сравнению с традиционными CISC микроконтроллерами.

AT90S2313 предлагает следующие возможности: 2кБ загружаемой флэш памяти; 128 байт EEPROM; 15 линий ввода/вывода общего назначения; 32 рабочих регистра; настраиваемые таймеры/счетчики с режимом совпадения; внешние и внутренние прерывания; программируемый универсальный последовательный порт; программируемый сторожевой таймер со встроенным генератором; SPI последовательный порт для загрузки программ; два выбираемых программно режима низкого энергопотребления. Холостой режим (Idle Mode) отключает ЦПУ, оставляя в рабочем состоянии регистры, таймеры/счетчики, SPI порт и систему прерываний. Экономичный режим (Power Down Mode) сохраняет содержимое регистров, но отключает генератор, запрещая функционирование всех встроенных устройств до внешнего прерывания или аппаратного сброса.

Микросхемы производятся с использованием технологии энергонезависимой памяти высокой плотности фирмы Atmel. Загружаемая флэш память на кристалле может быть перепрограммирована прямо в системе через последовательный интерфейс SPI или доступным программатором энергонезависимой памяти. Объединяя на одном кристалле усовершенствованный 8-битовый RISC процессор с загружаемой флэш памятью, AT90S2313 является мощным микроконтроллером, который позволяет создавать достаточно гибкие и эффективные по стоимости устройства.

AT90S2313 поддерживается полной системой разработки включающей в себя макроассемблер, программный отладчик/симулятор, внутрисхемный эмулятор и отладочный комплект.

ОПИСАНИЕ ВЫВОДОВ



VCC - вывод источника питания

GND - земля

Port B (PB7..PB0) - Порт В является 8-битовым двунаправленным портом ввода/вывода. Для выводов порта предусмотрены внутренние подтягивающие резисторы (выбираются для каждого бита). Выводы PB0 и PB1 также являются положительным (AIN0) и отрицательным (AIN1) входами встроенного аналогового компаратора. Выходные буферы порта В могут поглощать ток до 20мА и непосредственно управлять светодиодными индикаторами. Если выводы PB0..PB7 используются как входы и извне устанавливаются в низкое состояние, они являются источниками тока, если включены

внутренние подтягивающие резисторы. Кроме того, Порт В обслуживает некоторые специальные функции, которые будут описаны ниже.

Port D (PD6..PD0) - Порт D является 7-битовым двунаправленным портом с внутренними подтягивающими резисторами. Выходные буферы порта D могут поглощать ток до 20мА. Как входы установленные в низкое состояние, выводы порта D являются источниками тока, если задействованы подтягивающие резисторы. Кроме того, Порт D обслуживает некоторые специальные функции, которые будут описаны ниже.

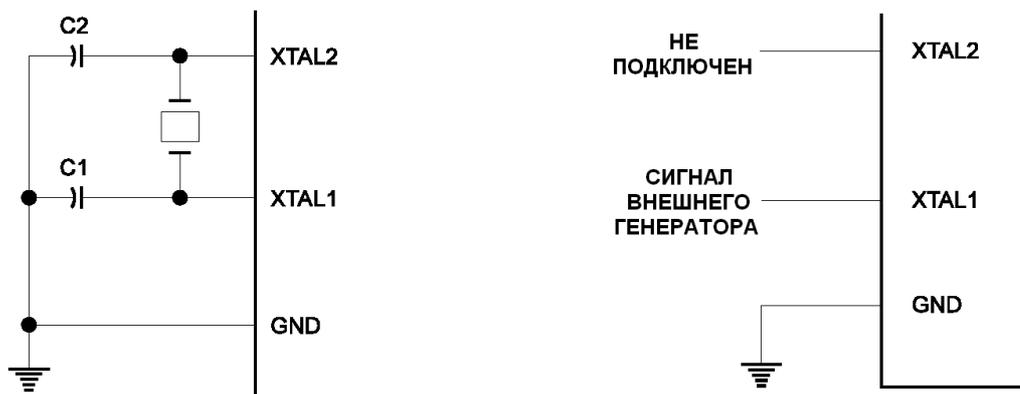
RESET - Вход сброса. При удержании на входе низкого уровня в течение двух машинных циклов (если генератор работает), сбрасывает устройство.

XTAL1 - вход инвертирующего усилителя генератора и вход внешнего тактового сигнала.

XTAL2 - Выход инвертирующего усилителя генератора.

КВАРЦЕВЫЙ ГЕНЕРАТОР

XTAL1 и XTAL2 являются входом и выходом инвертирующего усилителя, который можно использовать для генератора тактовых импульсов. Можно использовать как кварцевые, так и керамические резонаторы. При подключении внешнего тактового сигнала вывод XTAL2 остается неподключенным, а XTAL1 подключается к выходу внешнего генератора.



Обзор архитектуры AT90S2313

Регистровый файл быстрого доступа содержит 32 8-разрядных регистра общего назначения, доступ к которым осуществляется за один машинный цикл. Поэтому за один машинный цикл выполняется одна операция АЛУ. Два операнда выбираются из регистрового файла, выполняется операция, результат ее записывается в регистровый файл - все за один машинный цикл.

Шесть из 32 регистров можно использовать как три 16-разрядных указателя в адресном пространстве данных, что дает возможность использовать высокоэффективную адресную арифметику (16-разрядные регистры X, Y и Z). Один из трех адресных указателей (регистр Z) можно использовать для адресации таблиц в памяти программ. Это X-, Y- и Z-регистры.

АЛУ поддерживает арифметические и логические операции с регистрами, с константами и регистрами. Операции над отдельными регистрами также выполняются в АЛУ.

Кроме регистровых операций, для работы с регистровым файлом могут использоваться доступные режимы адресации, поскольку регистровый файл занимает адреса \$00-\$1F в области данных, обращаться к ним можно как к ячейкам памяти.

Пространство ввода состоит из 64 адресов для периферийных функций процессора, таких как управляющие регистры, таймеры/счетчики и другие. Доступ к пространству ввода/вывода может

осуществляться непосредственно, как к ячейкам памяти расположенным после регистрового файла (\$20-\$5F).

Процессоры AVR построены по гарвардской архитектуре с отдельными областями памяти программ и данных. Доступ к памяти программ осуществляется при помощи одноуровневого буфера. Во время выполнения команды, следующая выбирается из памяти программ. Подобная концепция дает возможность выполнять по одной команде за каждый машинный цикл. Память программ - это внутрисистемная загружаемая флэш-память.

При помощи команд относительных переходов и вызова подпрограмм осуществляется доступ ко всему адресному пространству. Большая часть команд AVR имеет размер 16-разрядов, одно слово. Каждый адрес в памяти программ содержит одну 16- или 32-разрядную команду.

При обработке прерываний и вызове подпрограмм адрес возврата запоминается в стеке. Стек размещается в памяти данных общего назначения, соответственно размер стека ограничен только размером доступной памяти данных и ее использованием в программе. Все программы пользователя должны инициализировать указатель стека (SP) в программе, выполняемой после сброса (до того как вызываются подпрограммы и разрешаются прерывания). 8-разрядный указатель стека доступен для чтения/записи в области ввода/вывода.

Доступ к 128 байтам статического ОЗУ, регистровому файлу и регистрам ввода/вывода осуществляется при помощи пяти доступных режимов адресации поддерживаемых архитектурой AVR.

Все пространство памяти AVR является линейным и непрерывным.

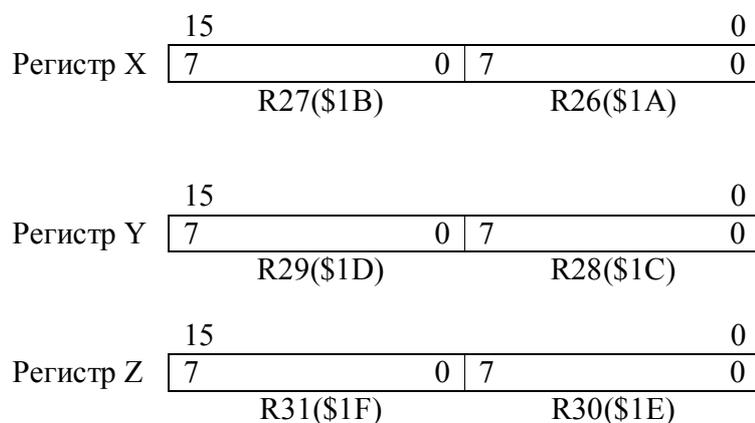
Гибкий модуль прерываний имеет собственный управляющий регистр в пространстве ввода/вывода, и флаг глобального разрешения прерываний в регистре состояния. Каждому прерыванию назначен свой вектор в начальной области памяти программ. Различные прерывания имеют приоритет в соответствии с расположением их векторов. По младшим адресам расположены векторы с большим приоритетом.

Файл регистров общего назначения

Все команды оперирующие регистрами прямо адресуются к любому из регистров за один машинный цикл. Единственное исключение - пять команд оперирующих с константами SBCI, SUBI, CPI, ANDI, ORI и команда LDI, загружающая регистр константой. Эти команды работают только со второй половиной регистрового файла - R16..R31. Команды SBC, SUB, CP, AND и OR, также как и все остальные, применимы ко всему регистровому файлу.

Каждому регистру присвоен адрес в пространстве данных, они отображаются на первые 32 ячейки ОЗУ. Хотя регистровый файл физически размещен вне ОЗУ, подобная организация памяти дает гибкий доступ к регистрам. Регистры X, Y и Z могут использоваться для индексации любого регистра.

Кроме обычных функций, регистры R26..R31 имеют дополнительные функции, эти регистры можно использовать как адресные указатели в области памяти данных. Эти регистры обозначаются как X,Y,Z и определены следующим образом:



При различных режимах адресации эти регистры могут использоваться как фиксированный адрес, для адресации с автоинкрементом или с авто декрементом.

Арифметико-логическое устройство - АЛУ

АЛУ процессора непосредственно подключено к 32 регистрам общего назначения. За один машинный цикл АЛУ производит операции между регистрами регистрового файла. Команды АЛУ разделены на три основных категории - арифметические, логические и битовые. Некоторые микроконтроллеры семейства AVR имеют аппаратный умножитель в арифметической части АЛУ.

Загружаемая память программ.

AT90S2313 содержит 2кБ загружаемой флэш памяти для хранения программ. Поскольку все команды занимают одно 16-разрядное слово, флэш память организована как 1К 16-разрядных слов. Флэш-память выдерживает не менее 1000 циклов перезаписи.

Программный счетчик имеет ширину 10 бит и таким образом адресуется к 1024 словам программной флэш-памяти.

Подробно загрузка флэш памяти будет рассмотрена дальше.

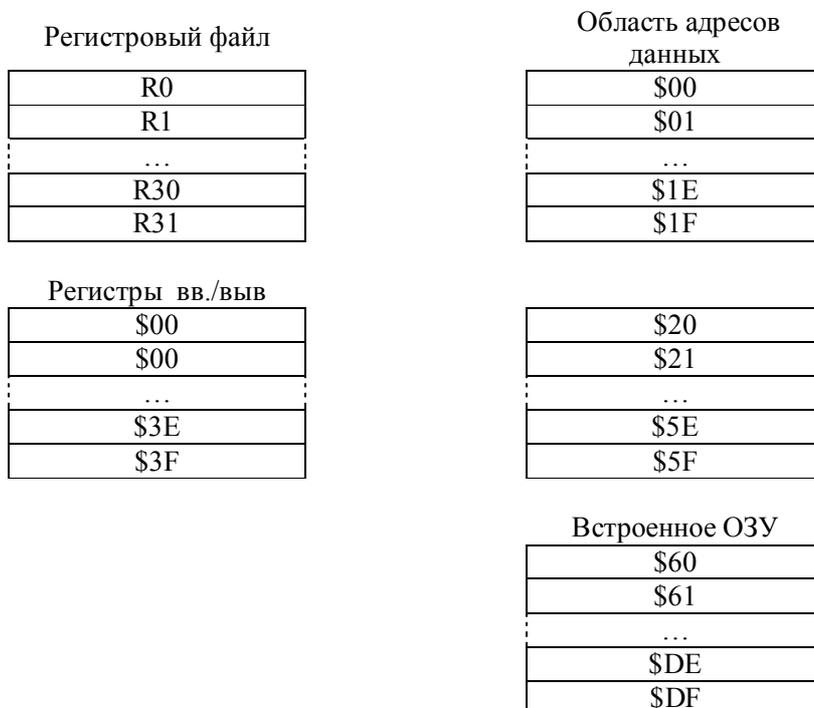
Таблицы констант могут располагаться в диапазоне адресов 0-2К. (см. описание команды LPM).

EEPROM память данных

AT90S2313 содержит 128 байт электрически стираемой энергонезависимой памяти (EEPROM). EEPROM организована как отдельная область данных, каждый байт которой может быть прочитан и перезаписан. EEPROM выдерживает не менее 100000 циклов записи/стирания. Доступ к энергонезависимой памяти данных рассмотрен дальше и задается регистром адреса, регистром данных и управляющим регистром. Ниже рассмотрено и программирование памяти данных через SPI интерфейс.

Статическое ОЗУ данных

На следующем рисунке показана организация памяти данных в AT90S2313:



224 ячейки памяти включают в себя регистровый файл, память ввода/вывода и статическое ОЗУ данных. Первые 96 адресов используются для регистрового файла и памяти ввода/вывода, следующие 128 - для ОЗУ данных.

При обращении к памяти используются пять различных режимов адресации: прямой, непосредственный со смещением, непосредственный, непосредственный с предварительным декрементом и непосредственный с постинкрементом. Регистры R26..R31 регистрового файла используются как указатели для непосредственной адресации.

Прямая адресация имеет доступ ко всей памяти данных.

Непосредственная адресация со смещением используется для доступа к 63 ячейкам базовый адрес которых задается содержимым регистров Y или Z.

Для непосредственной адресации с инкрементом и декрементом адреса используются адресные регистры X, Y и Z.

При помощи любого из этих режимов производится доступ ко всем 32 регистрам общего назначения, 64 регистрам ввода/вывода и 128 ячейкам ОЗУ.

Время выполнения команд.

ЦПУ процессора AVR управляется системной частотой генерируемой внешним резонатором. Внутреннее деление частоты генератора не используется.

В процессоре организован буфер (pipeline) команд, при выборе команды из памяти программ происходит выполнение предыдущей команды. Подобная концепция позволяет достичь быстродействия 1 MIPS на МГц, уникальных показателей стоимости, быстродействия и потребления процессора.

Пространство ввода/вывода

Ниже приведено описание пространства ввода/вывода для процессоров AT90S2313.

Все устройства ввода/вывода и периферийные устройства AT90S2313 располагаются в пространстве ввода/вывода. Различные ячейки этого пространства доступны через команды IN и OUT, пересылающие данные между одним из 32-х регистров общего назначения и пространством ввода/вывода. К регистрам \$00..\$1F можно осуществлять побитовый доступ командами SBI и CBI. Значение отдельного бита этих регистров можно проверить командами SBIC и SBIS. Дополнительную информацию по этому вопросу можно найти в описании системы команд.

При использовании специальных команд IN, OUT, SBIS и SBIC, должны использоваться адреса \$00..\$3F. При доступе к регистру ввода/вывода как к ячейке ОЗУ, к его адресу необходимо добавить \$20. В приведенной выше таблице адреса регистров в памяти данных приведены в скобках.

Таблица 1. Пространство ввода/вывода AT90S2313.

\$3F(\$5F)	SREG	Status REGister	Регистр Состояния
\$3D(\$5D)	SPL	Stack pointer low	Указатель стека, мл. байт
\$3B(\$5B)	GIMSK	General Interrupt MaSK register	Общий регистр маски прерываний
\$3A(\$5A)	GIFR	General Interrupt Flag register	Общий регистр флагов прерываний
\$39(\$59)	TIMSK	Timer/counter Interrupt mask register	Регистр маски прерываний от таймера/счетчика
\$38(\$58)	TIFR	Timer/counter Interrupt Flag register	Регистр флага прерывания таймера/счетчика
\$35(\$55)	MCUCR	MCU general Control Register	Общий регистр управления микроконтроллером
\$33(\$53)	TCCR0	Timer/Counter 0 Control Register	Регистр управления таймером счетчиком 0
\$32(\$52)	TCNT0	Timer/Counter 0 (8-бит)	Таймер/счетчик 0 (8 бит)
\$2F(\$4F)	TCCR1A	Timer/Counter 1 Control Register A	Регистр А управления таймером счетчиком 1

\$2E(\$4E)	TCCR1B	Timer/Counter 1 Control Register B	Регистр В управления таймером счетчиком 1
\$2D(\$4D)	TCNT1H	Timer/Counter 1 High byte	Таймер/счетчик 1 старший байт
\$2C(\$4C)	TCNT1L	Timer/Counter 1 Low byte	Таймер/счетчик 1 младший байт
\$2B(\$4B)	OCR1H	Output Compare Register 1 high byte	Выход регистра совпадения 1 старший байт
\$2A(\$4A)	OCR1L	Output Compare Register 1 low byte	Выход регистра совпадения 1 младший байт
\$25(\$45)	ICR1H	T/C 1 Input Capture Register High Byte	Регистр захвата T\C 1 старший байт
\$24(\$44)	ICR1L	T/C 1 Input Capture Register Low Byte	Регистр захвата T\C 1 младший байт
\$21(\$41)	WDTCSR	Watchdog Timer Control Register	Регистр управления сторожевым таймером
\$1E(\$3E)	EEAR	EEPROM Address Register	Регистр адреса энергонезависимой памяти
\$1D(\$3D)	EEDR	EEPROM Data Register	Регистр данных энергонезависимой памяти
\$1C(\$3C)	EECR	EEPROM Control Register	Регистр управления энергонезависимой памятью
\$18(\$38)	PORTB	Data Register, Port B	Регистр данных порта В
\$17(\$37)	DDRB	Data Direction Register Port B	Регистр направления данных порта В
\$16(\$36)	PINB	Input pins, Port B	Выводы порта В
\$12(\$32)	PORTD	Data Register, Port D	Регистр данных порта D
\$11(\$31)	DDRD	Data Direction Register Port D	Регистр направления данных порта D
\$10(\$30)	PIND	Input pins, Port D	Выводы порта D
\$0C(\$2C)	UDR	UART Data Register	Регистр данных последовательного порта
\$0B(\$2B)	USR	UART Status Register	Регистр состояния последовательного порта
\$0A(\$2A)	UCR	UART Control Register	Регистр управления последовательного порта
\$09(\$29)	UBRR	UART Baud Rate Register	Регистр скорости последовательного порта
\$08(\$28)	ACSR	Analog Comparator Control and Status Register	Регистр управления и состояния аналогового компаратора

Примечание: зарезервированные и неиспользуемые ячейки не показаны.

Регистр состояния - SREG

Регистр состояния расположен по адресу \$3F(\$5F) пространства ввода/вывода и определен следующим образом:

Бит	7	6	5	4	3	2	1	0	
\$3F(\$5F)	I	T	H	S	V	N	Z	C	SREG
Чт./зап. (R/W)	R/W								
Начальн. знач.	0	0	0	0	0	0	0	0	

Бит 7 - **I**: Общее разрешение прерываний. Для разрешения прерываний этот бит должен быть установлен в единицу. Управление отдельными прерываниями производится регистром маски прерываний - GIMSK/TIMSK. Если флаг сброшен (0), независимо от состояния GIMSK/TIMSK, прерывания не разрешены. Бит I очищается аппаратно после входа в прерывание и восстанавливается командой RETI, для разрешения обработки следующих прерываний.

Бит 6 - **T**: Хранение копируемого бита. Команды копирования битов BLD (Bit Load) и BST (Bit Store) используют этот бит как источник и приемник обрабатываемого бита. Бит из регистра регистрового файла может быть скопирован в T командой BST, бит T может быть скопирован в бит регистрового файла командой BLD.

Бит 5 - **H**: Флаг половинного переноса. Этот флаг индицирует перенос из младшей половины байта при некоторых арифметических операциях. Более подробно об этом можно прочитать в описании системы команд.

Бит 4 - **S**: бит знака, $S = N \text{ XOR } V$. Бит S всегда равен исключаящему ИЛИ между флагами N (отрицательный результат) и V (переполнение дополнения до двух). Более подробно об этом можно прочитать в описании системы команд.

Бит 3 - **V**: Флаг переполнения дополнения до двух. Этот флаг поддерживает арифметику с дополнением до двух. Более подробно об этом можно прочитать в описании системы команд.

Бит 2 - **N**: Флаг отрицательного результата. Этот флаг индицирует отрицательный результат различных арифметических и логических операций. Более подробно об этом можно прочитать в описании системы команд.

Бит 1 - **Z**: Флаг нулевого результата. Этот флаг индицирует нулевой результат различных арифметических и логических операций. Более подробно об этом можно прочитать в описании системы команд.

Бит 0 - **C**: Флаг переноса. Этот флаг индицирует перенос в арифметических и логических операциях. Более подробно об этом можно прочитать в описании системы команд.

Указатель стека SP

Этот 8-разрядный регистр с адресом \$3D (\$5D) хранит указатель стека процессора AT90S2313. 8-ми разрядов достаточно, для адресации ОЗУ в пределах \$60-\$DF.

Бит	7	6	5	4	3	2	1	0	
\$3D(\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Чт./зап. (R/W)	R/W								
Начальн. знач.	0	0	0	0	0	0	0	0	

Указатель стека указывает на область памяти в которой расположен стек вызова подпрограмм и прерываний. Область стека в ОЗУ должна быть задана до того как произойдет любой вызов подпрограммы или будут разрешены прерывания. Указатель стека уменьшается на 1 при записи данных в стек командой PUSH и уменьшается на 2 при вызове подпрограммы командой CALL или обработке прерывания. Указатель стека увеличивается на 1 при выборе данных из стека командой POP и увеличивается на 2 при выполнении команд возврата из подпрограммы или обработчика прерывания (RET или RETI).

Сброс и обработка прерываний.

В AT90S2313 предусмотрены 10 источников прерываний. Эти прерывания и сброс имеют различные векторы в области памяти программ. Каждому из прерываний присвоен отдельный бит разрешающий данное прерывание при установке бита в 1, если бит I регистра состояния разрешает общее обслуживание прерываний.

Самые младшие адреса памяти программ определены как векторы сброса и прерываний. Полный список векторов прерываний приведен в таблице 2. Этот список определяет и приоритет различных прерываний. Меньшие адреса соответствуют более высокому уровню приоритета. Самый высокий уровень у сброса, следующий приоритет у INT0 - внешнего запроса прерывания 0 и т.д.

Таблица 2. Сброс и векторы прерываний.

Номер вектора	Адрес	Источник	Описание прерывания
1	\$000	RESET	Вывод сброса и сброс от сторожевого таймера
2	\$001	INT0	Внешнее прерывание 0
3	\$002	INT1	Внешнее прерывание 1
4	\$003	TIMER1 CAPT1	Захват таймера/счетчика 1
5	\$004	TIMER1 COMP1	Совпадение таймера/счетчика 1
6	\$005	TIMER1 OVF1	Переполнение таймера/счетчика 1
7	\$006	TIMER0,OVF0	Переполнение таймера/счетчика 0
8	\$007	UART RX	Последовательный порт: прием закончен
9	\$008	UART UDRE	Последовательный порт: регистр данных пуст
10	\$009	UART TX	Последовательный порт: передача закончена
11	\$00A	ANA_COMP	Аналоговый компаратор

Чаще всего используется следующая установка векторов прерываний в программе:

Адрес	Метка	Код	Комментарий
\$000		rjmp RESET	; Обработка сброса
\$001		rjmp EXT_INT0	; Обработка IRQ0
\$002		rjmp EXT_INT1	; Обработка IRQ1
\$003		rjmp TIM_CAPT1	; Обработка захвата таймера 1
\$004		rjmp TIM_COMP1	; Обработка совпадения таймера 1
\$005		rjmp TIM_OVF1	; Обработка переполнения таймера 1
\$006		rjmp TIM_OVF0	; Обработка переполнения таймера 0
\$007		rjmp UART_RXC	; Обработка приема байта
\$008		rjmp UART_DRE	; Обработка освобождения UDR
\$009		rjmp UART_TXC	; Обработка передачи байта
\$00A		rjmp ANA_COMP	; Обработка аналогового компаратора
\$00B	MAIN:	<instr> xxx	; Начало основной программы

ИСТОЧНИКИ СБРОСА

AT90S2313 имеет три источника сброса.

* Сброс по включению питания. Процессор сбрасывается при подаче питания на выводы VCC и GND.

* Внешний сброс. Процессор сбрасывается при подаче низкого уровня на вывод RESET на время более двух периодов тактовой частоты.

* Сброс от сторожевого таймера. Процессор сбрасывается по окончании времени сторожевого таймера, если разрешена его работа.

Во время сброса все регистры ввода/вывода устанавливаются в начальные значения, программа начинает выполняться с адреса \$000, по этому адресу должна быть записана команда RJMP - относительный переход на программу обработки сброса. Если в программе не разрешаются прерывания и векторы прерываний не используются, в первых адресах памяти может быть записана программа.

СБРОС ПО ВКЛЮЧЕНИЮ ПИТАНИЯ

Цепь сброса по включению питания обеспечивает запрет включения процессора до тех пор, пока напряжение питания не достигнет безопасного уровня. После того, как напряжение питания достигнет уровня включения, процессор не включается до тех пор, пока встроенный таймер не обработает несколько рабочих периодов сторожевого таймера. Общее время сброса состоит из суммы времени Т_{тр} и времени Т_{от} (см. таблицу ниже).

Таблица 3. Характеристики сброса (V_{cc}=5.0 В).

		Min	Typ	Max	
V _{пр}	Напряжение срабатывания сброса по включению питания	1.8	2	2.2	В
V _{rst}	Напряжение срабатывания сброса по выводу RESET		V _{CC} /2		В
Т _{тр}	Сигнал сброса по включению питания	2	3	4	мс
Т _{тот}	Задержка на обработку сброса (FSTRT не запрограммирован)	11	16	21	мс
Т _{тот}	Задержка на обработку сброса (FSTRT запрограммирован)	1.0	1.1	1.2	мс

Если к процессору подключен керамический резонатор или другой, обеспечивающий быстрое включение, для уменьшения времени сброса можно запрограммировать бит-перемычку FSTRT.

Поскольку к выводу RESET подключен подтягивающий резистор, этот вывод может оставаться неподключенным, если не требуется внешний сброс. Подключение вывода RESET к напряжению питания дает тот же эффект. Время включения после подачи питания может быть увеличено удержанием вывода сброса на низком уровне.

ВНЕШНИЙ СБРОС

Внешнее прерывание генерируется низким уровнем на выводе RESET. Вывод должен удерживаться в низком состоянии, по крайней мере, на два периода тактовой частоты. После того как напряжение на выводе RESET достигнет значения V_{rst}, внутренний таймер запустит процессор после обработки времени Т_{тот}.

СБРОС ОТ СТОРОЖЕВОГО ТАЙМЕРА

После обработки сторожевого таймера, генерируется короткий импульс сброса длительностью в один период тактовой частоты. По окончании этого импульса внутренний таймер начинает отсчитывать время Т_{тот}. Подробно работа сторожевого таймера будет рассмотрена дальше.

ОБРАБОТКА ПЕРЕРЫВАНИЙ

AT90S2313 имеет два регистра маски прерываний GIMSK - общий регистр маски прерываний, расположенный по адресу \$3B(\$5B) и TIMSK - регистр маски прерываний от таймера/счетчика - по адресу \$39(\$59).

Когда возникает прерывание, общий бит разрешения прерываний I очищается (ноль) и прерывания запрещаются. Программа пользователя может установить этот бит для разрешения прерываний. Флаг разрешения прерываний I устанавливается в 1 при выполнении команды выхода из прерывания - RETI.

Для прерываний включаемых статическими событиями (т.е. переключаемыми уровнем) (например совпадение значения счетчика/таймера I с регистром совпадения) флаг прерывания взводится, когда происходит событие. Если флаг прерывания очищен и присутствует условие возникновения прерывания, флаг не будет установлен, пока не произойдет следующее событие.

Когда программный счетчик устанавливается на текущий вектор прерывания для обработки прерывания, соответствующий флаг, сгенерированный прерыванием, аппаратно сбрасывается. Некоторые флаги прерывания могут быть сброшены записью логической единицы в бит соответствующий флагу.

ОБЩИЙ РЕГИСТР МАСКИ ПЕРЕРЫВАНИЙ - GIMSK

Бит	7	6	5	4	3	2	1	0	
\$3B(\$5B)	INT1	INT0	-	-	-	-	-	-	GIMSK
Чт./зап. (R/W)	R/W	R/W	R	R	R	R	R	R	
Начальн. знач.	0	0	0	0	0	0	0	0	

Бит 7 - Запрос внешнего прерывания 1 разрешен. Когда этот бит установлен, а также установлен бит I регистра состояния, разрешается прерывание от внешнего вывода. Биты управления запуском прерывания (ISC11 и ISC10) в регистре управления микроконтроллером (MCUCR) определяют по какому событию обрабатывается прерывание - по спадающему или нарастающему фронту или же по уровню. При возникновении прерывания выполняется программа, начинающаяся с адреса \$002 в памяти программ. (см. также "Внешние прерывания").

Бит 6 - INT0: Запрос внешнего прерывания 0 разрешен. Когда этот бит установлен, а также установлен бит I регистра состояния, разрешается прерывание от внешнего вывода. Биты управления запуском прерывания (ISC01 и ISC00) в регистре управления микроконтроллером (MCUCR) определяют по какому событию обрабатывается прерывание - по спадающему или нарастающему фронту или же по уровню. Если вывод INT0 используется для работы с внешним источником прерывания, бит DDD2 в регистре направления данных порта D (DDRD), должен быть сброшен в 0, чтобы вывод INT0 работал как вход. При возникновении прерывания выполняется программа, начинающаяся с адреса \$001 в памяти программ. (см. также "Внешние прерывания").

Биты 5..0 - зарезервированы. В AT90S2313 эти биты зарезервированы и всегда читаются как 0.

ОБЩИЙ РЕГИСТР ФЛАГОВ ПЕРЕРЫВАНИЙ - GIFR

Бит	7	6	5	4	3	2	1	0	
\$3A(\$5A)	INTF1	INTF0	-	-	-	-	-	-	GIFR
Чт./зап. (R/W)	R/W	R/W	R	R	R	R	R	R	
Начальн. знач.	0	0	0	0	0	0	0	0	

Бит 7 - INTF1: Флаг внешнего прерывания 1: При возникновении на выводе INT1 события, вызывающего прерывание, INTF1 устанавливается в "1". Если установлены бит I регистра SREG и бит INT1 в GIMSK, происходит переход на вектор прерывания по адресу \$002. Флаг очищается после выполнения обработчика прерывания. Кроме того, флаг можно очистить, записав в него логическую единицу.

Бит 6 - INTF0: Флаг внешнего прерывания 0: При возникновении на выводе INT0 события вызывающего прерывание, INTF0 устанавливается в "1". Если установлены бит I регистра SREG и бит INT0 в GIMSK, происходит переход на вектор прерывания по адресу \$001. Флаг очищается после выполнения обработчика прерывания. Кроме того, флаг можно очистить, записав в него логическую единицу.

Биты 5..0 - зарезервированы. В AT90S2313 эти биты зарезервированы и всегда читаются как 0.

РЕГИСТР МАСКИ ПРЕРЫВАНИЯ ОТ ТАЙМЕРОВ/СЧЕТЧИКОВ - TIMSK

Бит	7	6	5	4	3	2	1	0	
\$39(\$59)	TOIE1	OCIE1A	-	-	TICIE1	-	TOIE0	-	TIMSK
Чт./зап. (R/W)	R/W	R/W	R	R	R/W	R	R/W	R	
Начальн.знач.	0	0	0	0	0	0	0	0	

Бит 7 - TOIE1: Разрешение прерывания по переполнению таймера/счетчика 1: Если установлен этот бит и бит разрешения прерываний в регистре состояния, разрешены прерывания по переполнению таймера/счетчика 1. Соответствующее прерывание (вектор \$005) выполняется при переполнении таймера/счетчика 1. В регистре флагов таймеров/счетчиков (TIFR) устанавливается флаг переполнения. Если таймер/счетчик 1 работает в режиме ШИМ, флаг переполнения устанавливается при изменении направления счета, при значении \$0000.

Бит 6 - OCIE1A: Разрешение прерывания по совпадению таймера/счетчика 1: Если установлены бит OCIE1A и бит разрешения прерывания в регистре состояния, разрешены прерывания по совпадению таймера/счетчика 1. Прерывание (вектор \$004) выполняется при равенстве таймера/счетчика 1 и регистра совпадения. Во флаговом регистре TIFR устанавливается ("1") флаг совпадения.

Биты 5,4 - зарезервированы; в AT90S2313 эти биты зарезервированы и всегда читаются как 0.

Бит 3 - TICIE1: Разрешение прерывания по входу захвата: Если установлены бит TICIE1 и бит разрешения прерывания в регистре состояния, разрешены прерывания по входу захвата. Соответствующее прерывание (вектор \$003) выполняется по сигналу захвата на выводе 11 (PD6/ICP). Во флаговом регистре TIFR устанавливается ("1") флаг захвата.

Бит 2 - зарезервирован; в AT90S2313 этот бит зарезервирован и всегда читается как 0.

Бит 1 - TOIE0: Разрешение прерывания по переполнению таймера/счетчика 0. Если этот бит установлен в 1, и бит I в регистре состояния установлен в 1, разрешены прерывания по переполнению таймера/счетчика 0. При возникновении переполнения выполняется соответствующий вектор прерывания (\$006). Флаг переполнения (TOV0) во флаговом регистре прерываний (TIFR) таймеров/счетчиков устанавливается в 1.

Бит 0 - зарезервирован; в AT90S2313 этот бит зарезервирован и всегда читается как 0.

ФЛАГОВЫЙ РЕГИСТР ПРЕРЫВАНИЙ ОТ ТАЙМЕРОВ/СЧЕТЧИКОВ – TIFR

Бит	7	6	5	4	3	2	1	0	
\$38(\$58)	TOV1	OCF1A	-	-	ICF1	-	TOV0	-	TIFR
Чт./зап. (R/W)	R/W	R/W	R	R	R/W	R	R/W	R	
Начальн.знач.	0	0	0	0	0	0	0	0	

Бит 7 - TOV1: Флаг переполнения таймера/счетчика 1: Флаг TOV1 устанавливается ("1") при возникновении переполнения таймера/счетчика 1. Флаг TOV1 сбрасывается аппаратно при выполнении соответствующего вектора обработки прерывания. Кроме того, флаг можно сбросить, записав в него логическую единицу. Если установлены бит I в SREG и бит TOIE1 в TIMSK, при установке бита TOV1 выполняется прерывание по переполнению

таймера/счетчика 1. В режиме ШИМ этот бит устанавливается, когда таймер/счетчик 1 изменяет направление счета при значении \$0000.

Бит 6 - OCF1A: Флаг выхода совпадения 1A: флаг устанавливается в "1" если происходит совпадение значения таймера/счетчика 1 и данных в регистре OCR1A. Флаг очищается аппаратно при выполнении соответствующего вектора прерывания. Кроме того, флаг можно сбросить записав в него логическую единицу. Если установлены бит I в SREG и бит OCIE1A в TIMSK, при установке бита OCF1A выполняется прерывание.

Биты 5,4 - зарезервированы; в AT90S2313 эти биты зарезервированы и всегда читаются как 0.

Бит 3 - ICF1: флаг входа захвата 1: бит устанавливается ("1") при возникновении события захвата по входу, он индицирует, что значение таймера/счетчика 1 скопировано в регистр захвата по входу ICR1. ICF1 очищается при выполнении соответствующего вектора обработки прерывания. Кроме того, флаг можно очистить, записав в него логическую единицу.

Бит 2 - зарезервирован; в AT90S2313 этот бит зарезервирован и всегда читается как 0.

Бит 1 - TOV0: Флаг переполнения таймера счетчика 1: Флаг TOV0 устанавливается ("1") при переполнении таймера/счетчика 0. Флаг сбрасывается аппаратно при выполнении соответствующего вектора прерывания. Кроме того, флаг можно очистить записав в него логическую единицу. Если установлены бит I в SREG и бит TOIE0 в TIMSK, при установке бита TOV0 выполняется прерывание по переполнению таймера/счетчика 0.

Бит 0 - зарезервирован; в AT90S2313 этот бит зарезервирован и всегда читается как 0.

ВНЕШНИЕ ПРЕРЫВАНИЯ

Внешние прерывания управляются выводами INT0 и INT1. Заметим, что прерывания обрабатываются даже когда выводы сконфигурированы как выходы. Это позволяет генерировать программные прерывания. Внешние прерывания могут возникать по спадающему или нарастающему фронту, а также по низкому уровню. Это устанавливается в регистре управления процессором MCUCR. Если внешние прерывания разрешены и сконфигурированы на отработку по уровню, прерывание будет вырабатываться до тех пор, пока вывод удерживается в низком состоянии.

Управление работой внешних прерываний рассмотрено при описании регистра управления процессором MCUCR.

ВРЕМЯ РЕАКЦИИ НА ПРЕРЫВАНИЕ

Минимальное время реакции на любое из предусмотренных в процессоре прерываний - 4 периода тактовой частоты. После четырех циклов вызывается программный вектор обрабатывающий данное прерывание. За эти 4 цикла программный счетчик (9 бит) записывается в стек, указатель стека уменьшается на 2. Программный вектор представляет собой относительный переход на подпрограмму обслуживания прерывания и этот переход занимает 2 периода тактовой частоты. Если прерывание происходит во время выполнения команды длящейся несколько циклов, перед вызовом прерывания завершается выполнение этой команды.

Выход из программы обслуживания прерывания занимает 4 периода тактовой частоты. За эти 4 периода из стека восстанавливается программный счетчик. После выхода из прерывания процессор всегда выполняет еще одну команду, прежде чем обслужить любое отложенное прерывание.

Заметим, что регистр состояния SREG аппаратно не обрабатывается процессором, как при вызове подпрограмм, так и при обслуживании прерываний. Если программа требует сохранения SREG, то это должно производиться программой пользователя.

РЕГИСТР УПРАВЛЕНИЯ МИКРОКОНТРОЛЛЕРОМ – MCUCR

Этот регистр содержит биты общего управления микроконтроллером.

Бит	7	6	5	4	3	2	1	0	
\$35(\$55)	-	-	SE	SM	ISC11	ISC10	ISC01	ISC00	MCUCR
Чт./зап. (R/W)	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Биты 7,6 - зарезервированы. В AT90S2313 эти биты зарезервированы и всегда читаются как 0.

Бит 5 - Sleep Enable -Разрешение режима Sleep. Этот бит должен быть установлен в 1, чтобы при выполнении команды SLEEP процессор переходил в режим пониженного энергопотребления (Sleep). Для использования режима пониженного энергопотребления этот бит рекомендуется устанавливать в 1 до исполнения команды SLEEP.

Бит 4 - Sleep Mode - Режим Sleep. Этот бит выбирает один из доступных режимов пониженного энергопотребления. Если бит сброшен (0), то в качестве режима Sleep выбирается холостой режим (Idle mode). Если бит установлен, - выбирается экономичный режим (Power down). Особенности каждого из режимов будут рассмотрены ниже.

Биты 3,2 - ISC11, ISC10: биты управления срабатыванием прерывания 1: Внешнее прерывание активируется выводом INT1 если установлен флаг I регистра состояния SREG и установлена соответствующая маска в регистре GIMSK. В таблице 4 приведена установка битов для задания срабатывания по уровню и фронтам.

Биты 1,0 - ISC01, ISC00: биты управления срабатыванием прерывания 0: Внешнее прерывание активируется выводом INT0 если установлен флаг I регистра состояния SREG и установлена соответствующая маска в регистре GIMSK. В таблице 5 приведена установка битов для задания срабатывания по уровню и фронтам.

Таблица 4. Управление срабатыванием прерывания 1.

ISC11	ISC10	Описание
0	0	Запрос прерывания генерируется по низкому уровню на входе INT1
0	1	Зарезервировано
1	0	Запрос на прерывание по спадающему фронту на входе INT1
1	1	Запрос на прерывание по нарастающему фронту на входе INT1

ПРИМЕЧАНИЕ: При изменении битов ISC11/ISC10 прерывание INT1 должно быть запрещено очисткой соответствующего бита в регистре GIMSK. Иначе прерывание может возникнуть во время изменения битов.

Таблица 5. Управление срабатыванием прерывания 0.

ISC01	ISC00	Описание
0	0	Запрос прерывания генерируется по низкому уровню на входе INT0
0	1	Зарезервировано
1	0	Запрос на прерывание по спадающему фронту на входе INT0
1	1	Запрос на прерывание по нарастающему фронту на входе INT0

ПРИМЕЧАНИЕ: При изменении битов ISC01 и ISC00, прерывания по входу INT0 должны быть запрещены сбросом бита разрешения прерывания в регистре GIMSK. Иначе прерывание может произойти при изменении значения битов.

Режимы пониженного энергопотребления.

Для запуска режима пониженного энергопотребления должен быть установлен (1) бит SE регистра MCUCR, и должна быть исполнена команда SLEEP. Если во время нахождения в режиме пониженного потребления происходит одно из разрешенных прерываний, процессор начинает работать, исполняет подпрограмму обработки прерывания и продолжает выполнение программы с команды следующей за SLEEP. Содержимое регистрового файла и памяти ввода/вывода не изменяется. Если в режиме пониженного потребления происходит сброс, процессор начинает выполнение программы с вектора сброса.

Если используется прерывание по уровню, для вывода из режима Power Down, низкий уровень должен удерживаться на время достаточное для запуска генератора тактовых импульсов - 16 мс. Иначе флаг прерывания может установиться в 0 до того как процессор начнет работу.

Режим холостого хода.

Когда бит SM сброшен (0), команда SLEEP переводит процессор в режим холостого хода (Idle mode). ЦПУ останавливается, но Таймеры/Счетчики, сторожевой таймер и система прерываний продолжают работать. Это позволяет процессору возобновлять работу как от внешних прерываний, так и по переполнению таймера/счетчика или по сбросу от сторожевого таймера. Если прерывание от аналогового компаратора не требуется, аналоговый компаратор может быть отключен установкой бита ACD регистра ACSR. Это уменьшает потребляемую мощность в режиме холостого хода.

Экономичный режим.

Когда бит SM установлен (1), команда SLEEP переводит процессор в экономичный режим (Power Down Mode). В этом режиме останавливается внешний генератор тактовых импульсов. Пользователь может разрешить работу сторожевого таймера в этом режиме. Если сторожевой таймер разрешен, процессор выходит из экономичного режима после отработки периода сторожевого таймера. Если сторожевой таймер запрещен, выход из экономичного режима может произойти только по внешнему сбросу или прерыванию по уровню.

ТАЙМЕРЫ/СЧЕТЧИКИ

В AT90S2313 предусмотрены два таймера/счетчика общего назначения, 8-разрядный и 16-разрядный. Каждый из таймеров индивидуально подключается к одному из выходов 10-разрядного предварительного делителя частоты. Оба таймера могут использоваться как таймеры с внутренним источником импульсов или счетчики импульсов, поступающих извне.

В качестве источника импульсов для таймеров можно выбрать сигнал с тактовой частотой процессора (СК), импульсы предварительного делителя (СК/8, СК/64, СК/256 или СК/1024) или импульсы с соответствующего внешнего вывода. Кроме того, таймеры могут быть остановлены, запретом прохождения импульсов на них.

8-РАЗРЯДНЫЙ ТАЙМЕР/СЧЕТЧИК 0

8-разрядный таймер/счетчик может получать импульсы тактовой частоты - СК, импульсы с предварительного делителя (СК/8, СК/64, СК/256 или СК/1024), импульсы с внешнего вывода или быть остановлен соответствующими установками регистра TCCR0. Флаг переполнения таймера находится в регистре TIFR. Биты управления таймером расположены в регистре TCCR0. Разрешение и запрещение прерываний от таймера управляется регистром TIMSK.

При работе таймера/счетчика от внешнего сигнала, внешний сигнал синхронизируется с тактовым генератором ЦПУ. Для правильной обработки внешнего сигнала, минимальное время между соседними импульсами должно превышать период тактовой частоты процессора. Сигнал внешнего источника обрабатывается по спадающему фронту тактовой частоты процессора.

8-разрядный таймер/счетчик можно использовать как счетчик с высоким разрешением, так и для точных применений с низким коэффициентом деления тактовой частоты. Более высокие коэффициенты деления можно использовать для медленных функций или измерения временных интервалов между редкими событиями.

РЕГИСТР УПРАВЛЕНИЯ ТАЙМЕРОМ/СЧЕТЧИКОМ 0 - TCCR0

Бит	7	6	5	4	3	2	1	0	
\$33(\$53)	-	-	-	-	-	CS02	CS01	CS00	TCCR0
Чт./зап. (R/W)	R	R	R	R	R	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Биты 7..3 - зарезервированы. В AT90S2313 эти биты зарезервированы и всегда читаются как 0.

Биты 2,1,0 - CS02, CS01, CS00 - выбор тактовой частоты. Эти биты задают коэффициент деления предварительного делителя.

Таблица 6. Выбор коэффициента предварительного деления

CS02	CS01	CS00	Описание
0	0	0	Таймер/счетчик остановлен
0	0	1	СК
0	1	0	СК/8
0	1	1	СК/64
1	0	0	СК/256
1	0	1	СК/1024
1	1	0	Внешний вывод T0, нарастающий фронт
1	1	1	Внешний вывод T0, спадающий фронт

Условие Stop запрещает/разрешает функционирование таймера/счетчика. В режимах деления частота берется непосредственно от тактовых импульсов. При использовании работы от внешнего вывода предварительно должен быть установлен вывод регистра направления данных (0 - включает на ввод).

ТАЙМЕР/СЧЕТЧИК 0 - TCNT0.

Бит	7	6	5	4	3	2	1	0	
\$32(\$52)	MSB	-	-	-	-	-	-	LSB	TCNT0
Чт./зап. (R/W)	R/W								
Начальн.знач.	0	0	0	0	0	0	0	0	

Таймер/счетчик реализован как нарастающий счетчик с возможностью чтения и записи. При записи таймера/счетчика, если присутствуют тактовые импульсы, таймер/счетчик продолжает счет в следующем за операцией записи тактовом цикле таймера.

16-РАЗРЯДНЫЙ ТАЙМЕР/СЧЕТЧИК 1

16-разрядный таймер/счетчик может получать импульсы тактовой частоты - СК, импульсы с предварительного делителя (СК/8, СК/64, СК/256 или СК/1024), импульсы с внешнего вывода или быть остановлен соответствующими установками регистра TCCR1A. Флаги состояния таймера (переполнения, совпадения и захвата) и управляющие сигналы находится в регистре TIFR. Разрешение и запрещение прерываний от таймера 1 управляется регистром TIMSK.

При работе таймера/счетчика 1 от внешнего сигнала, внешний сигнал синхронизируется с тактовым генератором ЦПУ. Для правильной обработки внешнего сигнала, минимальное время между соседними импульсами должно превышать период тактовой частоты процессора. Сигнал внешнего источника обрабатывается по спадающему фронту тактовой частоты процессора.

16-разрядный таймер/счетчик 1 можно использовать как счетчик с высоким разрешением, так и для точных применений с низким коэффициентом деления тактовой частоты. Более высокие

коэффициенты деления можно использовать для медленных функций или измерения временных интервалов между редкими событиями.

Таймер/счетчик 1 поддерживает функцию совпадения используя регистр совпадения OCR1A в качестве источника для сравнения с содержимым счетчика. Функция совпадения поддерживает очистку счетчика и переключение выхода по совпадению.

Таймер/счетчик 1 можно использовать как 8-, 9- или 10-разрядный широтно-импульсный модулятор. В этом режиме счетчик и регистр OCR1 работают как защищенный от дребезга независимый ШИМ с отцентрованными импульсами. Подробно эта функция будет описана ниже.

Функция захвата по входу предусматривает захват содержимого таймера/счетчика 1 в регистр захвата ICR1 и управляется внешним сигналом на входе захвата - ICP. Работа режима захвата определяется управляющим регистром TCCR1.

При работе захвата по входу, может быть включена схема подавления шума, при этом сигнал захвата возникает только в том случае, если событие управляющее захватом наблюдается на протяжении 4-х машинных циклов.

РЕГИСТР А УПРАВЛЕНИЯ ТАЙМЕРОМ/СЧЕТЧИКОМ 1 - TCCR1A

Бит	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	-	-	-	-	PWM11	PWM10	TCCR1A
Чт./зап. (R/W)	R/W	R/W	R	R	R	R	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Биты 7,6 - COM1A1, COM1A0: Режим выхода совпадения, биты 1 и 0: Эти управляющие биты задают отклик вывода OC1 процессора на совпадение регистра сравнения и таймера/счетчика 1. Поскольку это альтернативная функция порта, соответствующий бит направления должен устанавливать вывод на выход. Конфигурация управляющих бит показана в следующей таблице:

Таблица 7. Установка режима совпадения.

COM1A1	COM1A0	Описание
0	0	Таймер/счетчик 1 отключен от вывода OC1
0	1	Переключение выхода OC1
1	0	Сброс (0) вывода OC1
1	1	Установка (1) вывода OC1

В режиме ШИМ эти биты имеют другие функции, которые указаны в таблице 11.

При изменении битов COM1A1 и COM1A0 прерывание по совпадению должно быть запрещено, очисткой соответствующего бита в регистре TIMSK. Иначе, прерывание может произойти во время изменения битов.

Биты 5..2 - зарезервированы. В AT90S2313 эти биты зарезервированы и всегда читаются как 0.

Биты 1,0 - PWM11, PWM10: Биты установки ШИМ: Эти биты устанавливают режим работы таймера/счетчика 1 в качестве ШИМ (см. табл. 8). Подробнее этот режим будет рассмотрен ниже.

Таблица 8. Установка режима работы ШИМ.

PWM11	PWM10	Описание
0	0	Работа ШИМ запрещена
0	1	8-разрядный ШИМ
1	0	9-разрядный ШИМ
1	1	10-разрядный ШИМ

РЕГИСТР В УПРАВЛЕНИЯ ТАЙМЕРОМ/СЧЕТЧИКОМ 1 - TCCR1B

Бит	7	6	5	4	3	2	1	0	
\$2E (\$4E)	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	TCCR1B
Чт./зап. (R/W)	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Бит 7 - ICNC1: Подавитель входного шума входа захвата: Если этот бит сброшен (0), подавление входного шума входа захвата запрещено. При этом захват срабатывает по первому заданному (нарастающему или спадающему) фронту сигнала на выводе ICP. При установке бита обрабатываются четыре последовательные выборки сигнала на выводе ICP. Для срабатывания захвата все выборки должны соответствовать уровню, заданному битом ICES1. Частота выборок равна тактовой частоте процессора.

Бит 6 - ICES1: выбор фронта сигнала захвата: Если бит ICES1 сброшен (0) содержимое таймера/счетчика 1 переписывается в регистр захвата по спадающему фронту сигнала на выводе ICP. Если бит установлен - по нарастающему фронту сигнала.

Биты 5,4 - зарезервированы. В AT90S2313 эти биты зарезервированы и всегда читаются как 0.

Бит 3 - CTC1: Очистка таймера счетчика 1 по совпадению: Если бит установлен (1), таймер/счетчик 1 устанавливается в \$0000 в такте следующем за событием совпадения. Если бит сброшен, таймер/счетчик 1 продолжает считать пока не будет остановлен, сброшен, произойдет его переполнение или изменение направления счета. В режиме ШИМ этот бит не работает.

Биты 2,1,0 - CS12, CS11, CS10: выбор тактирования: Эти биты определяют источник счетных импульсов для таймера/счетчика 1.

Таблица 9. Выбор источника счетных импульсов.

CS12	CS11	CS10	Описание
0	0	0	Таймер/счетчик остановлен
0	0	1	СК
0	1	0	СК/8
0	1	1	СК/64
1	0	0	СК/256
1	0	1	СК/1024
1	1	0	Внешний вывод T1, нарастающий фронт
1	1	1	Внешний вывод T1, спадающий фронт

ТАЙМЕР/СЧЕТЧИК 1 - TCNT1H И TCNT1L

Бит	15	14	13	12	11	10	9	8	
\$2D (\$4D)	MSB	-	-	-	-	-	-	-	TCNT1H
Чт./зап. (R/W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Бит	7	6	5	4	3	2	1	0	
\$2C (\$4C)	-	-	-	-	-	-	-	LSB	TCNT1L
Чт./зап. (R/W)	R/W								
Начальн.знач.	0	0	0	0	0	0	0	0	

Это 16-разрядный регистр, содержащий текущее значение таймера/счетчика 1. Чтобы чтение и запись двух байт счетчика происходило синхронно, для работы с ним используется временный регистр (TEMP).

- Запись в таймер счетчик 1: При записи старшего байта в TCNT1H, записываемые данные помещаются в регистр TEMP. Затем, при записи младшего байта, он вместе с данными из TEMP переписывается в таймер/счетчик 1. Таким образом, при записи 16-разрядного значения первым должен записываться байт в TCNT1H.

- Чтение таймера/счетчика 1: При чтении младшего байта из TCNT1L, он посылается в процессор, а данные из TCNT1H переписываются в регистр TEMP, то есть одновременно читаются все 16-разрядов. При последующем чтении регистра TCNT1H, данные берутся из регистра TEMP.

Таймер/счетчик 1 организован как суммирующий счетчик (в режиме ШИМ - суммирующий/вычитающий) с возможностью чтения и записи. Если выбран источник тактовых импульсов для таймера/счетчика 1, после записи в него нового значения, он продолжает счет в следующем после записи периоде тактовой частоты.

РЕГИСТР СОВПАДЕНИЯ А ТАЙМЕРА/СЧЕТЧИКА 1 - OCR1AH И OCR1AL

Бит	15	14	13	12	11	10	9	8	
\$2B (\$4B)	MSB	-	-	-	-	-	-	-	OCR1AH
Чт./зап. (R/W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	
Бит	7	6	5	4	3	2	1	0	
\$2A (\$4A)	-	-	-	-	-	-	-	LSB	OCR1AL
Чт./зап. (R/W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Регистр совпадения - 16-разрядный регистр, доступный для чтения и записи.

В этом регистре хранятся данные, которые непрерывно сравниваются с текущим значением таймера/счетчика 1. Действие по совпадению задается регистрами управления таймером/счетчиком 1 и регистром состояния.

Поскольку регистр OCR1A является 16-разрядным, при записи нового значения в регистр, для того чтобы оба байта регистра записывались одновременно, используется временный регистр. При записи старшего байта, данные помещаются во временный регистр, который переписывается в OCR1AH при записи младшего байта в OCR1AL. Таким образом, для записи в регистр первым должен записываться старший байт.

РЕГИСТР ЗАХВАТА ТАЙМЕРА/СЧЕТЧИКА 1 - ICR1H И ICR1L

Бит	15	14	13	12	11	10	9	8	
\$25 (\$45)	MSB	-	-	-	-	-	-	-	ICR1H
Чт./зап. (R/W)	R	R	R	R	R	R	R	R	
Начальн.знач.	0	0	0	0	0	0	0	0	
Бит	7	6	5	4	3	2	1	0	
\$24 (\$44)	-	-	-	-	-	-	-	LSB	ICR1L
Чт./зап. (R/W)	R	R	R	R	R	R	R	R	
Начальн.знач.	0	0	0	0	0	0	0	0	

Регистр захвата 16-разрядный регистр, доступный только для чтения.

По нарастающему или спадающему фронту (в соответствии с выбором фронта импульса захвата ICES1) сигнала на выводе ICP текущее значение таймера/счетчика 1 переписывается в регистр захвата ICR1. В это же время устанавливается флаг захвата ICF1.

Поскольку регистр захвата является 16-разрядным, для чтения его значения, чтобы оба байта прочитались одновременно, используется временный регистр. При чтении младшего байта ICR1L, он посылается в ЦПУ, а старший байт регистра ICR1H переписывается во временный регистр. При чтении старшего байта, он принимается из временного регистра. Таким образом для чтения 16-разрядного регистра первым должен читаться младший байт.

ТАЙМЕР/СЧЕТЧИК В РЕЖИМЕ ШИМ

При выборе режима широтно-импульсной модуляции (ШИМ), таймер/счетчик 1 и регистр совпадения OCR1A формируют 8, 9 или 10-разрядный непрерывный свободный от "дрожания" и правильный по фазе сигнал, выводимый на вывод PB3(OC1). Таймер/счетчик 1 работает как реверсивный счетчик считающий от 0 до конечного значения (см. табл.10). При достижении конечного значения счетчик начинает считать в обратную сторону до нуля, после чего рабочий цикл повторяется. Когда значение счетчика совпадает с 8, 9 или 10-ю младшими битами регистра OCR1A, вывод PD1(OC1) устанавливается или сбрасывается в соответствии с установками бит COM1A1 и COM1A0 в регистре TCCR1 (см. табл.11).

Таблица 10. Конечное значение таймера и частота ШИМ.

Разрешение ШИМ	Конечное значение таймера	Частота ШИМ
8 бит	\$00FF (255)	Ftc1/510
9 бит	\$01FF (511)	Ftc1/1022
10 бит	\$03FF (1023)	Ftc1/2046

В режиме ШИМ, при записи в регистр OCR1A, 10 младших бит передаются во временный регистр и переписываются только при достижении таймером/счетчиком конечного значения. При этом устраняется появление несимметричных импульсов (дрожания), которые неизбежны при асинхронной записи OCR1A.

Таблица 11. Установка режима совпадения при работе ШИМ.

COM1A1	COM1A0	Влияние на вывод OC1
0	0	Не подключен
0	1	Не подключен
1	0	Очищается при совпадении, для возрастания счетчика и сбрасывается для уменьшения (неинвертирующий ШИМ)
1	1	Очищается при совпадении, для уменьшения счетчика и сбрасывается для возрастания (инвертирующий ШИМ)

Если OCR1A содержит значение \$0000 или конечное значение (TOP), вывод OC1 остается в том состоянии, которое определяется установками COM1A1 и COM1A0. Это показано в табл. 12.

Таблица 12. Выход ШИМ для OCR=\$0000 или TOP

COM1A1	COM1A0	OCR1A	вывод OC1
1	0	\$0000	Низкий
1	0	TOP	Высокий
1	1	\$0000	Высокий
1	1	TOP	Низкий

В режиме ШИМ флаг переполнения таймера 1 (TOV1) устанавливается, когда счетчик изменяет направление счета в точке \$0000. Прерывание по переполнению таймера 1 работает как при нормальном режиме работы таймера/счетчика, т.е. оно выполняется, если установлен флаг TOV1 и разрешены соответствующие прерывания. То же самое касается флага совпадения и прерывания по совпадению.

СТОРОЖЕВОЙ ТАЙМЕР

Сторожевой таймер работает от отдельного встроенного генератора работающего на частоте 1 МГц (это типовое значение частоты для питания 5В). Управляя предварительным делителем сторожевого таймера можно задавать интервал сброса таймера от 16 до 2048 периодов. Частота встроенного RC генератора зависит от напряжения питания процессора.

Команда WDR сбрасывает сторожевой таймер. Для работы сторожевого таймера можно выбрать одно из 8-ми значений частоты, что позволяет в широких пределах изменять время между исполнением команды WDR и сбросом процессора. При отработке периода работы сторожевого таймера, если не поступила команда WDR, AT90S2313 сбрасывается, выполнение программы продолжается с вектора сброса.

Для предотвращения нежелательного отключения сторожевого таймера, для его запрещения должна выполняться определенная последовательность, которая описана при рассмотрении регистра WDTCR.

РЕГИСТР УПРАВЛЕНИЯ СТОРОЖЕВЫМ ТАЙМЕРОМ - WDTCR

Бит	7	6	5	4	3	2	1	0	
\$21(\$41)	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCR
Чт./зап. (R/W)	R	R	R	R/W	R/W	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Биты 7..5 - зарезервированы. В AT90S2313 эти биты зарезервированы и всегда читаются как 0.

Бит 4 - WDTOE - разрешение выключения сторожевого таймера. При очистке бита WDE этот бит должен быть установлен (1). Иначе, работа сторожевого таймера не прекращается. Через четыре такта после установки этого бита, он аппаратно сбрасывается.

Бит 3 - WDE- разрешение сторожевого таймера. Если бит установлен (1), работа сторожевого таймера разрешена, если бит сброшен - запрещена. Сброс бита производится только в том случае, если бит WDTOE установлен в 1. Для запрещения включенного сторожевого таймера должна выполняться следующая процедура:

1. Одной командой записать 1 в WDTOE и WDE. Единица в WDE должна записываться даже в том случае если этот бит был установлен перед началом процедуры остановки таймера
2. В течение следующих четырех тактов процессора необходимо записать в WDE логический 0, при этом работа сторожевого таймера запрещается.

Биты 2..0 - WDP2..0 - Биты предварительного делителя сторожевого таймера. Если работа сторожевого таймера разрешена, эти биты определяют предварительный коэффициент деления для сторожевого таймера. В таблице 13 приведены различные значения установок предварительного делителя и соответствующие им временные интервалы для напряжения питания Vcc=5V.

Таблица 13. Установки предварительного делителя сторожевого таймера

WDP2	WDP1	WDP0	Период времени
0	0	0	16 мс
0	0	1	32 мс
0	1	0	64 мс
0	1	1	128 мс

WDP2	WDP1	WDP0	Период времени
1	0	0	256 мс
1	0	1	512 мс
1	1	0	1024 мс
1	1	1	2048 мс

ЧТЕНИЕ И ЗАПИСЬ В ЭНЕРГОНЕЗАВИСИМУЮ ПАМЯТЬ

Регистры доступа к энергонезависимой памяти (EEPROM) расположены в пространстве ввода/вывода.

Время записи лежит в диапазоне 2.5-4 мS и зависит от напряжения питания. Это самоактивируемая функция которая, однако, позволяет пользователю определить, можно ли записывать следующий байт. Если программа пользователя производит запись в энергонезависимую память, должны быть предприняты некоторые меры предосторожности. При использовании в источнике питания конденсаторов большой емкости, напряжение питания нарастает и спадает достаточно медленно. Это приводит к тому, что процессор некоторое время работает при напряжении питания ниже минимума достаточного для нормальной работы схем тактирования. При этом ЦПУ может совершать нежелательные переходы, попадая на части программы, производящие запись в EEPROM. В таких случаях, для защиты содержимого EEPROM, необходимо использовать внешние схемы формирующие сигнал сброса при уменьшении напряжения питания.

Для защиты от нежелательной записи в EEPROM необходимо следовать некоторым правилам, которые будут рассмотрены ниже, при описании управляющего регистра энергонезависимой памяти.

При записи или чтении EEPROM процессор приостанавливается на 2 машинных цикла до начала выполнения следующей команды.

РЕГИСТР АДРЕСА EEPROM - EEAR

Бит	7	6	5	4	3	2	1	0	
\$1E(\$3E)	-	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
Чт./зап. (R/W)	R	R/W							
Начальн.знач.	0	0	0	0	0	0	0	0	

Бит 7 - зарезервирован. В AT90S2313 этот бит зарезервирован и всегда читается как 0.

Биты 6..0 - EEAR6..0 - Адрес EEPROM. Адресный регистр EEPROM задает адрес в 128-байтном пространстве EEPROM. Байты данных EEPROM адресуются линейно в диапазоне 0..127.

РЕГИСТР ДАННЫХ EEPROM - EEDR

Бит	7	6	5	4	3	2	1	0	
\$1D (\$3D)	MSB	-	-	-	-	-	-	LSB	EEDR
Чт./зап. (R/W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Биты 7..0 - EEDR7..0 - Данные EEPROM. Для операции записи регистр EEDR содержит данные, которые будут записаны в EEPROM по адресу в регистре EEAR. Для операции чтения в этот регистр читаются данные прочитанные из EEPROM по адресу в регистре EEAR.

РЕГИСТР УПРАВЛЕНИЯ EEPROM - EECR

Бит	7	6	5	4	3	2	1	0	
\$1C(\$3C)	-	-	-	-	-	EEMWE	EWE	EERE	EECR
Чт./зап. (R/W)	R	R	R	R	R	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Биты 7..3 - зарезервированы. В AT90S2313 эти биты зарезервированы и всегда читаются как 0.

Бит 2 - EEMWE - Управление разрешением записи. Этот бит определяет, будут ли записаны данные при установке EWE. Если бит EEMWE установлен, при установке EWE данные записываются по выбранному адресу EEPROM. Если этот бит сброшен, установка EWE не имеет эффекта. После программной установки этот бит сбрасывается аппаратно через четыре такта процессора.

Бит 1 - EWE - Разрешение записи в EEPROM. Сигнал EWE является стробом записи в EEPROM. После установки правильного адреса и данных для записи в EEPROM необходимо установить бит EWE. При записи "1" в бит EWE должен быть установлен бит EEMWE, тогда происходит

запись в EEPROM. Для записи в EEPROM должна соблюдаться следующая последовательность:

1. Ждем обнуления EEWЕ
2. Записываем адрес в EEAR (не обязательно)
3. Записываем данные в EEDR (не обязательно)
4. Устанавливаем в 1 бит EEMWE
5. Не позже чем через 4 такта после установки EEMWE устанавливаем EEWЕ

После того как время записи истечет (типично 2.5 mS для Vcc=5V и 4mS для Vcc=2.7), бит EEWЕ очищается аппаратно. Пользователь может отслеживать этот бит и ожидать его установки в ноль, перед тем как записывать следующий байт. При установке EEWЕ, ЦПУ останавливается на два цикла перед исполнением следующей команды.

Бит 0 - EERE - разрешение чтения из EEPROM. Сигнал EERE является стробом чтения из EEPROM. После установки нужного адреса в регистре EEAR, необходимо установить бит EERE. После того как бит EERE будет аппаратно очищен, в регистре EEDR. Чтение EEPROM занимает одну команду и не требует отслеживания бита EERE. При установке бита EERE, ЦПУ останавливается на два цикла перед тем как будет выполнена следующая команда. Перед чтением пользователь должен проверять состояние бита EEWЕ, если регистры данных или адреса изменяются во время операции записи, запись в ячейку прерывается и результат операции записи становится неопределенным.

УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПРИЕМО-ПЕРЕДАТЧИК

В состав AT90S2313 входит универсальный асинхронный приемопередатчик (UART), его основные особенности:

- генерация произвольных значений скорости
- высокая скорость при низких тактовых частотах
- 8 или 9 бит данных
- фильтрация шума
- Определение переполнения
- Детектирование ошибки кадра
- Определение неверного стартового бита
- Три раздельных прерывания - завершение передачи, очистка регистра передачи и завершение приема.

Передача данных

Передача данных инициируется записью передаваемых данных в регистр ввода/вывода данных UART - UDR. Данные пересылаются из UDR в сдвиговый регистр передатчика когда:

- новый символ записывается в UDR после того как был выдвинут стоповый бит для предыдущего символа. При этом сдвиговый регистр загружается сразу.

- новый символ записывается в UDR до того, как выдвинут стоповый бит для предыдущего символа.

При этом сдвиговый регистр записывается сразу после того, как будет выдвинут стоповый бит предыдущего символа. При этом в регистре состояния UART - USR устанавливается бит-признак очистки регистра данных - UDRE/. Когда этот бит установлен, UART готов к приему следующего символа. При перезаписи UDR в 10(11)- разрядный сдвиговый регистр, бит 0 сдвигового регистра обнуляется (стартовый бит), а бит 9 или 10 устанавливается (стоповый бит). Если выбрано 9-битовое слово данных (установлен бит CHR9 в регистре UCR), бит TXB8 из UCR переписывается в 9-й бит сдвигового регистра передатчика.

После тактового импульса, следующего с частотой передачи, стартовый бит выдвигается на вывод TXD. Затем выдвигаются данные, начиная с младшего бита. После того как выдвинут стоповый бит, в сдвиговый регистр загружаются новые данные, если они были записаны в UDR во время передачи. При загрузке устанавливается бит UDRE. Если до выдвигания стопового бита в регистр UDR не поступают новые данные, UDRE остается установленным до последующей записи UDR. Если новые данные не поступили и на выводе TXD появляется стоповый бит, в регистре USR устанавливается флаг окончания передачи - TXC.

Установка бита TXEN в UCR разрешает работу передатчика. При очистке бита TXEN, вывод PD1 можно использовать для ввода/вывода данных. Если бит TXEN установлен, передатчик UART подключен к выводу PD1 независимо от установки бита DDD1 в регистре DDRD.

Прием данных.

Логическая схема приемника обрабатывает сигнал на выводе RXD с частотой в 16 больше скорости передачи (для обработки одного бита принимаемой последовательности, производится 16 выборок входного сигнала). В состоянии ожидания одна выборка логического нуля интерпретируется как спадающий фронт стартового бита, после чего запускается последовательность обнаружения стартового бита. Если в первой выборке сигнала обнаружен нулевой отсчет, приемник обрабатывает 8, 9 и 10 выборки сигнала на выводе RXD. Если хотя бы две из трех выборок равны логической единице, стартовый бит считается шумом и приемник ждет следующего перехода из 1 в 0.

Если обнаружен стартовый бит, начинается обработка бит данных. Решение об уровне данных также производится по 8, 9 и 10 выборкам входного сигнала, уровень входного сигнала определяется по равенству двух выборок. После того как уровень данных определен, данные вдвигаются в сдвиговый регистр приемника.

Для определения стопового бита хотя бы две из трех выборок входного сигнала должны быть равны 1. Если это условие не выполняется, в регистре USR устанавливается флаг ошибки кадра FE. Перед чтением данных из регистра UDR пользователь должен проверять бит FE для обнаружения ошибок кадра.

Независимо от принятия правильного стопового бита по окончании приема символа принятые данные переписываются в UDR и устанавливается флаг RXC в регистре USR. Физически регистр UDR состоит из двух отдельных регистров, один используется для передачи данных, другой - для приема. При чтении UDR происходит доступ к регистру приемника, при записи - к регистру передатчика. При обмене 9-битовыми данными 9-й бит принятых данных записывается в бит RXB8 регистра UCR.

Если при приеме символа из регистра UDR не был прочитан предыдущий символ, в регистре UCR устанавливается флаг переполнения - OR. Установка этого бита означает, что последний принятый байт данных не переписывается из сдвигового регистра в регистр UDR и будет потерян. Бит OR буферизован и обновляется при чтении правильных данных из UDR. Таким образом, пользователь всегда может проверить состояние OR после чтения UDR и обнаружить происшедшее переполнение.

При сбросе бита RXEN в регистре UCR прием данных запрещается. При этом вывод PD0 можно использовать для ввода/вывода общего назначения. При установке RXEN, приемник подключен к выводу PD0 независимо от состояния бита DDD0 в регистре DDRD.

Управление UART

РЕГИСТР ВВОДА/ВЫВОДА UART – UDR

Бит	7	6	5	4	3	2	1	0	
\$0C (\$2C)	MSB	-	-	-	-	-	-	LSB	UDR
Чт./зап. (R/W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Физически регистр UDR является двумя отдельными регистрами, доступ к которым происходит по одному адресу. При записи происходит запись в регистр передатчика, при чтении - читается регистр приемника.

РЕГИСТР СОСТОЯНИЯ UART (USR)

Бит	7	6	5	4	3	2	1	0	
\$0B (\$2B)	RXC	TXC	UDRE	FE	OR	-	-	-	USR
Чт./зап. (R/W)	R	R	R	R	R	R	R	R	
Начальн.знач.	0	0	1	0	0	0	0	0	

Регистр USR доступен только для чтения, в нем хранится информация о состоянии UART.

- Bit 7 - RXC - прием завершен. Этот бит устанавливается в 1 когда принятый символ переписывается из сдвигового регистра приемника в регистр UDR. Бит устанавливается независимо от обнаружения ошибки кадра. Если установлен бит RXCIE в регистре UCR, при установке бита выполняется прерывание по завершению приема символа. RXC сбрасывается при чтении UDR. При использовании приема данных по прерыванию, обработчик прерывания должен читать регистр UDR для сброса RXC, иначе при выходе из прерывания оно будет вызвано снова.
- Bit 6 - TXC - передача завершена. Этот бит устанавливается в 1 если символ из сдвигового регистра передатчика (включая стоповый бит) передан, а в регистр UDR не были записаны новые данные. Этот флаг особенно полезен при полудуплексной связи, когда предающее устройство должно перейти в режим приема и освободить линию связи сразу по окончании передачи. Если установлен бит TXIE в регистре UCR, при установке TXC выполняется прерывание по окончании передачи. TXC сбрасывается аппаратно при выполнении соответствующего вектора прерывания. Кроме того, бит можно сбросить, записав в него 1.
- Bit 5 - UDRE - регистр данных UART пуст. Этот бит устанавливается в 1 когда данные, записанные в UDR переписываются в регистр сдвига передатчика. Установка этого бита означает, что передатчик готов принять следующий символ для передачи. Если установлен бит UDRIE в регистре UCR, при установке этого бита выполняется прерывание окончания передачи. Бит UDRE сбрасывается при записи регистра UDR. При использовании передачи управляемой прерыванием, подпрограмма обслуживания прерывания должна записывать UDR, чтобы сбросить бит UDRE, иначе при выходе из прерывания оно будет вызвано снова. При сбросе этот бит устанавливается в 1, чтобы проиндицировать готовность передатчика.
- Bit 4 - FE - ошибка кадра. Этот бит устанавливается при обнаружении условия ошибки кадра, т.е. если стоповый бит принятого байта равен Бит FE сбрасывается при приеме единичного стопового бита.
- Bit 3 - OR - переполнение. Этот бит устанавливается при обнаружении условия переполнения, т.е. когда символ из регистра UDR не был прочитан до того, как заполнился сдвиговый регистр приемника. Этот бит буферизован, т.е. остается установленным до тех пор, пока из регистра UDR не будут прочитаны правильные данные. Бит OR сбрасывается, когда принятые данные переписываются в UDR.
- Биты 2..0 - зарезервированы. В AT90S2313 эти биты зарезервированы и всегда читаются как 0.

РЕГИСТР УПРАВЛЕНИЯ UART (UCR)

Бит	7	6	5	4	3	2	1	0	
\$0A(\$2A)	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	UCR
Чт./зап. (R/W)	R/W	R/W	R/W	R/W	R/W	R/W	R	W	
Начальн.знач.	0	0	0	0	0	0	1	0	

- Бит 7 - RXCIE - Разрешение прерыванию по окончании приема. Если этот бит установлен (1), установка бита RXC в регистре USR приводит к выполнению прерывания по окончании приема (при условии что разрешены прерывания)
- Бит 6 - TXCIE - Разрешение прерывания по окончании передачи. Если этот бит установлен, установка бита TXC в USR приводит к выполнению прерывания по окончании передачи (при условии, что прерывания разрешены).
- Бит 5 - UDRIE - Прерывание по очистке регистра данных последовательного порта. Если этот бит установлен, установка бита UDRE в USR приводит к выполнению прерывания по очистке регистра данных UART (при условии, что прерывания разрешены).
- Бит 4 - RXEN - Разрешение приемника. При установке этого бита разрешается работа приемника UART. Если приемник выключен, флаги TXC, OR и FE не устанавливаются. Если эти флаги установлены, сброс RXEN не очищает их.
- Бит 3 - TXEN - Разрешение передатчика. При установке этого бита разрешается работа передатчика UART. При запрещении работы передатчика во время передачи символа, он продолжает

работать пока не будет очищен сдвиговый регистр и не будет передан символ, помещенный в UDR.

Бит 2 - CHR9 - 9-битовые посылки. Если этот бит установлен, принимаемые и передаваемые символы имеют длину 9 бит. Для передачи и приема 9-го символа используются биты RXB8 и TXB8 соответственно. 9-й бит можно использовать как дополнительный стоповый бит или как признак четности.

Бит 1 - RXB8 - Бит 8 принимаемых данных. Если установлен бит CHR9, сюда записывается 9-й бит принятых данных.

Бит 0 - TXB8 - Бит 8 передаваемых данных. Если установлен бит CHR9, отсюда берется 9-й бит передаваемых данных.

ГЕНЕРАТОР СКОРОСТИ ПЕРЕДАЧИ

Генератор скорости передачи этот делитель частоты, который генерирует скорости в соответствии с нижеприведенным выражением:

$BAUD = F_{ck} / (16 * (UBRR + 1))$ (здесь BAUD - скорость передачи (бод)), F_{ck} - частота тактового генератора процессора, UBRR - содержимое регистра скорости передачи UART

В следующей таблице приведены значения регистра UBRR и процентное отклонение от стандартной скорости передачи для стандартных частот кварцевых генераторов. (Baud Rate – скорость в бодах; %Error – процент ошибок):

Baud Rate	1 MHz	%Error	1.8432 MHz	%Error	2 MHz	%Error	2.4576 MHz	%Error
2400	UBRR= 25	0.2	UBRR= 47	0.0	UBRR= 51	0.2	UBRR= 63	0.0
4800	UBRR= 12	0.2	UBRR= 23	0.0	UBRR= 25	0.2	UBRR= 31	0.0
9600	UBRR= 6	7.5	UBRR= 11	0.0	UBRR= 12	0.2	UBRR= 15	0.0
14400	UBRR= 3	7.8	UBRR= 7	0.0	UBRR= 8	3.7	UBRR= 10	3.1
19200	UBRR= 2	7.8	UBRR= 5	0.0	UBRR= 6	7.5	UBRR= 7	0.0
28800	UBRR= 1	7.8	UBRR= 3	0.0	UBRR= 3	7.8	UBRR= 4	6.3
38400	UBRR= 1	22.9	UBRR= 2	0.0	UBRR= 2	7.8	UBRR= 3	0.0
57600	UBRR= 0	7.8	UBRR= 1	0.0	UBRR= 1	7.8	UBRR= 2	12.5
76800	UBRR= 0	22.9	UBRR= 1	33.3	UBRR= 1	22.9	UBRR= 1	0.0
115200	UBRR= 0	84.3	UBRR= 0	0.0	UBRR= 0	7.8	UBRR= 0	25.0

Baud Rate	3.2768 MHz	%Error	3.6864 MHz	%Error	4 MHz	%Error	4.608 MHz	%Error
2400	UBRR= 84	0.4	UBRR= 95	0.0	UBRR= 103	0.2	UBRR= 119	0.0
4800	UBRR= 42	0.8	UBRR= 47	0.0	UBRR= 51	0.2	UBRR= 59	0.0
9600	UBRR= 20	1.6	UBRR= 23	0.0	UBRR= 25	0.2	UBRR= 29	0.0
14400	UBRR= 13	1.6	UBRR= 15	0.0	UBRR= 16	2.1	UBRR= 19	0.0
19200	UBRR= 10	3.1	UBRR= 11	0.0	UBRR= 12	0.2	UBRR= 14	0.0
28800	UBRR= 6	1.6	UBRR= 7	0.0	UBRR= 8	3.7	UBRR= 9	0.0
38400	UBRR= 4	6.3	UBRR= 5	0.0	UBRR= 6	7.5	UBRR= 7	6.7
57600	UBRR= 3	12.5	UBRR= 3	0.0	UBRR= 3	7.8	UBRR= 4	0.0
76800	UBRR= 2	12.5	UBRR= 2	0.0	UBRR= 2	7.8	UBRR= 3	6.7
115200	UBRR= 1	12.5	UBRR= 1	0.0	UBRR= 1	7.8	UBRR= 2	20.0

Baud Rate	7.3728 MHz	%Error	8 MHz	%Error	9.216 MHz	%Error	11.059 MHz	%Error
2400	UBRR= 191	0.0	UBRR= 207	0.2	UBRR= 239	0.0	UBRR= 287	-
4800	UBRR= 95	0.0	UBRR= 103	0.2	UBRR= 119	0.0	UBRR= 143	0.0
9600	UBRR= 47	0.0	UBRR= 51	0.2	UBRR= 59	0.0	UBRR= 71	0.0
14400	UBRR= 31	0.0	UBRR= 34	0.8	UBRR= 39	0.0	UBRR= 47	0.0
19200	UBRR= 23	0.0	UBRR= 25	0.2	UBRR= 29	0.0	UBRR= 35	0.0
28800	UBRR= 15	0.0	UBRR= 16	2.1	UBRR= 19	0.0	UBRR= 23	0.0
38400	UBRR= 11	0.0	UBRR= 12	0.2	UBRR= 14	0.0	UBRR= 17	0.0
57600	UBRR= 7	0.0	UBRR= 8	3.7	UBRR= 9	0.0	UBRR= 11	0.0
76800	UBRR= 5	0.0	UBRR= 6	7.5	UBRR= 7	6.7	UBRR= 8	0.0
115200	UBRR= 3	0.0	UBRR= 3	7.8	UBRR= 4	0.0	UBRR= 5	0.0

РЕГИСТР СКОРОСТИ ПЕРЕДАЧИ (UBRR)

Бит	7	6	5	4	3	2	1	0	
\$09 (\$29)	MSB	-	-	-	-	-	-	LSB	UBRR
Чт./зап. (R/W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальн.знач.	0	0	0	0	0	0	0	0	

Это 8-разрядный регистр, который задает скорость передачи последовательного порта в соответствии с выражением приведенным выше.

АНАЛОГОВЫЙ КОМПАРАТОР

Аналоговый компаратор сравнивает входные напряжение на положительном входе PB0 (AIN0) и отрицательном входе (AIN1). Когда напряжение на положительном входе больше напряжения на отрицательном, устанавливается бит АСО (Analog Comparator Output). Выход аналогового компаратора можно установить на работу с функцией захвата Таймера/Счетчика1. Кроме того, компаратор может вызывать свое прерывание. Пользователь может установить срабатывание прерывание по нарастающему или спадающему фронту, или по переключению.

РЕГИСТР УПРАВЛЕНИЯ И СОСТОЯНИЯ АНАЛОГОВОГО КОМПАРАТОРА - ACSR

Бит	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSR
Чт./зап. (R/W)	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
Начальн.знач.	0	0	N/A	0	0	0	0	0	

Бит 7 - ACD - Запрещение аналогового компаратора. Когда этот бит установлен, питание от аналогового компаратора отключается. Для отключения компаратора этот бит можно установить в любое время. Обычно это свойство используется, если критично потребление процессора в холостом режиме и восстановление работы процессора от аналогового компаратора не требуется. При изменении бита ACD прерывания от аналогового компаратора должны быть запрещены сбросом ACIE в регистре ACSR. В противном случае прерывание может произойти во время изменения бита.

Бит 6 - зарезервирован. В AT90S2313 этот бит зарезервирован и всегда читается как 0.

Бит 5 - ACO - Выход аналогового компаратора. Бит ACO непосредственно подключен к выходу аналогового компаратора.

Бит 4 - ACI - Флаг прерывания от аналогового компаратора. Этот бит устанавливается, когда переключение выхода компаратора совпадает с режимом прерывания установленным битами ACIS1 и ACIS0. Программа обработки прерывания от аналогового компаратора выполняется, если установлен бит ACIE (1) и установлен бит I в регистре состояния. ACI сбрасывается аппаратно при выполнении соответствующего вектора прерывания. Другой способ очистить ACI - записать во флаг логическую единицу.

Бит 3 - ACIE - Разрешение прерывания от аналогового компаратора. Когда установлен этот бит и бит I регистра состояния, прерывания от аналогового компаратора обрабатываются. Если бит очищен (0), прерывания запрещены.

Бит 2 - ACIC - Захват по выходу аналогового компаратора. Если этот бит установлен, функция захвата таймера/счетчика1 управляется выходом аналогового компаратора. При этом выход компаратора подключается непосредственно к схеме обработки захвата, предоставляя удобные средства подавления шума и выбора фронта предусмотренные прерыванием захвата по входу. Когда бит очищен, схема захвата и компаратор разъединены. Чтобы компаратор мог управлять функцией захвата таймера/счетчика1, должен быть установлен бит TICIE1 в регистре TIMSK.

Биты 1,0 - ACIS1, ACIS0 - Выбор режима прерывания аналогового компаратора. Различные установки приведены в табл.15.

Таблица 15. Установки ACIS1/ACIS0

ACIS1	ACIS0	Описание
0	0	Прерывание от компаратора по переключению выхода
0	1	Зарезервировано
1	0	Прерывание от компаратора по спадающему фронту выхода
1	1	Прерывание от компаратора по нарастающему фронту выхода

Примечание: При изменении битов ACIS1/ACIS0 прерывания от аналогового компаратора должны быть запрещены сбросом бита разрешения прерывания в регистре ACSR. Иначе прерывание может произойти при изменении битов.

ПОРТЫ ВВОДА/ВЫВОДА

Порт В

Порт В 8-разрядный двунаправленный порт.

Для обслуживания порта отведено три регистра: регистр данных PORTB (\$18, \$38), регистр направления данных - DDRB (\$17, \$37) и выходы порта В (\$16, \$36). Адрес выводов порта В предназначен только для чтения, в то время как регистр данных и регистр направления данных - для чтения/записи.

Все выходы порта имеют отдельно подключаемые подтягивающие резисторы. Выходы порта В могут поглощать ток до 20 мА и непосредственно управлять светодиодными индикаторами. Если выходы PB0..PB7 используются как входы и замыкаются на землю, если включены внутренние подтягивающие резисторы, выходы являются источниками тока (I_{IL}). Дополнительные функции выводов порта В приведены в таблице 16.

Таблица 16. Альтернативные функции выводов порта В.

Вывод	Альтернативная функция
PB0	AIN0 (Положительный вход аналогового компаратора)
PB1	AIN1 (Отрицательный вход аналогового компаратора)
PB5	MOSI (Вход данных для загрузки памяти)
PB6	MISO (Выход данных для чтения памяти)
PB7	SCK (Вход тактовых импульсов последовательного обмена)

При использовании альтернативных функций выводов. Регистры DDRB и PORTB должны быть установлены в соответствии с описанием альтернативных функций.

РЕГИСТР ДАННЫХ ПОРТА В - PORTB

Бит	7	6	5	4	3	2	1	0	
\$18	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Чт./зап. (R/W)	R/W								
Начальн.знач.	0	0	0	0	0	0	0	0	

РЕГИСТР НАПРАВЛЕНИЯ ДАННЫХ ПОРТА В - DDRB

Бит	7	6	5	4	3	2	1	0	
\$17	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Чт./зап. (R/W)	R/W								
Начальн.знач.	0	0	0	0	0	0	0	0	

ВЫВОДЫ ПОРТА В - PINB

Бит	7	6	5	4	3	2	1	0	
\$16	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Чт./зап. (R/W)	R	R	R	R	R	R	R	R	
Начальн.знач.	Hi-Z								

PINB не является регистром, по этому адресу осуществляется доступ к физическим значениям каждого из выводов порта В. При чтении PORTB, читаются данные из регистра-защелки, при чтении PINB читаются логические значения присутствующие на выводах порта.

Порт В, как порт ввода/вывода общего назначения

Все 8 бит порта В при использовании для ввода/вывода одинаковы.

Бит DDBn регистра DDRB выбирает направление передачи данных. Если бит установлен (1), вывод сконфигурирован как выход. Если бит сброшен (0) - вывод сконфигурирован как вход. Если PORTBn установлен и вывод сконфигурирован как вход, включается КМОП подтягивающий резистор. Для отключения резистора, PORTBn должен быть сброшен (0) или вывод должен быть сконфигурирован как выход.

АЛЬТЕРНАТИВНЫЕ ФУНКЦИИ ПОРТА В

SCK - бит 7 порта В - тактовые импульсы для записи/чтения памяти

MISO - бит 6 порта В - выход данных для чтения памяти

MOSI - бит 5 порта В - вход данных для записи памяти

OC1 - PORTB, Bit 3 - Выход совпадения. Этот вывод может быть сконфигурирован для внешнего вывода события - совпадения таймера 1. Для этого бит DDB3 должен быть установлен в 1 (вывод сконфигурирован как выход).

AIN1 - бит 1 порта В - Отрицательный вход аналогового компаратора. Если вывод сконфигурирован как вход (DDB1 сброшен) и отключен внутренний подтягивающий резистор (PB0 сброшен), этот вывод работает как отрицательный вход встроенного аналогового компаратора.

AIN0 - бит 0 порта В - Положительный вход аналогового компаратора. Если вывод сконфигурирован как вход (DDB0 сброшен) и отключен внутренний подтягивающий резистор (PB1 сброшен), этот вывод работает как положительный вход встроенного аналогового компаратора.

Таблица 17. Влияние DDBn на выводы порта В

DDBn	PORTBn	Вх/Вых	Подт.резист	Комментарий
0	0	Вход	Нет	Третье состояние (Hi-Z)
0	1	Вход	Да	PBn источник тока I_{IL} , если извне соединен с землей
1	0	Выход	Нет	Выход установлен в 0
1	1	Выход	Нет	Выход установлен в 1

n = 7,6...0 - номер вывода

Порт D

Для порта D зарезервированы 3 ячейки памяти - регистр PORTD (\$12, \$32), регистр направления данных - DDRD (\$11, \$31) и выводы порта D - PIND (\$10, \$30). Регистры данных и направления данных могут читаться/записываться, ячейка PIND - только для чтения.

Порт D - 7-разрядный двунаправленный порт с встроенными подтягивающими регистрами. Выходные буферы порта могут поглощать ток до 20 мА. Если выводы используются как входы и на них подан низкий уровень, они являются источниками тока I_{IL} , если подключены подтягивающие резисторы. Некоторые из выводов порта имеют альтернативные функции, как показано в таблице 18.

Если выводы порта используются для обслуживания альтернативных функций, они должны быть сконфигурированы на ввод/вывод в соответствии с описанием функции.

Таблица 18. Альтернативные функции порта D

Вывод порта	Альтернативная функция
PD0	RXD (вход данных UART)
PD1	TXD (выход данных UART)
PD2	INT0 (вход внешнего прерывания 0)
PD3	INT1 (вход внешнего прерывания 1)
PD4	T0 (внешний вход таймера счетчика 0)
PD5	T1 (внешний вход таймера счетчика 1)
PD6	ICP (вход захвата таймера счетчика 1)

РЕГИСТР ДАННЫХ ПОРТА D - PORTD

Бит	7	6	5	4	3	2	1	0	
\$12(\$32)	-	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Чт./зап. (R/W)	R	R/W							
Начальн.знач.	0	0	0	0	0	0	0	0	

РЕГИСТР НАПРАВЛЕНИЯ ДАННЫХ ПОРТА D - DDRD

Бит	7	6	5	4	3	2	1	0	
\$11(\$31)	-	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Чт./зап. (R/W)	R	R/W							
Начальн.знач.	0	0	0	0	0	0	0	0	

ВЫВОДЫ ПОРТА D - PIND

Бит	7	6	5	4	3	2	1	0	
\$10(\$30)	-	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Чт./зап. (R/W)	R	R	R	R	R	R	R	R	
Начальн.знач.	0	Hi-Z							

PIND не является регистром, по этому адресу осуществляется доступ к физическим значениям каждого из выводов порта D. При чтении PORTD, читаются данные из регистра-зашелки, при чтении PIND читаются логические значения присутствующие на выводах порта.

Порт D, как порт ввода/вывода общего назначения

Все 7 бит порта D при использовании для ввода/вывода одинаковы.

Бит DDD_n регистра $DDRD$ выбирает направление передачи данных. Если бит установлен (1), вывод сконфигурирован как выход. Если бит сброшен (0) - вывод сконфигурирован как вход. Если $PORTD_n$ установлен и вывод сконфигурирован как вход, включается КМОП подтягивающий резистор. Для отключения резистора, $PORTD_n$ должен быть сброшен (0) или вывод должен быть сконфигурирован как выход.

Таблица 19. Влияние DDD_n на выводы порта D

DDD_n	$PORTD_n$	Вх/Вых	Подт.резист	Комментарий
0	0	Вход	Нет	Третье состояние (Hi-Z)
0	1	Вход	Да	PD_n источник тока I_{OL} , если извне соединен с землей
1	0	Выход	Нет	Выход установлен в 0
1	1	Выход	Нет	Выход установлен в 1

$n = 6..0$ - номер вывода

Альтернативные функции порта D

ICP - Порт D, бит 6 - вход захвата таймера/счетчика 1. Подробнее см. описание таймера.

T1 - Порт D, бит 5 - тактовый вход таймера/счетчика 1. Подробнее см. описание таймера.

T0 - Порт D, бит 4 - тактовый вход таймера/счетчика 0. Подробнее см. описание таймера.

INT1 - Порт D, бит 3 - вход внешних прерываний 1. Подробнее см. описание прерываний.

INT0 - Порт D, бит 2 - вход внешних прерываний 0. Подробнее см. описание прерываний.

TXD - Порт D, бит 1 - выход передатчика UART. Если разрешена работа передатчика UART, независимо от состояния $DDRD1$ этот вывод сконфигурирован как выход.

RXD - Порт D, бит 0 - выход приемника UART. Если разрешена работа приемника UART, независимо от состояния $DDRD0$ этот вывод сконфигурирован как выход. Когда UART использует вывод для приема данных, единица в $PORTD0$ подключает встроенный подтягивающий резистор.

Биты блокировки памяти

Микроконтроллер AT90S2313 имеет два бита блокировки, которые могут быть оставлены незапрограммированными (1) или программироваться (0), при этом достигаются свойства приведенные в таблице 12.

Таблица 20. Режимы защиты и биты блокировки

Биты блокировки			Тип защиты
Режим	LB1	LB2	
1	1	1	защита не установлена
2	0	1	дальнейшее программирование флэш памяти запрещено
3	0	0	как режим 2, но запрещено и чтение

Примечание: биты блокировки стираются только при полном стирании памяти

Биты конфигурации (Fuse bits)

В AT90S2313 предусмотрено два бита конфигурации - SPIEN и FSTRT.

Когда запрограммирован бит SPIEN (0) разрешен режим последовательного программирования. По умолчанию бит запрограммирован (0).

Когда запрограммирован бит FSTRT (0), используется укороченное время запуска. По умолчанию этот бит не запрограммирован (1). Можно заказывать микросхемы с предварительно запрограммированным битом.

Эти биты недоступны при последовательном программировании и не изменяются при стирании памяти.

Код устройства

Все микроконтроллеры фирмы Atmel имеют 3-байтовый сигнатурный код, по которому идентифицируется устройство. Этот код может быть прочитан в параллельном и последовательном режимах. Эти три байта размещены в отдельном адресном пространстве и для AT90S2313 имеют следующие значения:

1. \$000: \$1E - код производителя - Atmel
2. \$001: \$91 - 2 кБ флэш памяти
3. \$002: \$01 - при \$01=\$91 - м/сх AT90S2313

Если запрограммированы биты блокировки, байты сигнатуры в последовательном режиме не читаются.

МАКСИМАЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ

Рабочая температура	-55°C - +125°C
Температура хранения	-65°C - +150°C
Напряжение на любом выводе кроме RESET	-1.0V – V _{cc} +0.5V
Напряжение на любом выводе RESET	-1.0V - 13 V
Максимальное рабочее напряжение	6.6V
Постоянный ток через вывод порта	40.0 mA
Постоянный ток между VCC и GND	200.0 mA

ПРИМЕЧАНИЕ: выход параметров за пределы указанные в таблице может привести к нарушению работоспособности микросхемы. Это предельные значения параметров, рабочие параметры микросхемы приведены ниже. Удержание предельных значений на выводах м/сх в течение длительного времени может привести к потере работоспособности м/сх.

ХАРАКТЕРИСТИКИ ПО ПОСТОЯННОМУ ТОКУ

T_a = -40...+85°C, V_{cc}=2.7...6.0V (если не указано иначе)

Параметр	Мин.	Тип.	Макс.	Ед. изм.
Входное напряжение '0'	-0.5		0.3 V _{cc}	В
Входное напряжение '1' (кроме XTAL1 и RESET)	0.6 V _{cc}		V _{cc} +0.5	В
Входное напряжение '1' на XTAL1 и RESET	0.7 V _{cc}		V _{cc} +0.5	В
Выходное напряжение '0' ⁽¹⁾ (Порты В и D)	I _{IL} =20mA, V _{cc} = 5V I _{IL} =10mA, V _{cc} = 3V		0.5	В
Выходное напряжение '1' (Порты В и D)	I _{OH} =3mA, V _{cc} = 5V I _{OH} =3mA, V _{cc} = 3V	V _{cc} -0.5		В
Выходной ток (Порты В и D)	V _{cc} =5V, V _{OH} = 4.5V V _{cc} =3V, V _{OH} = 2.7V		10 5	mA
Поглощаемый ток (Порты В и D)	V _{cc} =5V, V _{IL} = 0.5V V _{cc} =3V, V _{IL} = 0.3V		20 10	mA
Подтягивающий резистор сброса	100		500	кОм
Подтягивающий резистор вывода порта	35		120	кОм
Потребляемый ток:	Активный режим, 3V, 4 МГц		3	mA
	холостой ход (idle mode), 3V, 4 МГц		1	mA
	пониженное потребление ⁽²⁾ WDT включен, 3V	9	15	мкА
	пониженное потребление ⁽²⁾ WDT выключен, 3V	<1	2	мкА
Напряжение смещения аналогового компаратора V _{cc} = 5V			40	мВ
Входной ток утечки аналогового компаратора V _{cc} = 5V V _{IN} = V _{cc} /2	-50		+50	нА
Время срабатывания аналогового компаратора	V _{cc} =2.7V		750	нс
	V _{cc} =4.0V		500	

ПРИМЕЧАНИЯ:

- В рабочем состоянии ток через выводы должен ограничиваться следующими условиями:
 - Максимальный ток через вывод - 20 mA (5V), 10 mA (3V)
 - Максимальный ток через все выводы - 80 mA
- Минимальное напряжение для режима пониженного потребления - 2V

ПАРАМЕТРЫ ВНЕШНЕГО ТАКТОВОГО СИГНАЛА

Параметр	V _{cc} =2.7...6.0 V		V _{cc} =4.0...6.0 V		Ед.
	мин.	макс.	мин.	макс.	
Частота	0	4	0	10	МГц
Период	250		100		нс
Длительность '1'	100		40		нс
Длительность '0'	100		40		нс
Длительность фронта (спада)		1,6		0.5	мкс

ИНФОРМАЦИЯ ДЛЯ ЗАКАЗА

Частота	Напряж. питания	Маркировка	Корпус	Диапазон температур
4 МГц	2.7...6.0 V	AT90S2313-4PC AT90S2313-4SC	20P3 20S	Коммерческий (0°C ... 70°C)
		AT90S2313-4PI AT90S2313-4SI	20P3 20S	Промышленный (-40°C ... 85°C)
10 МГц	4.0...6.0 V	AT90S2313-10PC AT90S2313-10SC	20P3 20S	Коммерческий (0°C ... 70°C)
		AT90S2313-10PI AT90S2313-10SI	20P3 20S	Промышленный (-40°C ... 85°C)

Корпус 20P3 - PDIP
20S - SOIC

СПИСОК РЕГИСТРОВ AT90S2313

Адрес	Название	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Стр.
\$3F(\$5F)	SREG	I	T	H	S	V	N	Z	C	10
\$3E(\$5E)		ЗАРЕЗЕРВИРОВАН								
\$3D(\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	10
\$3C(\$5C)		ЗАРЕЗЕРВИРОВАН								
\$3B(\$5B)	GIMSK	INT1	INT0	-	-	-	-	-	-	13
\$3A(\$5A)	GIFR	INTF1	INTF0	-	-	-	-	-	-	13
\$39(\$59)	TIMSK	TOIE1	OCIE1A	-	-	TICIE1	-	TOIE0	-	14
\$38(\$58)	TIFR	TOV1	OCF1A	-	-	ICF1	-	TOV0	-	14
...	...	ЗАРЕЗЕРВИРОВАНЫ								
\$35(\$55)	MCUCR	-	-	SE	SM	ISC11	ISC10	ISC01	ISC00	16
\$34(\$54)		ЗАРЕЗЕРВИРОВАН								
\$33(\$53)	TCCR0	-	-	-	-	-	CS02	CS01	CS00	18
\$32(\$52)	TCNT0	Таймер / счетчик (8 бит)								18
...	...	ЗАРЕЗЕРВИРОВАНЫ								
\$2F(\$4F)	TCCR1A	COM1A1	COM1A0	-	-	-	-	PWM11	PWM10	19
\$2E(\$4E)	TCCR1B	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	20
\$2D(\$4D)	TCNT1H	Таймер/счетчик1 старший байт								20
\$2C(\$4C)	TCNT1L	Таймер/счетчик1 младший байт								20
\$2B(\$4B)	OCR1AH	Таймер/счетчик1 регистр сравнения старший байт								21
\$2A(\$4A)	OCR1AL	Таймер/счетчик1 регистр сравнения младший байт								21
...	...	ЗАРЕЗЕРВИРОВАНЫ								
\$25(\$45)	ICR1H	Таймер/счетчик1 регистр захвата старший байт								21
\$24(\$44)	ICR1L	Таймер/счетчик1 регистр захвата младший байт								21
...	...	ЗАРЕЗЕРВИРОВАНЫ								
\$21(\$41)	WDTCR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	23
...	...	ЗАРЕЗЕРВИРОВАНЫ								
\$1E(\$3E)	EEAR	-	Регистр адреса энергонезависимой памяти							24
\$1E(\$3E)	EEDR	Регистр данных энергонезависимой памяти								24
\$1E(\$3E)	EEDR	-	-	-	-	-	EEMWE	EEWE	EERE	24
...	...	ЗАРЕЗЕРВИРОВАНЫ								
\$18(\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	30
\$17(\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	31
\$16(\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	31
...	...	ЗАРЕЗЕРВИРОВАНЫ								
\$12(\$32)	PORTD	-	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	32
\$11(\$31)	DDRD	-	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	32
\$10(\$30)	PIND	-	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	32
...	...	ЗАРЕЗЕРВИРОВАНЫ								
\$0C(\$2C)	UDR	Регистр данных UART								26
\$0B(\$2B)	USR	RXC	TXC	UDRE	FE	OR	-	-	-	26
\$0A(\$2A)	UCR	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	27
\$09(\$29)	UBRR	Регистр скорости передачи UART								29
\$08(\$28)	ACSR	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	29
...	...	ЗАРЕЗЕРВИРОВАНЫ								

Набор команд AT90S2313

Мнемон.	Операнды	Описание	Действие	Флаги	Цкл
<u>АРИФМЕТИЧЕСКИЕ И ЛОГИЧЕСКИЕ КОМАНДЫ</u>					
ADD	Rd, Rr	Сложить два регистра	$Rd \leftarrow Rd + Rr$	Z,C,N,V,H	1
ADC	Rd, Rr	Сложить с переносом	$Rd \leftarrow Rd + Rr + C$	Z,C,N,V,S,H	1
ADIW	Rd, K	Сложить слово с константой	$Rdh, l \leftarrow Rdh, l + K$	Z,C,N,V,S	2
SUB	Rd, Rr	Вычесть два регистра	$Rd \leftarrow Rd - Rr$	Z,C,N,V,H	1
SUBI	Rd, K	Вычесть константу	$Rd \leftarrow Rd - K$	Z,C,N,V,H	1
SBIW	Rd, K	Вычесть слово с константой	$Rdh, l \leftarrow Rdh, l - K$	Z,C,N,V,S	2
SBC	Rd, Rr	Вычесть с переносом	$Rd \leftarrow Rd - Rr - C$	Z,C,N,V,H	1
SBCI	Rd, K	Вычесть с переносом	$Rd \leftarrow Rd - K - C$	Z,C,N,V,H	1
AND	Rd, Rr	Логическое И	$Rd \leftarrow Rd \text{ AND } Rr$	Z,N,V	1
ANDI	Rd, K	Логическое И	$Rd \leftarrow Rd \text{ AND } K$	Z,N,V	1
OR	Rd, Rr	Логическое ИЛИ	$Rd \leftarrow Rd \text{ OR } Rr$	Z,N,V	1
ORI	Rd, K	Логическое ИЛИ	$Rd \leftarrow Rd \text{ OR } K$	Z,N,V	1
EOR	Rd, Rr	Исключающее ИЛИ	$Rd \leftarrow Rd \text{ XOR } Rr$	Z,N,V	1
COM	Rd	Дополнение до 1	$Rd \leftarrow \text{\$FF} - Rd$	Z,C,N,V	1
NEG	Rd	Дополнение до 2	$Rd \leftarrow \text{\$00} - Rd$	Z,C,N,V,H	1
SBR	Rd, K	Установка бит(-ов) в регистре	$Rd \leftarrow Rd \text{ OR } K$	Z,N,V	1
CBR	Rd, K	Сброс бит(-ов) в регистре	$Rd \leftarrow Rd \text{ AND } (\text{FFh} - K)$	Z,N,V	1
INC	Rd	Увеличить на 1	$Rd \leftarrow Rd + 1$	Z,N,V	1
DEC	Rd	Уменьшить на 1	$Rd \leftarrow Rd - 1$	Z,N,V	1
TST	Rd	Проверить на 0 или минус	$Rd \leftarrow Rd \text{ AND } Rd$	Z,N,V	1
CLR	Rd	Очистить регистр	$Rd \leftarrow Rd \text{ XOR } Rd$	Z,N,V	1
SER	Rd	Установить регистр	$Rd \leftarrow \text{\$FF}$	Не меняет	1

КОМАНДЫ ВЕТВЛЕНИЯ

RJMP	k	Относительный переход	$PC \leftarrow PC + k + 1$	Не меняет	2
LJMP		Переход по адресу (Z)	$PC \leftarrow Z$	Не меняет	2
RCALL	k	Относительный вызов подпрограммы	$PC \leftarrow PC + k + 1$	Не меняет	3
ICALL		Вызов подпрограммы по адресу (Z)	$PC \leftarrow Z$	Не меняет	3
RET		Выход из подпрограммы	$PC \leftarrow \text{STACK}$	Не меняет	4
RETI		Выход из прерывания	$PC \leftarrow \text{STACK}$	I	4
CPSE	Rd, Rr	Сравнить, пропуск если равно	$\text{if}(Rd=Rr) PC \leftarrow PC + 2 \text{ или } 3$	Не меняет	1/2
CP	Rd, Rr	Сравнить	$Rd - Rr$	Z,N,V,C,H	1
CPC	Rd, Rr	Сравнить с переносом	$Rd - Rr - C$	Z,N,V,C,H	1
CPI	Rd, K	Сравнить с константой	$Rd - K$	Z,N,V,C,H	1
SBRC	Rr, b	Пропуск если бит в регистре сброшен	$\text{if}(Rr(b)=0) PC \leftarrow PC + 2 \text{ или } 3$	Не меняет	1/2
SBRS	Rr, b	Пропуск если бит в регистре установлен	$\text{if}(Rr(b)=1) PC \leftarrow PC + 2 \text{ или } 3$	Не меняет	1/2
SBIC	P, b	Пропуск если бит в рег. ввода/выв. сброшен	$\text{if}(P(b)=0) PC \leftarrow PC + 2 \text{ или } 3$	Не меняет	1/2
SBIS	P, b	Пропуск если бит в рег. ввода/выв. установлен	$\text{if}(P(b)=1) PC \leftarrow PC + 2 \text{ или } 3$	Не меняет	1/2
BRBS	s, k	Переход если установлен флаг s	$\text{if}(SREG(s)=1) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRBC	s, k	Переход если сброшен флаг s	$\text{if}(SREG(s)=0) PC \leftarrow PC + k + 1$	Не меняет	1/2
BREQ	k	Переход если равно	$\text{if}(Z=1) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRNE	k	Переход если неравно	$\text{if}(Z=0) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRCS	k	Переход если установлен перенос	$\text{if}(C=1) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRCC	k	Переход если сброшен перенос	$\text{if}(C=0) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRSH	k	Переход если равно или больше	$\text{if}(C=0) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRLO	k	Переход если меньше	$\text{if}(C=1) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRMI	k	Переход если минус	$\text{if}(N=1) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRPL	k	Переход если плюс	$\text{if}(N=0) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRGE	k	Переход если больше или равно, со знаком	$\text{if}(N \text{ XOR } V=0) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRLT	k	Переход если меньше нуля, со знаком	$\text{if}(N \text{ XOR } V=1) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRHS	k	Переход если установлен флаг H	$\text{if}(H=1) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRHC	k	Переход если сброшен флаг H	$\text{if}(H=0) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRTS	k	Переход если установлен флаг T	$\text{if}(H=1) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRTC	k	Переход если сброшен флаг T	$\text{if}(H=0) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRVS	k	Переход если установлен флаг V (переполнение)	$\text{if}(H=1) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRVC	k	Переход если сброшен флаг V	$\text{if}(H=0) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRIE	k	Переход если разрешены прерывания	$\text{if}(I=1) PC \leftarrow PC + k + 1$	Не меняет	1/2
BRID	k	Переход если запрещены прерывания	$\text{if}(I=1) PC \leftarrow PC + k + 1$	Не меняет	1/2

Мнемон.	Операнды	Описание	Действие	Флаги	Цкл
КОМАНДЫ ПЕРЕСЫЛКИ					
MOV	Rd,Rr	Пересылка между регистрами	$Rd \leftarrow Rr$	Не меняет	1
LDI	Rd,K	Загрузить константу	$Rd \leftarrow K$	Не меняет	1
LD	Rd,X	Загрузить регистр непосредственно	$Rd \leftarrow (X)$	Не меняет	2
LD	Rd,X+	Загрузить регистр непосред. с пост инкрем.	$Rd \leftarrow (X), X \leftarrow X+1$	Не меняет	2
LD	Rd,-X	Загрузить регистр непосред. с предвар. декрем.	$X \leftarrow X-1, Rd \leftarrow (X)$	Не меняет	2
LD	Rd,Y	Загрузить регистр непосредственно	$Rd \leftarrow (Y)$	Не меняет	2
LD	Rd,Y+	Загрузить регистр непосред. с пост инкрем.	$Rd \leftarrow (Y), Y \leftarrow Y+1$	Не меняет	2
LD	Rd,-Y	Загрузить регистр непосред. с предвар.декрем.	$Y \leftarrow Y-1, Rd \leftarrow (Y)$	Не меняет	2
LDD	Rd,Y+q	Загрузить регистр непосред. со смещением	$Rd \leftarrow (Y+q)$	Не меняет	2
LD	Rd,Z	Загрузить регистр непосредственно	$Rd \leftarrow (Z)$	Не меняет	2
LD	Rd,Z+	Загрузить регистр непосред. с пост инкрементом	$Rd \leftarrow (Z), Z \leftarrow Z+1$	Не меняет	2
LD	Rd,-Z	Загрузить регистр непосред. с предв.декрем.	$Z \leftarrow Z-1, Rd \leftarrow (Z)$	Не меняет	2
LDD	Rd,Z+q	Загрузить регистр непосред. со смещением	$Rd \leftarrow (Z+q)$	Не меняет	2
LDS	Rd,k	Загрузить из ОЗУ	$Rd \leftarrow (k)$	Не меняет	3
ST	X,Rr	Записать регистр непосредственно	$(X) \leftarrow Rr$	Не меняет	2
ST	X+,Rr	Записать регистр непосред. с пост инкрементом.	$(X) \leftarrow Rr, X \leftarrow X+1$	Не меняет	2
ST	-X,Rr	Записать регистр непосред. с пред. декрементом.	$X \leftarrow X-1, (X) \leftarrow Rr$	Не меняет	2
ST	Y,Rr	Записать регистр непосредственно	$(Y) \leftarrow Rr$	Не меняет	2
ST	Y+,Rr	Записать регистр непосред.с пост инкрементом.	$(Y) \leftarrow Rr, Y \leftarrow Y+1$	Не меняет	2
ST	-Y,Rr	Записать регистр непосред.с пред. декрементом.	$Y \leftarrow Y-1, (Y) \leftarrow Rr$	Не меняет	2
STD	Y+q,Rr	Записать регистр непосред. со смещением	$(Y+q) \leftarrow Rr$	Не меняет	2
ST	Z,Rr	Записать регистр непосредственно	$(Z) \leftarrow Rr$	Не меняет	2
ST	Z+,Rr	Записать регистр непосред. с пост инкрементом.	$(Z) \leftarrow Rr, Z \leftarrow Z+1$	Не меняет	2
ST	-Z,Rr	Записать регистр непосред. с пред. декрементом.	$Z \leftarrow Z-1, (Z) \leftarrow Rr$	Не меняет	2
STD	Y+q,Rr	Записать регистр непосред. со смещением	$(Y+q) \leftarrow Rr$	Не меняет	2
STS	k,Rr	Записать в ОЗУ	$(k) \leftarrow Rr$	Не меняет	3
LPM		Загрузить из памяти программ.	$R0 \leftarrow (Z)$	Не меняет	3
IN	Rd, P	Ввод из порта	$Rd \leftarrow P$	Не меняет	1
OUT	P, Rr	Вывод в порт	$P \leftarrow Rr$	Не меняет	1
PUSH	Rr	Записать в стек	$STACK \leftarrow Rr$	Не меняет	2
POP	Rr	Прочитать из стека	$Rr \leftarrow STACK$	Не меняет	2
КОМАНДЫ РАБОТЫ С БИТАМИ					
SBI	P,b	Установить бит в регистре ввода/вывода	$I/O(P,b) \leftarrow 1$	Не меняет	2
CBI	P,b	Сбросить бит в регистре ввода/вывода	$I/O(P,b) \leftarrow 0$	Не меняет	2
LSL	Rd	Логический сдвиг влево	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	Z,C,N,V	1
LSR	Rd	Логический сдвиг вправо	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	Z,C,N,V	1
ROL	Rd	Сдвиг влево через C	$Rd(0) \leftarrow C,$ $Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	Z,C,N,V	1
ROR	Rd	Сдвиг вправо через C	$Rd(7) \leftarrow C,$ $Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	Z,C,N,V	1
ASR	Rd	Арифметический сдвиг вправо	$Rd(n) \leftarrow Rd(n+1), n=0..6$	Z,C,N,V	1
SWAP	Rd	Обмен байт	$Rd(3-0) \leftarrow Rd(7-4),$ $Rd(7-4) \leftarrow Rd(3-0)$	Не меняет	1
BSET	s	Установить флаг	$SREG(s) \leftarrow 1$	SREG(s)	1
BCLR	s	Сбросить флаг	$SREG(s) \leftarrow 0$	SREG(s)	1
BST	Rr,b	Запомнить бит в T	$T \leftarrow Rr(b)$	T	1
BLD	Rd, b	Прочитать бит из T	$Rd(b) \leftarrow T$	Не меняет	1
SEC		Установить перенос	$C \leftarrow 1$	C	1
CLC		Сбросить перенос	$C \leftarrow 0$	C	1
SEN		Установить флаг N	$N \leftarrow 1$	N	1
CLN		Сбросить флаг N	$N \leftarrow 0$	N	1
SEZ		Установить флаг Z	$Z \leftarrow 1$	Z	1
CLZ		Сбросить флаг Z	$Z \leftarrow 0$	Z	1
SEI		Разрешить прерывания	$I \leftarrow 1$	I	1
CLI		Запретить прерывания	$I \leftarrow 0$	I	1
SES		Установить флаг S	$S \leftarrow 1$	S	1
CLS		Сбросить флаг S	$S \leftarrow 0$	S	1
SEV		Установить флаг V	$V \leftarrow 1$	V	1
CLV		Сбросить флаг V	$V \leftarrow 0$	V	1
SET		Установить флаг T	$T \leftarrow 1$	T	1
CLT		Сбросить флаг T	$T \leftarrow 0$	T	1
SEH		Установить флаг H	$H \leftarrow 1$	H	1
CLH		Сбросить флаг H	$H \leftarrow 0$	H	1
NOP		Нет операции		Не меняет	1
SLEEP		Останов		Не меняет	3
WDR		Сброс сторожевого таймера		Не меняет	1