

# **Allegro® PCB Layout System**

Версия 14.0

## **Руководство пользователя**

## Предисловие.

Данный перевод ни коей мере не претендует на полноту изложения и застрахованность от всевозможных ошибок, хотя переводчики и постарались устранить все недостатки. Перевод также не заменяет оригинальную документацию фирмы Cadence. В любом случае, если возникает несоответствие между данным переводом и фирменной документацией, предпочтение следует отдавать ей. Мы будем признательны за все замечания, сообщенные нам читателями.

Перевод: Чернов Денис, Плотников Владимир.  
Редактор: Плотников Владимир.

Произведено: Бюро САПР, ОАО «ЭЛАРА», 2002 год.

Copyright CAD/CAM/CAE and EDA Bureau, ELARA, 2002

# Глава 1: Введение

## Цели

В этой главе вы:

- ✦ Разберетесь в структуре папок.
- ✦ Познакомитесь с возможностями Allegro.
- ✦ Разберетесь в интерфейсе пользователя Allegro.
- ✦ Узнаете, как получить HELP.

## Термины и Определения

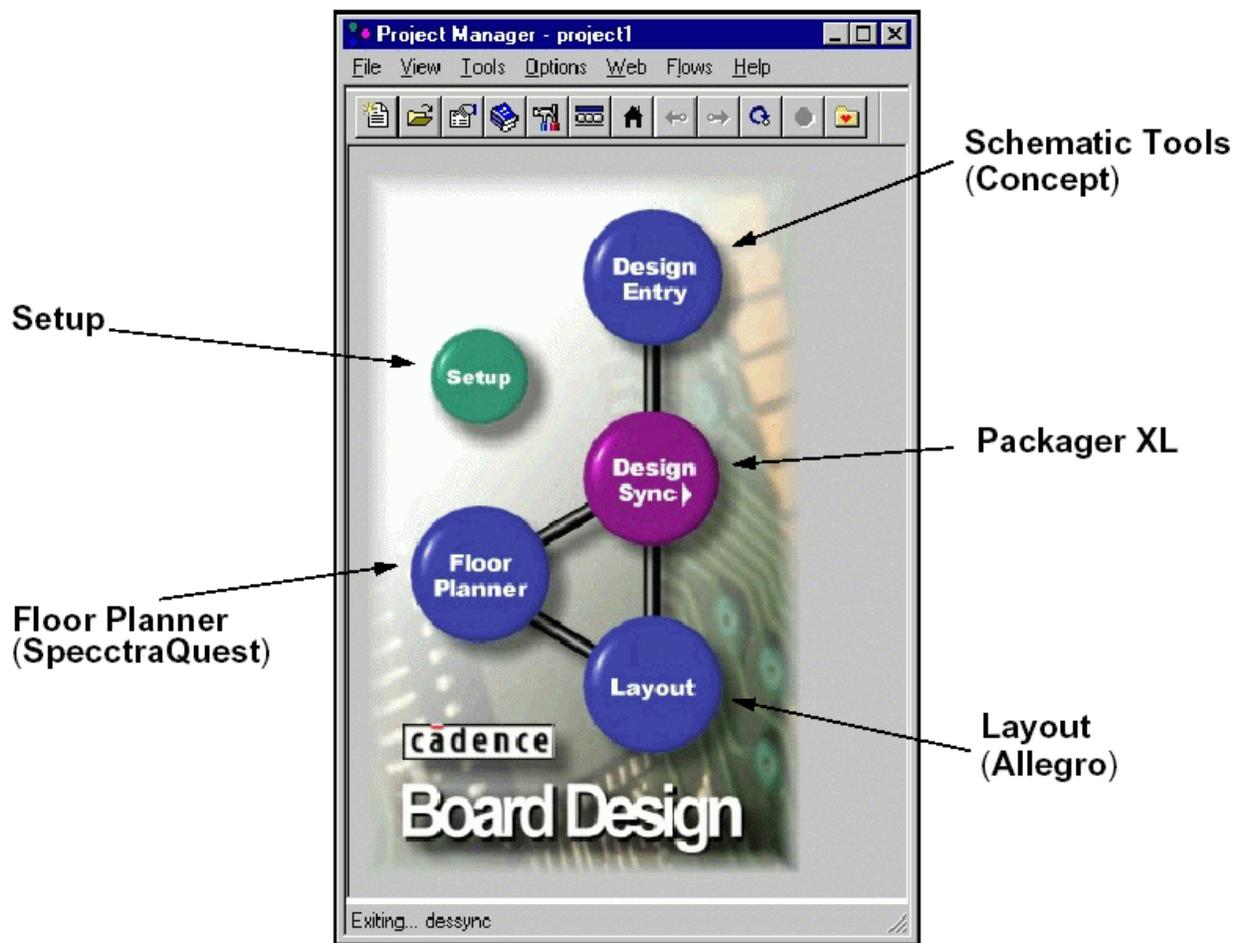
**Термин**

**Определение**

Allegro

Полнофункциональная система разработки печатных плат.

## Project Manager



Project Manager позволяет вам легко шаг за шагом разрабатывать печатную плату.

✦ Инструменты проектировщика:

— **Setup** определяет проект и необходимые для его создания библиотеки.

— **Design Entry** запускает редактор схем Concept®.

— **Design Sync** запускает передачу проекта и меняет набор инструментов. Этот шаг является переходным между Concept и Allegro или инструментами SPECCTRAQuest.

— **Floor Planner** запускает SPECCTRAQuest™ Engineer, набор инструментов для анализа высокочастотных цепей проекта.

— **Layout** запускает редактор Allegro.

✦ Когда средства проектирования запускаются из Project Manager, связь между наборами инструментов облегчает зондаж части или сети, расположение частей, проверку ошибок, сопоставление проекта и синхронизацию.

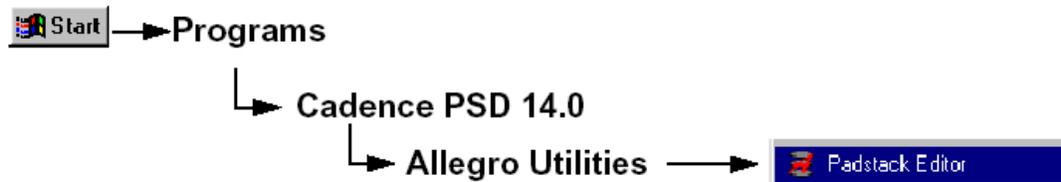
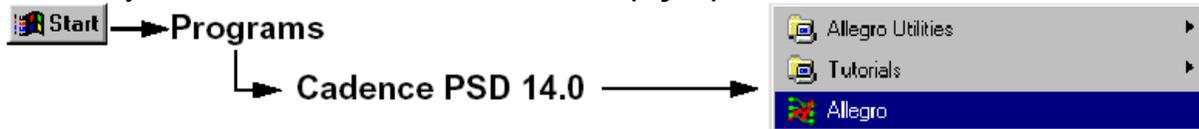
✦ Project Manager создает или открывает файл проекта (*имя\_проекта.cpm*) при запуске.

## Группа программ Allegro

Когда вы устанавливаете Allegro на свой компьютер, программа установки автоматически создает многие инструменты, некоторые из которых:

- \* Редактор Allegro
- \* Padstack Designer (Padstack Editor)

Вы можете запустить их с помощью кнопки **Start(Пуск)**.



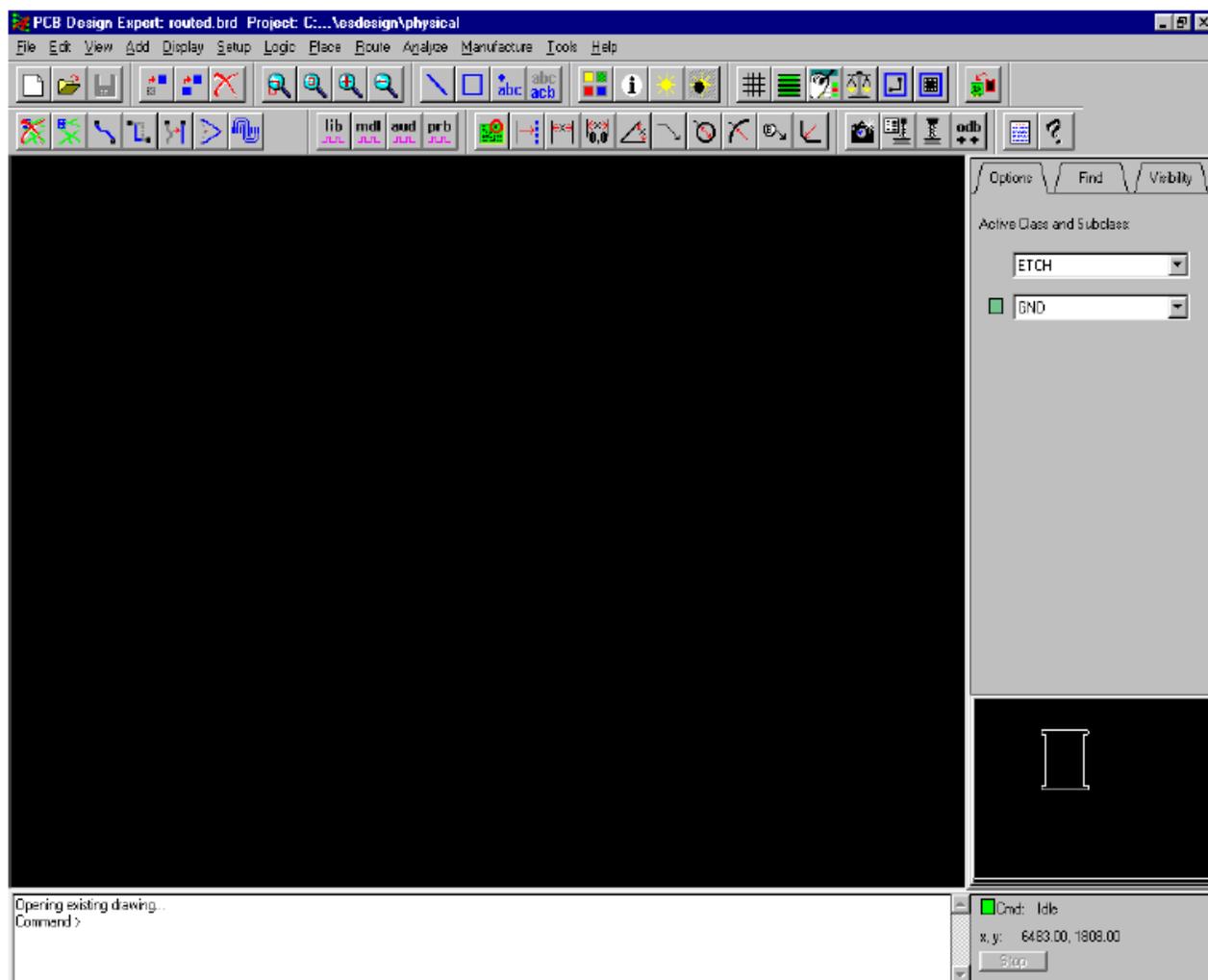
\* **Allegro Editor** позволяет вам создавать или изменять проекты и библиотеку физических СИМВОЛОВ.

\* **Padstack Editor** позволяет вам создавать или изменять библиотеку

padstacks(контактных площадок), включая:

- Определение параметры ваших padstacks
- Создание blind и buried via padstacks
- Добавление слоев padstack
- Копирование слоев padstack
- Удаление слоев в padstack

# Allegro Editor

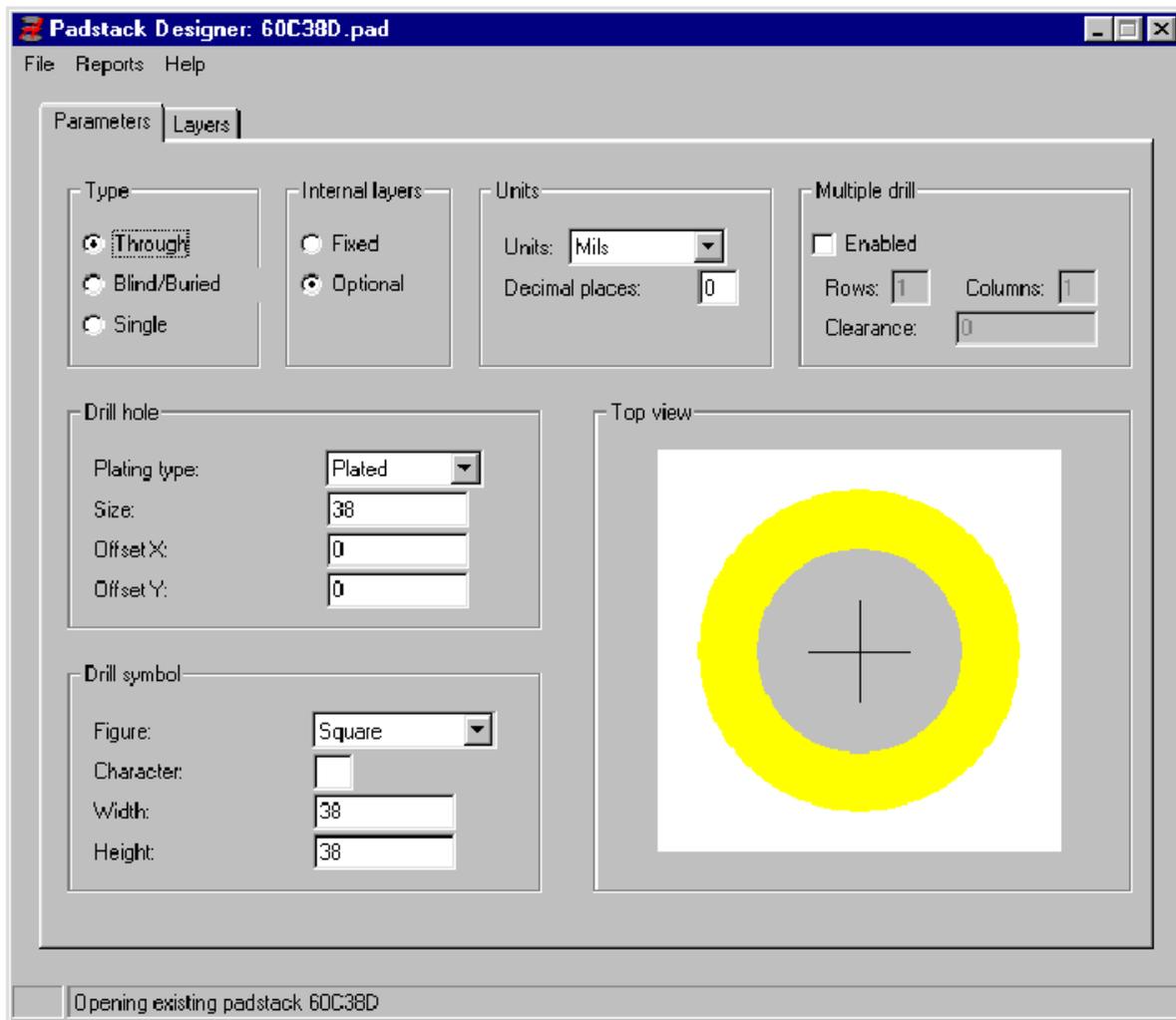


## Allegro Editor

Allegro Editor позволяет вам создавать и редактировать проекты.

Нажмите кнопку **Start(Пуск)**, затем выберите **Программы—Cadence PSD 14.0—Allegro**.

## Padstack Designer



### Padstack Designer

Padstack Designer позволяет вам создавать и редактировать библиотеку padstack'ов, включая:

- ✦ Выбирать параметры ваших padstacks
- ✦ Создавать blind и buried via padstacks
- ✦ Добавлять слои padstack
- ✦ Копировать слои padstack
- ✦ Удалять слои в padstack

Библиотека padstack определяет данные контактной площадки для всех слоев. Вы должны определить padstacks до того, как создадите любые package symbols, потому что каждый pin в package symbol должен иметь связанный с ним padstack.

## Другие Инструменты Allegro

Start — Programs — Cadence PSD 14.0 — Allegro Utilities



Следующие инструменты доступны из установочной директории. Используя WindowsNT, вы можете создать для этих иконок ярлыки на Рабочем Столе.

### Batch DRC

Batch DRC позволяет вам запускать проверку чертежа (DRC) не открывая Allegro Editor.

### Allegro to SPECCTRA

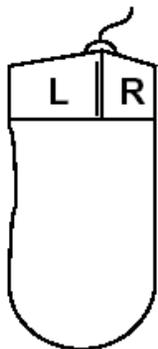
Allegro to SPECCTRA позволяет вам подготавливать данные проекта для SPECCTRA.

### Настройка Базы Данных

Database fix utility позволяет вам проверять целостность базы данных и автоматически исправлять поврежденные данные.

## Mouse Buttons

### Two-Button Mouse



- Left Button — Select design elements, menu buttons and icons. Window selection available by “dragging”.
- Right Button — Open pop-up menus.
- Shift & Right Button — Pan, zoom in, zoom out.

### Three-Button Mouse



- Left Button — Select design elements, menu buttons and icons. Window selection available by “dragging”.
- Middle Button — Pan, zoom in, zoom out.
- Right Button — Open pop-up menus.

## Использование мыши

### Левая кнопка мыши

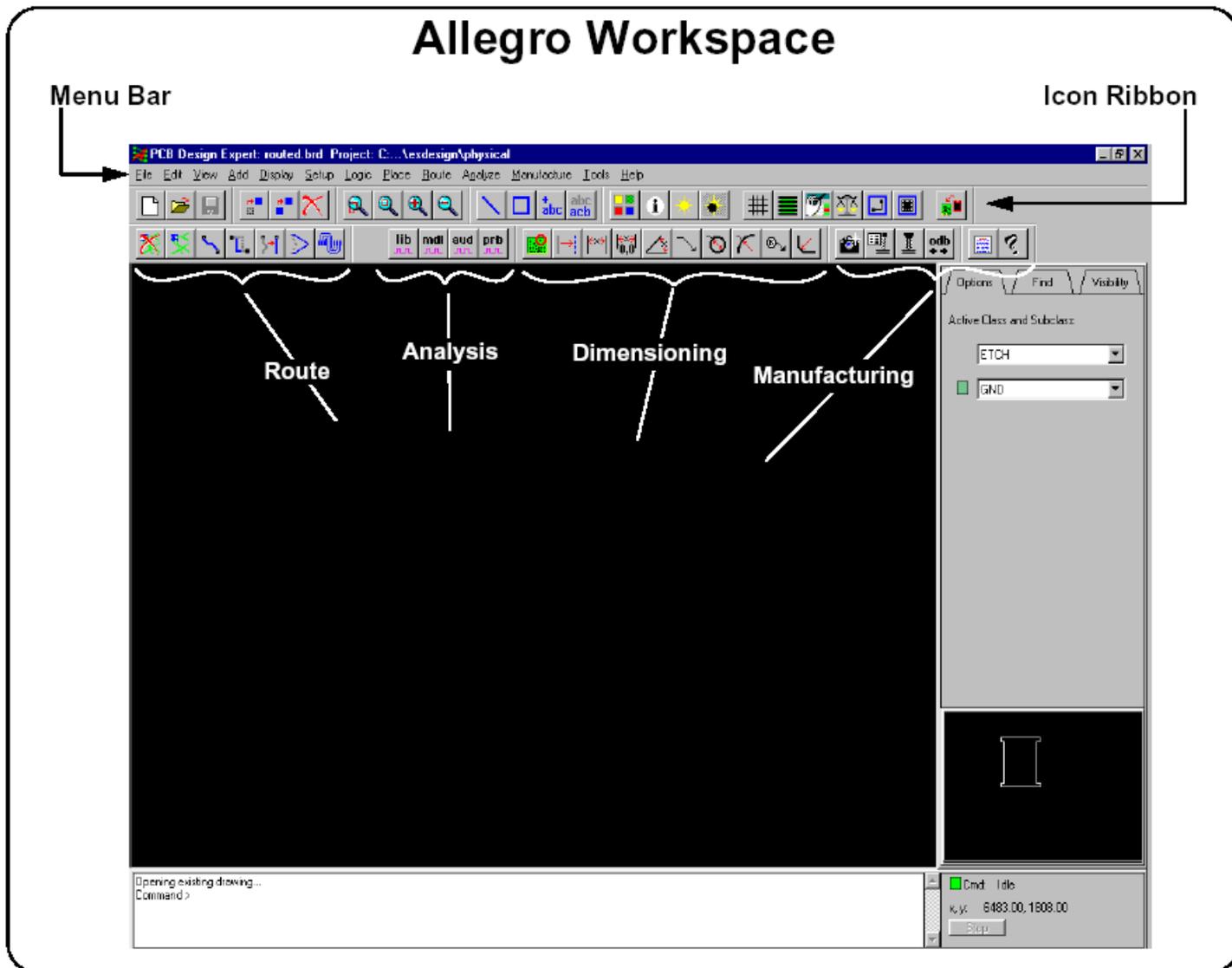
- ✦ Используйте эту кнопку для выбора графических элементов в проекте (такие как линии и текст). Выбранная деталь выделяется. Должна использоваться вместе с активной командой.
- ✦ Используйте эту кнопку для выбора команд в меню и иконок.
- ✦ Некоторые формы содержат встроенные опции. Чтобы отобразить и выбрать эти опции, используйте левую кнопку мыши (например, меню Options).

### Правая кнопка мыши

- ✦ Отображает всплывающее меню, содержащее опции связанные с текущей командой.

### Средняя кнопка мыши

- ✦ Нажмите и держите среднюю кнопку двигая мышь в сторону, для прокрутки изображения.



## Allegro Workspace (Рабочая область Allegro)

### Выпадающие меню

В выпадающих меню на панели инструментов содержатся все необходимые вам команды для создания или редактирования проекта.

### Иконки

Панель иконок содержит иконки быстрого доступа к общим командам Allegro. Они могут быть добавлены и удалены по отдельности.

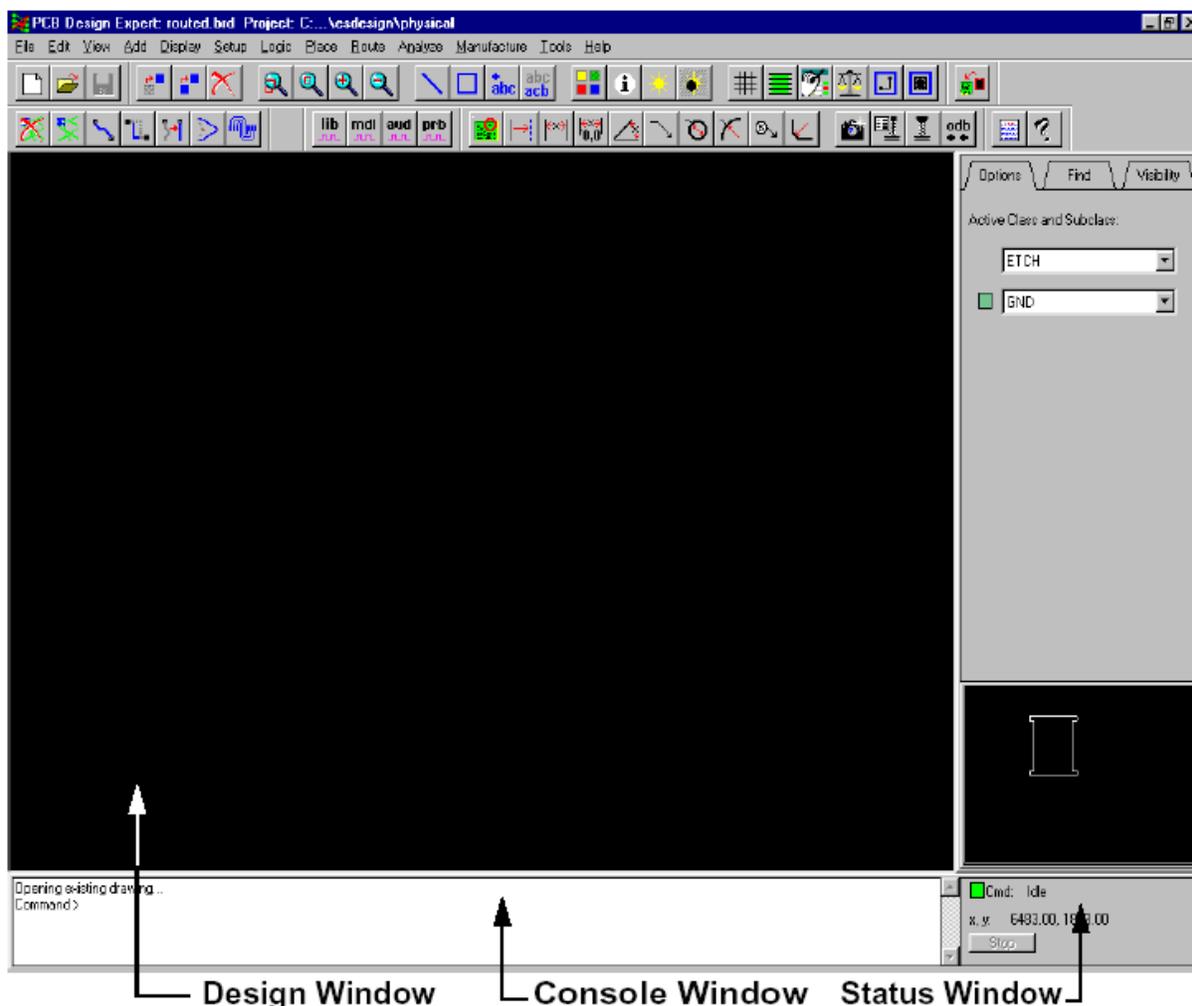
### Инструменты

Секции инструментов на панели иконок могут быть перемещены. Они включают следующие группы инструментов:

- Разводка (Route)
- Анализ (Analysis)
- Размерные линии (Dimensioning)
- Выход на производство (Manufacturing)

**Внимание:** Группы инструментов могут быть включены или выключены командами меню **View—Customization—Toolbar**.

# Allegro Workspace



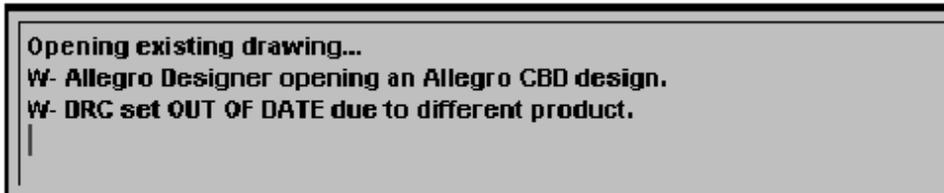
## Allegro Workspace (продолжение)

### Окно Проекта (Design Window)

Окно проекта – часть рабочего окна редактора в котором вы создаете проект.

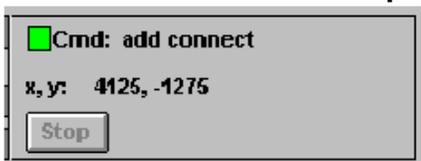
### Окно Консоли (Console Window)

Окно консоли отображает сообщения и команды, и содержит командную строку в которой вы вводите команды Allegro.

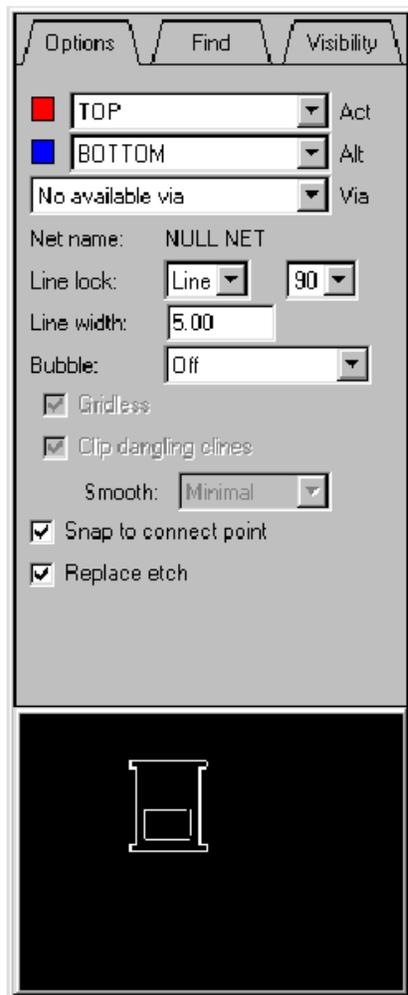


### Окно Статуса (Status Window)

Окно статуса показывает активную команду и текущие координаты курсора x, y. В окне статуса имеется также кнопка **Stop** которая прекращает выполнение активной команды.



## The Control Panel



### The Control Panel (Панель управления)

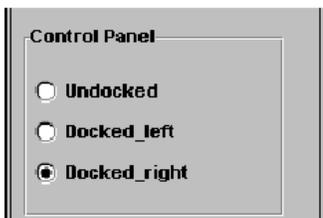
Control Panel позволяет вам переключаться между Find Filter (поисковым фильтром), Visibility (окном видимости) и Options (Опциями). Имеется также окно World View которое позволяет вам приближать или отдалять проект чтобы вы знали, где находитесь.

Чтобы предоставить вам больше места под проект Allegro позволяет вам убрать панель управления.

Чтобы отстыковать Control Panel:

1. Выберите **View—Customization—Display**.

Появляется диалоговое окно Display Option.

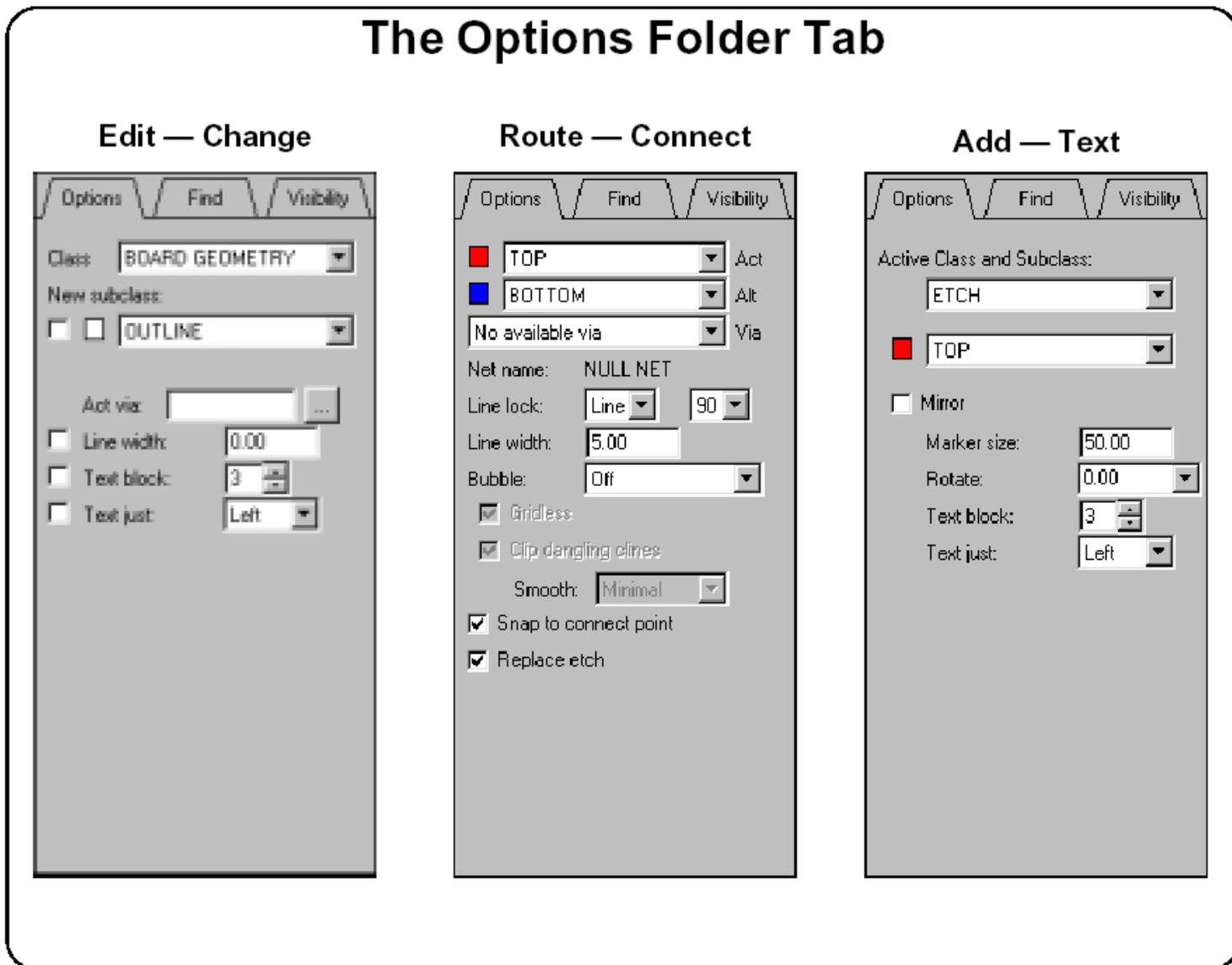


2. Отметьте нужное вам расположение Control Panel.

3. Нажмите **OK**.

Отстыковав Control Panel, вы можете сжать или уменьшить ее как любое окно Windows.

## The Options Folder Tab



### The Options Folder Tab (Опции)

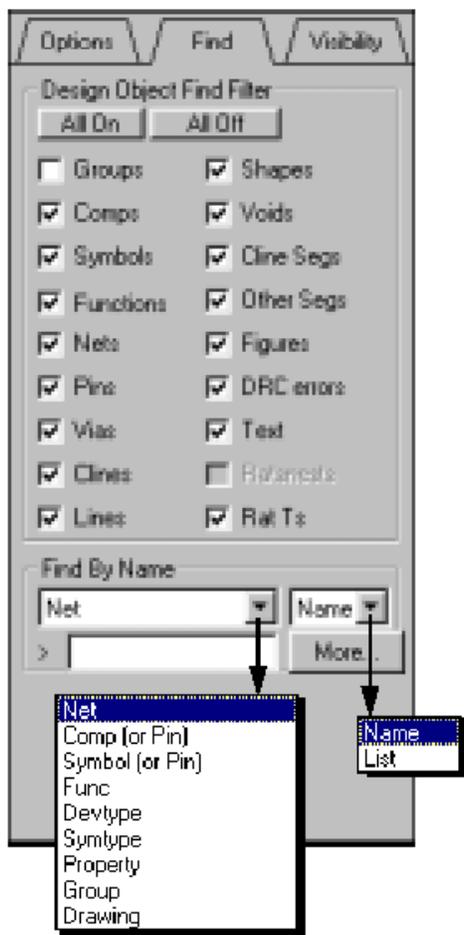
Частью Control Panel является окно Options. Оно отображает текущие параметры и значения для активной команды и также содержит поля, которые позволяют вам контролировать действия активной команды.

Поля, которые появляются в окне Options, различаются согласно активной команде. Когда вы выбираете команду Allegro, окно Options меняется, отображая соответствующий класс и определенный по умолчанию подкласс.

Параметры и значения устанавливаемые в Options немедленно влияют на проект. Они аннулируют определения для тех же параметров и значений, которые могут существовать где угодно в Allegro.

Рисунок показывает поля Options для трех разных команд.

## The Find Filter



### The Find Filter (Поисковый фильтр)

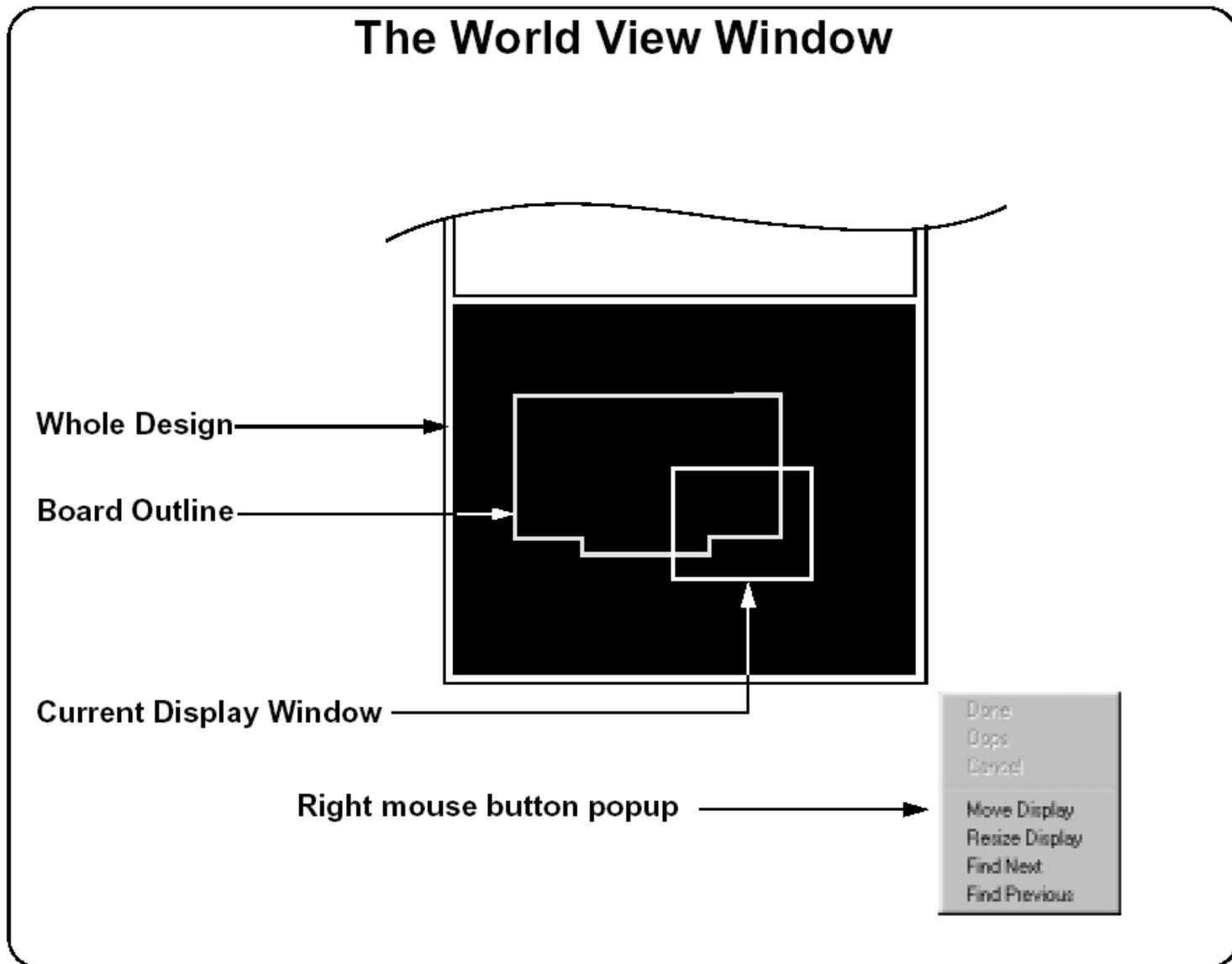
Другая часть Control Panel - Find Filter. Он позволяет вам точно определять объекты чертежа изменяемые активной командой. Если вы выберете согласованную команду, такую как **Edit—Move**, **Edit—Delete** или **Edit—Vertex**, Find Filter отобразит требуемые командой элементы. Лист доступных объектов может меняться, в зависимости от того, с каким набором инструментов и проектом вы в данный момент работаете.

### Find By Name (Поиск по имени)

В этой части Find Filter вы можете ввести имя определенного объекта или сети. Можете использовать стрелку скроллинга для выбора **Net**, **Comp**, **Symbol**, **Func**, **Devtype**, **Symtype**, **Property** или **Group**. Стрелка скроллинга в правом поле позволяет вам выбрать **Name** или **List**. Если вы выберете **List**, вы должны будете ввести имя ASCII файла, который содержит список имен.

### More...(Больше)

Кнопка **More** в правом нижнем углу окна Find Filter открывает окно, которое позволяет выбрать из списка доступных названий сети, компонентов или свойств.



## The World View Window (Окно общего вида)

World View window - нижняя часть Control Panel. Оно позволяет вам быстро отобразить необходимую часть проекта.

## The World View Pop-Up Menu (Всплывающее меню)

Чтобы отобразить всплывающее меню World View window, нажмите правую кнопку мыши в World View window. Опции всплывающего меню World View:

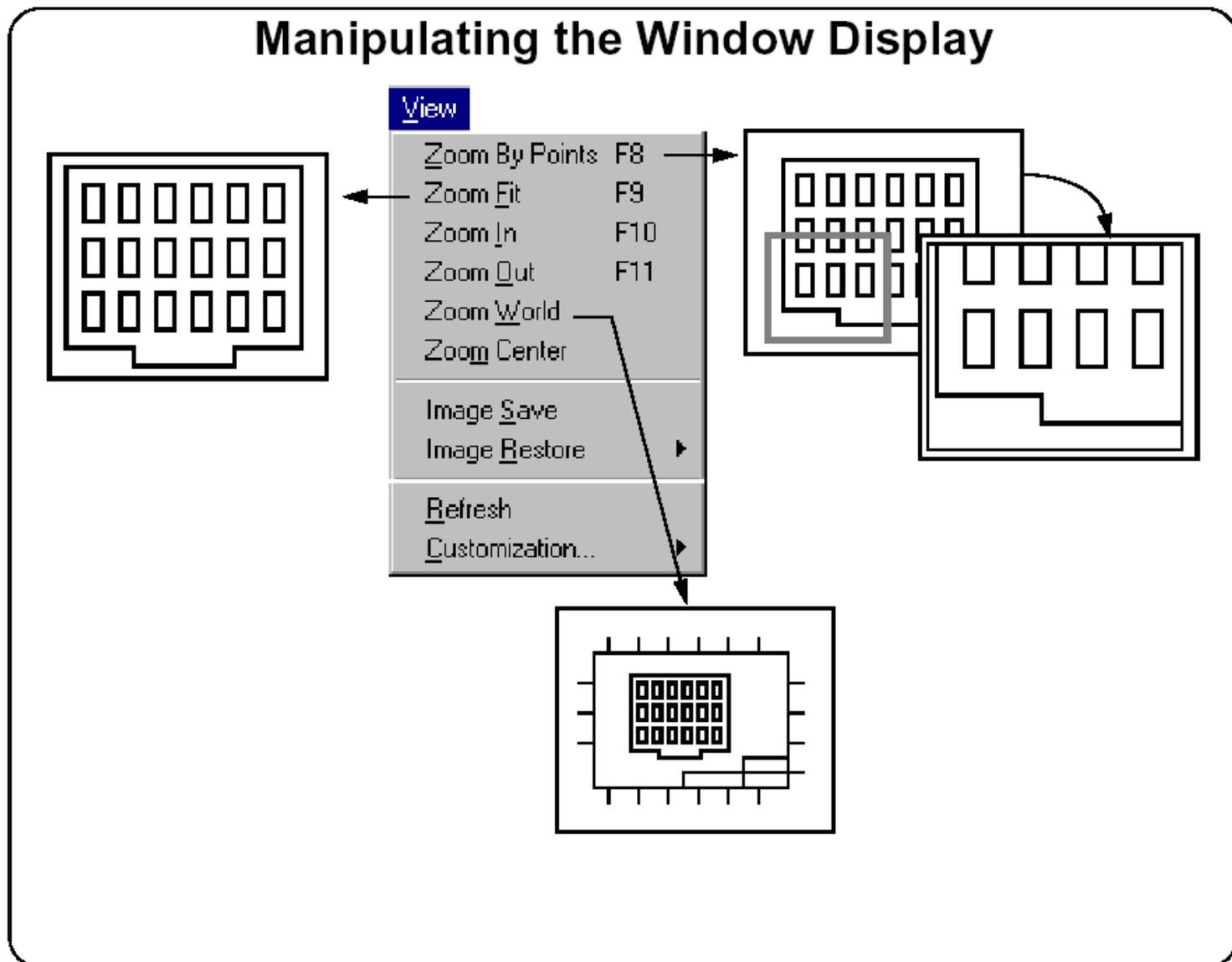
✦ **Move Display (Подвинуть изображение)**—Двигает изображение к месту, показанному в World View window. Это также может быть выполнено с помощью удерживания средней кнопки мыши и перемещения курсора по World View window.

✦ **Resize Display (Изменить Размер Изображения)**—Меняет размер изображения рабочего поля. Это также может быть выполнено с помощью удерживания левой кнопки мыши и передвижения курсора по World View window.

✦ **Find Next (Найти Следующий)**—Фокусирует изображение на следующем выделенном объекте. Можно также выбрать объект нажатием на него левой кнопкой мыши в World View window.

✦ **Find Previous (Найти Предыдущий)**—Фокусирует изображение на выделенном объекте, который является предыдущим в списке.

## Manipulating the Window Display



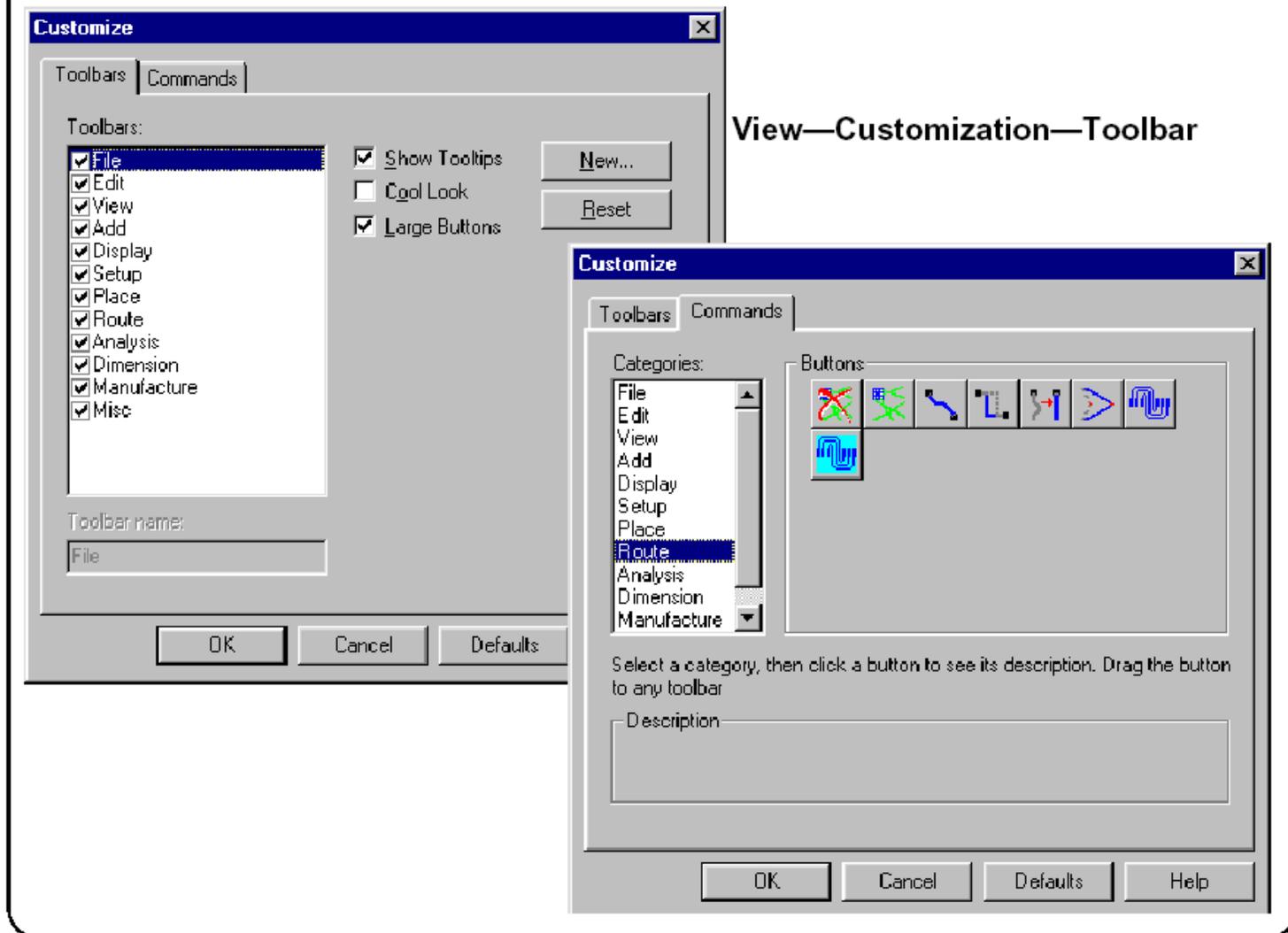
### Manipulating the Window Display (Управление изображением)

Используйте опцию View для выбора команд, которые меняют изображение в рабочем пространстве. Показано выпадающее меню опции View.

- ✦ **Zoom by Points (Увеличение по точкам)** выбирает новое отображаемое пространство путем выбора вами двух точек, расположенных на противоположных концах диагонали. После выбора первой точки, рамка растягивается от этой точки до курсора. Выбор второй точки определяет размер нового рабочего пространства.
- ✦ **Zoom Fit** создает новый вид который охватывает плату целиком.
- ✦ **Zoom In** увеличивает площадь вокруг центральной точки вида.
- ✦ **Zoom Out** отдаляет изображение для видимости большего числа элементов.
- ✦ **Zoom World** отображает вид всего рабочего пространства.
- ✦ **Image Save** и **Restore** позволяют вам сохранять и восстанавливать определенные виды.
- ✦ **Customization** позволяет вам переместить Control Panel в любую часть рабочего пространства.

**Внимание:** Вы можете использовать среднюю кнопку мыши для панорамирования и приближения. Вы также можете использовать правый Shift с двухкнопочной мышью.

## Customizing the Toolbar



### Customizing the Toolbar (Изменение Панели Инструментов)

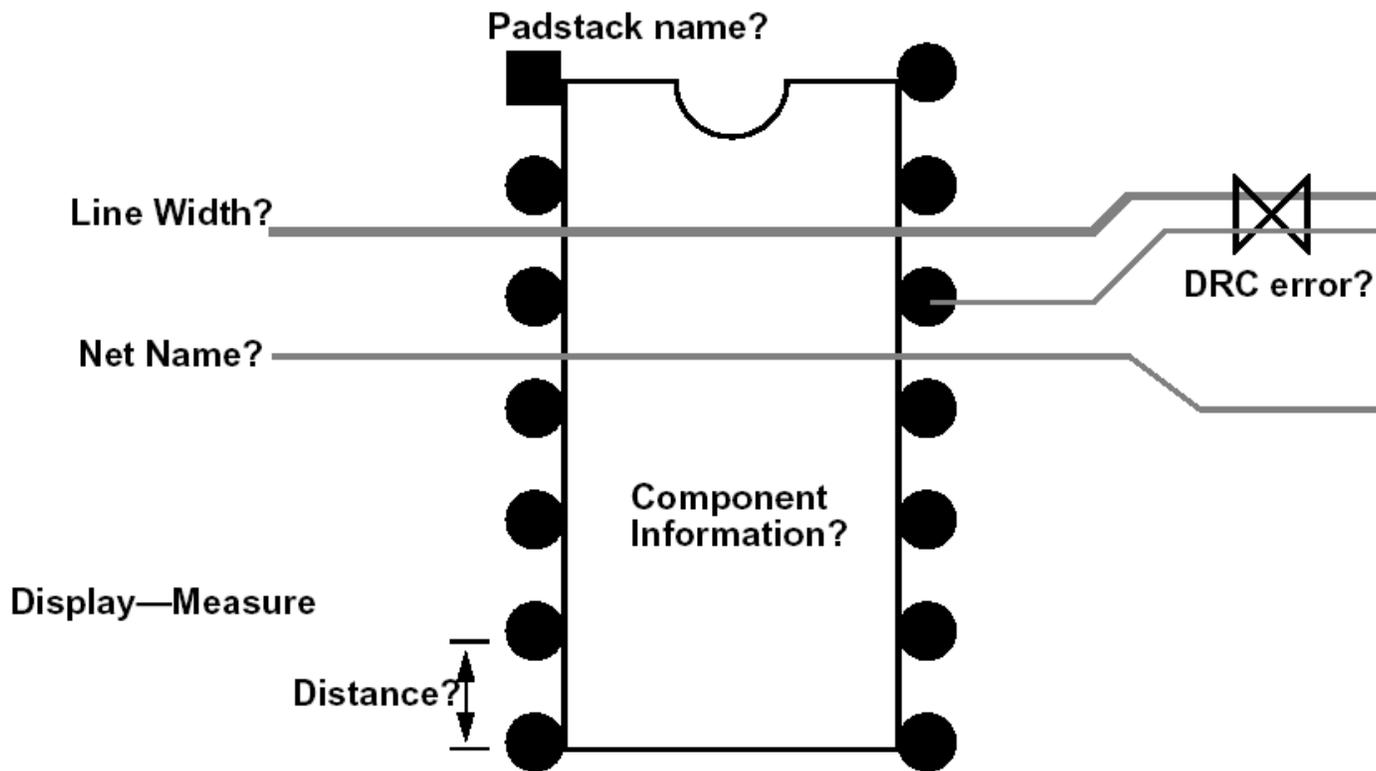
Используйте закладку **Toolbars** для выбора нужных иконок и наборов инструментов. Дополнительные опции включают Show Tooltips (Всплывающие подсказки), Large Buttons (Большие кнопки), and Cool Look.

Используйте закладку **Commands** для списка категорий иконок, получения описания кнопок и перетаскивания любой иконки на панель инструментов или куда хотите.

## Getting Information About Objects



-or- Display—Element



### Получение информации об объектах

Команда *Show Element* отображает вспомогательную информацию о выбранном элементе в проекте. Просмотреть информацию можно нажав иконку **Show Element** или выбрав **Display—Element**. Используйте команду Show Element чтобы получить имена сетей, кодовые обозначения и номера pin, ширину проводников, длин цепей, информацию о классе - подклассе, типы блоков, названия padstack, присоединенные свойства, ошибки DRC, и т.д.

★ **Display—Element** отображает информацию о выбранном элементе. Используйте Find Filter для выбора. Allegro выделяет выбранный элемент и выводит все важные данные.

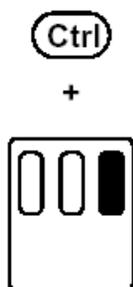
★ **Display—Measure** работает как измеритель расстояний. Он вычисляет delta-x, delta-y, manhattan и прямое расстояние между двумя элементами Allegro. Он также вычисляет промежуток между двумя проводящими элементами.

★ **Display—Property** сканирует базу данных проекта и создает список элементов, имеющих специфические свойства.

★ **Display—Parasitics** (только в Allegro Expert ) вычисляет емкостное сопротивление между двумя проводниками.

## Running Commands with Strokes

Strokes are predefined patterns of mouse movements. The Allegro tool interprets stroke patterns and activates commands.



Pattern	Command
W	World View
Z	Zoom In
M	Move
C	Copy
^	Delete
U	Oops

След – определенный трафарет движения мыши. Allegro понимает след как трафарет и активирует команды.

### Running Commands with Strokes (Команды с помощью следа движения мыши)

Вы можете отдавать команды используя следы мыши.

Когда вы используете след мыши для этих команд, должны выполняться следующие условия:

- ★ World View след- (W) может быть нарисован в любом месте проекта.
- ★ Zoom in след- (Z) увеличивает пространство, где был нарисован.
- ★ Move (M), Copy (C) и Delete (D) выбирает объект под первой точкой следа.

### How to Run Commands Using Strokes (Как выполнять команды используя следы мыши)

1. В рабочем пространстве проекта расположите курсор над объектом который вы хотите передвинуть, скопировать, удалить или приблизить (команда World View может быть нарисована где угодно).

2. Держите Ctrl и правую кнопку мыши одновременно чтобы нарисовать след.

3. Когда след завершен, отпустите правую кнопку мыши.

**Внимание:** Если Allegro распознает след, команда выполнится. Если след не распознан, то появляется следующее сообщение:

Stroke not recognized

## Default Function Key Aliases (Функциональные клавиши)

### Клавиша Команда Клавиша Команда

F1 Help	SF1 Add Connect
F2 Done	SF2 Grid
F3 Oops	SF3 Hilite Pick
F4 Cancel	SF4 Dehilite All
F5 Show Element	SF5 Redisplay
F6 Property Nets	SF6 Slide
F7 Edit Vertex	SF7 Move
F8 Zoom Points	SF8 (availe)
F9 Zoom Fit	SF9 Write temp
F10 Zoom In	SF10 (availe)
F11 Zoom Out	SF11 (availe)
F12 Property Refdes	SF12 (availe)

## Default Function Key Aliases

Allegro определяет как функциональные клавиши с F1 до F12 и с SF1 до SF9 с различными командами. Обратите внимание, что некоторые клавиши неопределены. Хотя клавиши и предопределены, вы все равно можете их поменять.

## Создание псевдонимов

Существует два класса псевдонимов:

1. Псевдонимы типа *Typed* (вводятся в командной строке Allegro; требуется <Enter>). Например:

```
alias s show element
```

```
alias p property edit
```

```
alias color replay color_setup (replay color_setup script)
```

2. Псевдонимы типа **Function** и **Control key**. Например:

```
alias F3 redisplay (press the F3 key when defined in Allegro)
```

```
alias SF9 window in (press the Shift/F9 key when defined in Allegro)
```

```
alias AF6 add connect (press the Alt/F6 key when defined in Allegro)
```

## Создание Псевдонимов

Особенность псевдонимов позволяет вам определять ваш собственный командный словарь и создает стенографию для часто используемых команд. Для псевдонимов типа *typed*, напечатайте слово **alias**, ваше сокращение и командную строку, которую вы хотите сократить.

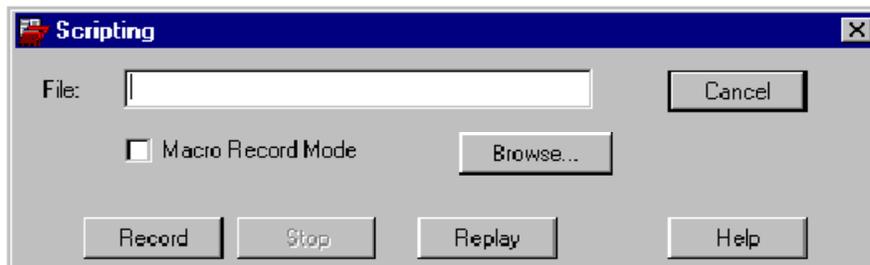
```
alias <your abbreviation> <Allegro command>
```

Для псевдонимов *function* и *control key*, замените <your abbreviation> предпочтительной клавишей или комбинацией клавиш.

Используя цепь команд представляющих более чем одно действие, вы должны разделить их двоеточием и заключить их в скобки.

Все псевдонимы созданные в командной строке Allegro будут доступны только в данной работе. Чтобы использовать их постоянно, вы должны определить их в файле конфигурации Allegro (*env*).

## Automating Tasks with Scripts and Macros



### Automating Tasks with Scripts and Macros (Автоматизация работы с помощью сценариев и макросов)

Если вы обнаружили, что часто повторяете одни и те же действия, вы можете создать в Allegro сценарии и макросы для автоматического выполнения задач.

Чтобы создать сценарий:

1. Выберите **File—Script**.
2. В поле File, введите имя для своего сценария.
3. Нажмите **Record**.
4. Выполните действия, которые хотите записать в сценарий.
5. Выберите **File—Script** и нажмите **Stop** в диалоговом окне Scripting.

Чтобы повторить сценарий:

6. Выберите **File—Script**.
7. В поле File, введите имя сценария, который хотите повторить.
8. Нажмите **Replay**.

#### Макрос.

Как сценарий, макрос позволяет вам выполнять повторяющиеся действия, такие как комплексные геометрические операции, на чертеже. Разница, однако, в том, что сценарии записываются в абсолютных координатах тогда как макрос записывается в относительных координатах в чертеже. Установите флажок **Macro Record Mode**, чтобы создать макрос.

## Groups, Classes and Subclasses

### Groups

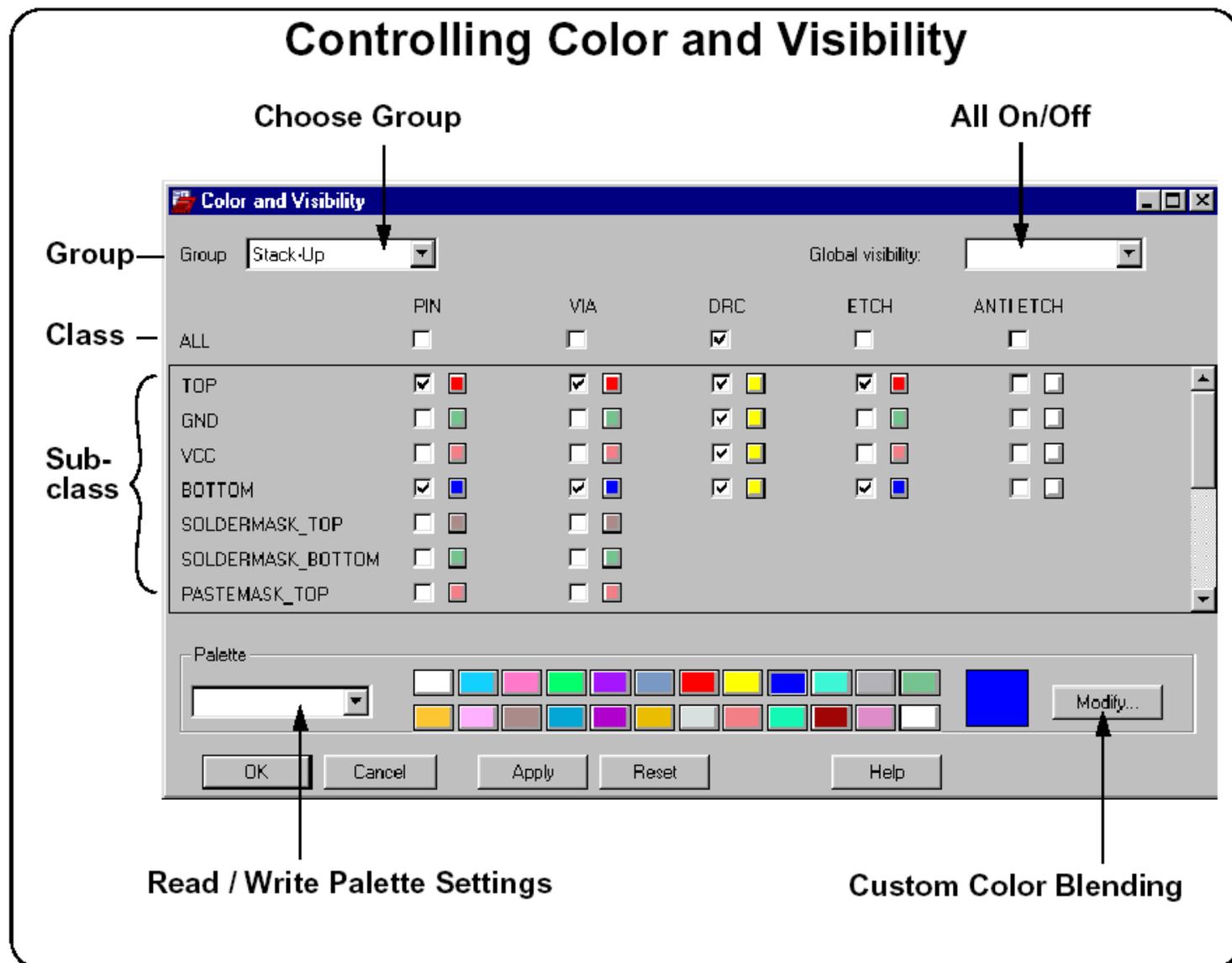
Groups					
Geometry	Manufacturing	Stackup	Components	Areas	Display
<b>Classes</b>					
BoardGeom	Mfg	Etch	Ref Des	Route KO	Grids
PackGeom	Dwg Format	Pin	Comp Value	Via KO	Ratsnests
		Via	Dev Type	Package KO	Tmp Hilt
		Drc		Package KI	Perm Hilt
				Route KI	Backgnd
<b>Subclasses</b>					
Outline Assembly Room	NC_Drill_Figure Photoplot_outline Probe_bottom Title_Data	Top Gnd Int3 Int4 Vcc Bottom	Assembly_Top Assembly_Bot Silk_Top Silk_Bottom	Top Bottom Through_All	N/A

### Groups, Classes and Subclasses (Группы, классы и подклассы)

В Allegro, категории элементов чертежа называются классами. Классы представляют все типы видимых предметов в проекте.

Подклассы образуют дальнейшую степень классификации которая позволяет Allegro обрабатывать данные более конкретно.

В группы входят наиболее часто используемые вместе классы. Группы помогают контролировать цвет и видимость похожих объектов. Вы можете использовать группы для расположения цветов в физическом порядке.



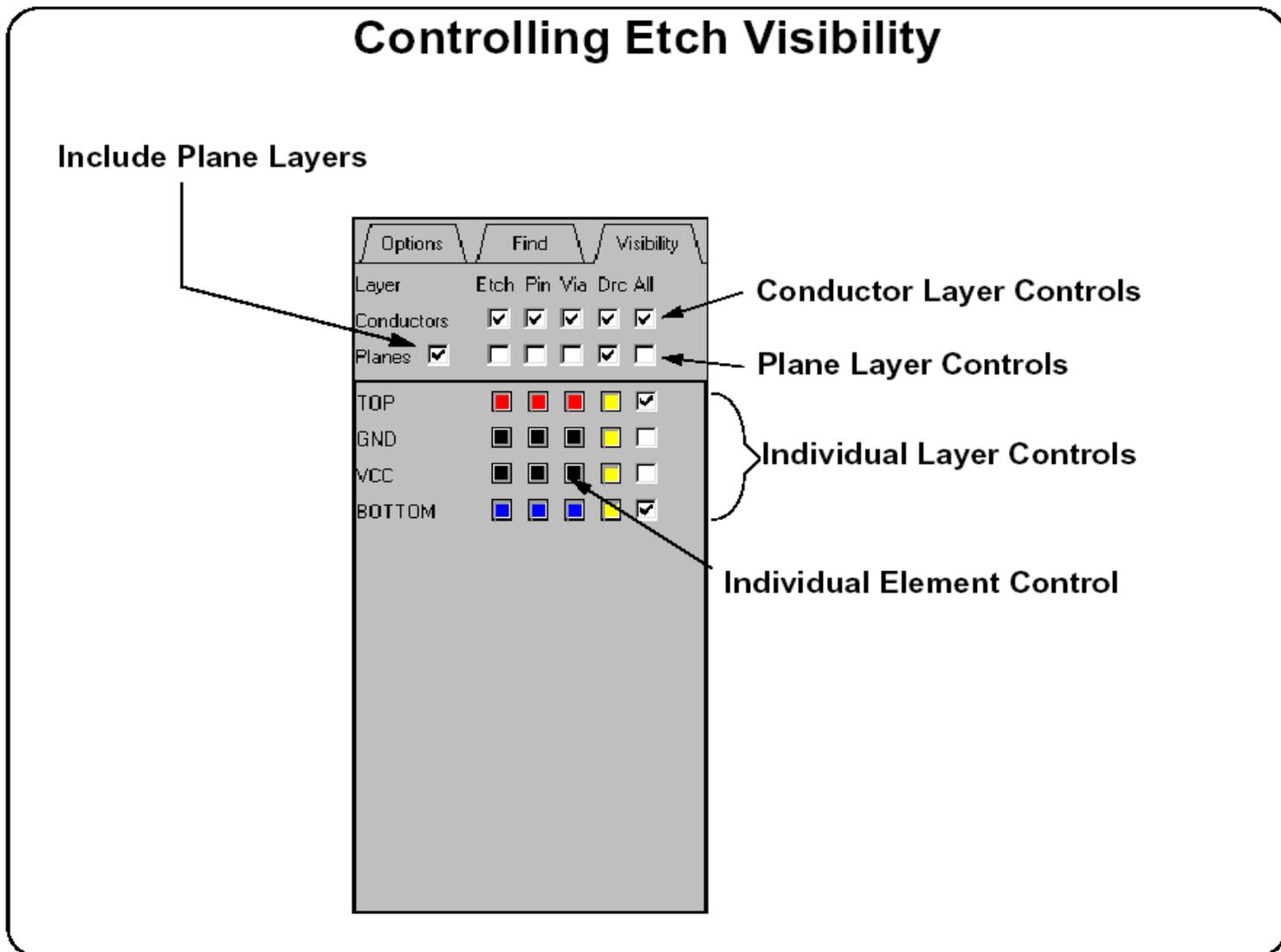
### Controlling Color and Visibility (Контроль цвета и видимости)

Определенные типы предметов графического проектирования распределяются в группы. Группы далее разделяются на классы. Классы в конечном итоге подразделяются на отдельные предметы чертежного слоя называемые подклассами. С помощью использования меню Color/Visibility вы можете контролировать какие предметы показываются. Вы также определяете цвет каждого элемента подкласса.

### Modifying Colors (Изменение цветов)

Вы можете использовать до 24 цветов, а также изменять цвета, заданные по умолчанию.

## Controlling Etch Visibility



### Controlling Etch Visibility (Контроль видимости слоев Etch)

Закладка **Visibility** на *Control Panel* быстрый способ включить или отключить слои или элементы содержащиеся в проекте. Вы можете отдельно управлять слоями трассировки и слоями металлизации, также как Etch, Pins, Vias и DRCS.

#### Conductor Controls (Управление слоями проводников)

Окошки меток **Conductor** позволяют вам самостоятельно включать и отключать все etch, pin, via или DRCs для всех слоев определенных как проводник. Устанавливая флажок **All**, вы можете включить и отключить все etch, pins, vias и DRCs для всех слоев проводников.

#### Plane Controls (Управление слоями металлизации)

Окошки меток **Planes** позволяют вам самостоятельно включать и отключать все etch, pin, via и DRCs для всех слоев, определенных как слой металлизации. Устанавливая флажок **All**, вы можете включить и отключить все etch, pins, vias и DRCs для всех слоев металлизации. Если вы установите флажок **Include Planes Box**, вы увидите, что все слои металлизации показаны в бланке видимости.

#### Individual Layer Control (Индивидуальное управление слоями)

Выбрав окошко метки под колонкой **All** в ряду индивидуальных слоев, вы можете включать и отключать все etch, pins, vias или DRCs для того слоя.

**Individual Element Control (Управление одним элементом)** Вы можете включить или отключить один элемент (etch, pin и т.д.) просто выбрав его.

## Drawing Parameters Form

The screenshot shows the 'Drawing Parameters' dialog box. It contains the following fields and controls:

- Project:** D:\BetaData
- Drawing:** classroom.brd
- Type:** Drawing (dropdown menu)
- User Units:** Mils (dropdown menu)
- Size:** A (dropdown menu)
- Accuracy:** 0 (spin box) (decimal places)
- DRAWING EXTENTS:**
  - Left X: 0
  - Lower Y: 0
  - Width: 11000
  - Height: 8500
- MOVE ORIGIN:**
  - X: 0
  - Y: 0
- Buttons: OK, Cancel, Reset, Help

### Drawing Parameters Form (Окно параметров чертежа)

Для доступа в окно *Drawing Parameters*, выберите **Setup—Drawing Size** из верхней панели меню.

★ **User Units** определяет единицы измерения используемые во время процесса проектирования. Это могут быть Mils (по умолчанию), Inches, Microns, Millimeters или Centimeters.

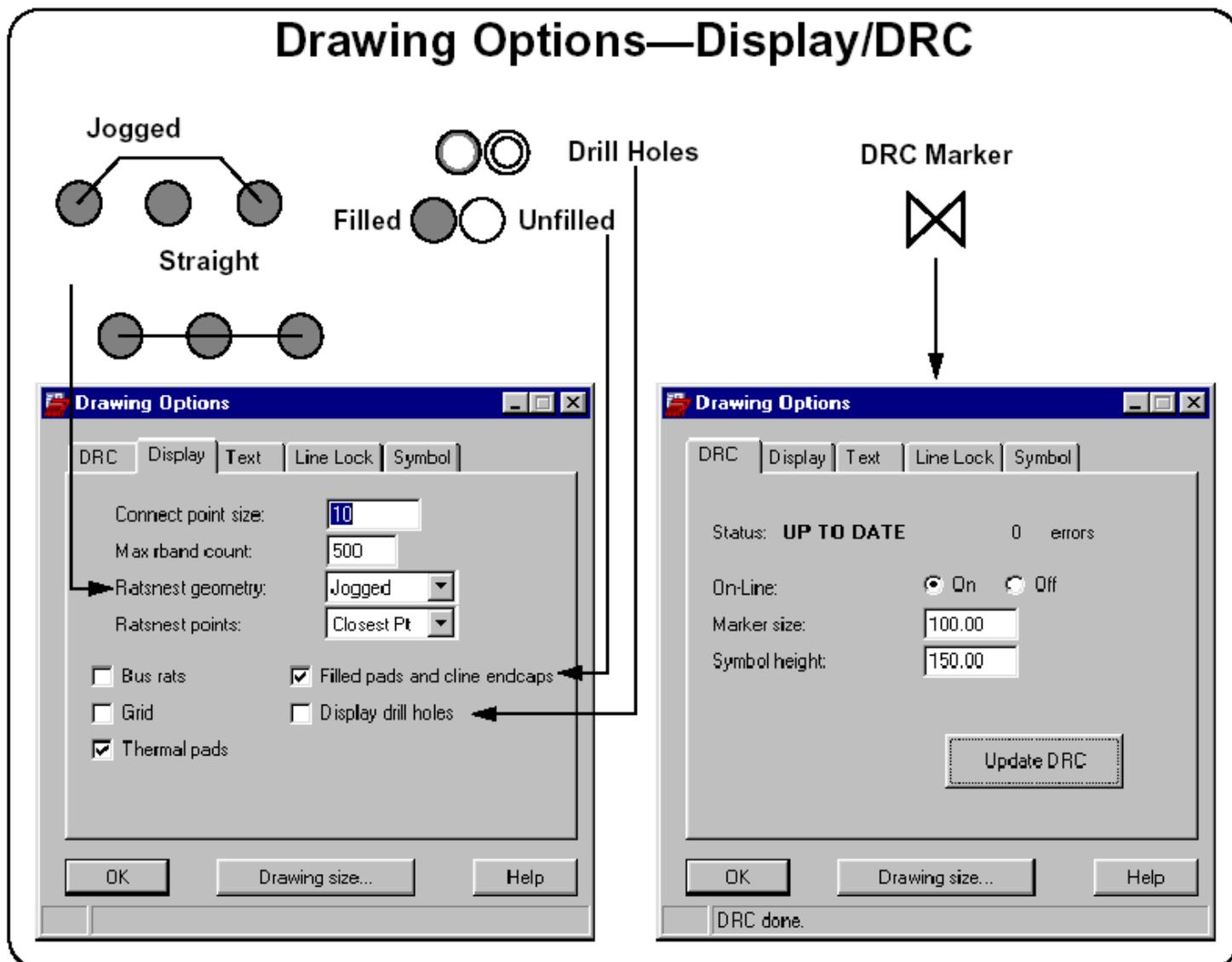
★ **Size (Размер)** определяет размер чертежа. Стандарты следующие: A(11x8.5), B(17x11), C(22x17), D(34x22) или определяются пользователем.

★ **Accuracy (Точность)** задает точность данных чертежа. Это значение (от 0 до 4) означает число десятичных разрядов которые могут быть использованы при выборе размеров детали (pad sizes, grid sizes, line widths и т.д.) или при вводе координат x, y в командной строке Allegro. Если единицы измерения - mils, точность единичных значений или округляется, или вообще не принимается во внимание. Выбор точности должен быть одинаковым во всем проекте, чтобы избежать проблем с округлением.

★ **Drawing Extents (Размеры чертежа)** показывают высоту и ширину чертежа и начало координат (по умолчанию в левом нижнем угле экрана).

★ **Move Origin (Сдвиг начала координат)** перемещает начало координат (точка 0,0). Координаты x, y для нового начала в координат передаются в секцию Drawing Extents. (Изменения указываются в полях Left X и Lower Y в секции Drawing Extents.)

**Внимание:** Вы можете менять эти данные во время процесса проектирования.



## Drawing Options-Display/DRC (Опции изображения)

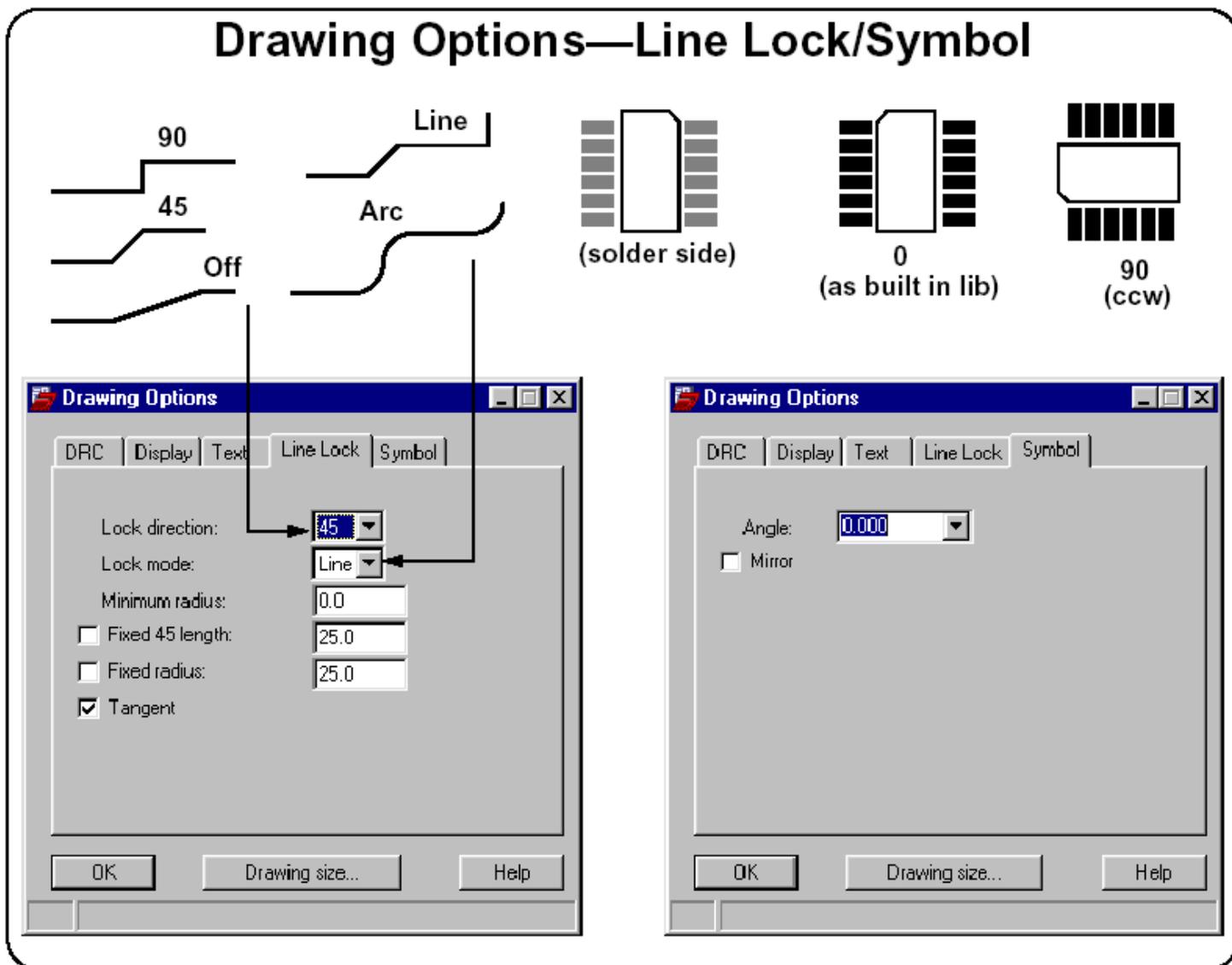
Это меню отображает текущие опции для различных операций проектирования. Они разделены на пять категорий: Display, DRC, Line Lock, Text и Symbol. Показаны опции по умолчанию.

### Секция **Display**:

- ✦ **Max Rband Count** максимальное число видимых «резиновых» линий при расположении или передвижении компонента.
- ✦ **Ratsnest Geometry** определяет очертания линий электрической связи между выводами. Опции Jagged (Ломаная) или Straight (Прямая).
- ✦ **Filled Pads and Cline Endcaps** показывает залиты ли pins и lines.
- ✦ **Thermal Pads** показывает изображение Thermal Relief Flash symbol для pin, подсоединенного к слою металлизации или размер Anti-Pad для не подсоединенного.
- ✦ **Display Drill Holes** показывает высверленные отверстия.

### Секция **DRC**:

- ✦ **Status** показывает, соответствуют ли правилам проектирования маркировки DRC.
- ✦ **Online** опции On или Off чтобы включить (выключить) проверку на лету DRC.
- ✦ **Marker Size** определяет размер, в единицах измерения, установленных пользователем, маркировки DRC.
- ✦ **Symbol Height** показывает заданную по умолчанию высоту всех symbols. Чтобы аннулировать значение по умолчанию, самостоятельно выберите высоту в поле Symbol Height.



## Drawing Options—Line Lock/Symbol (Блокировка Линий/Условное графическое изображение символа компонента)

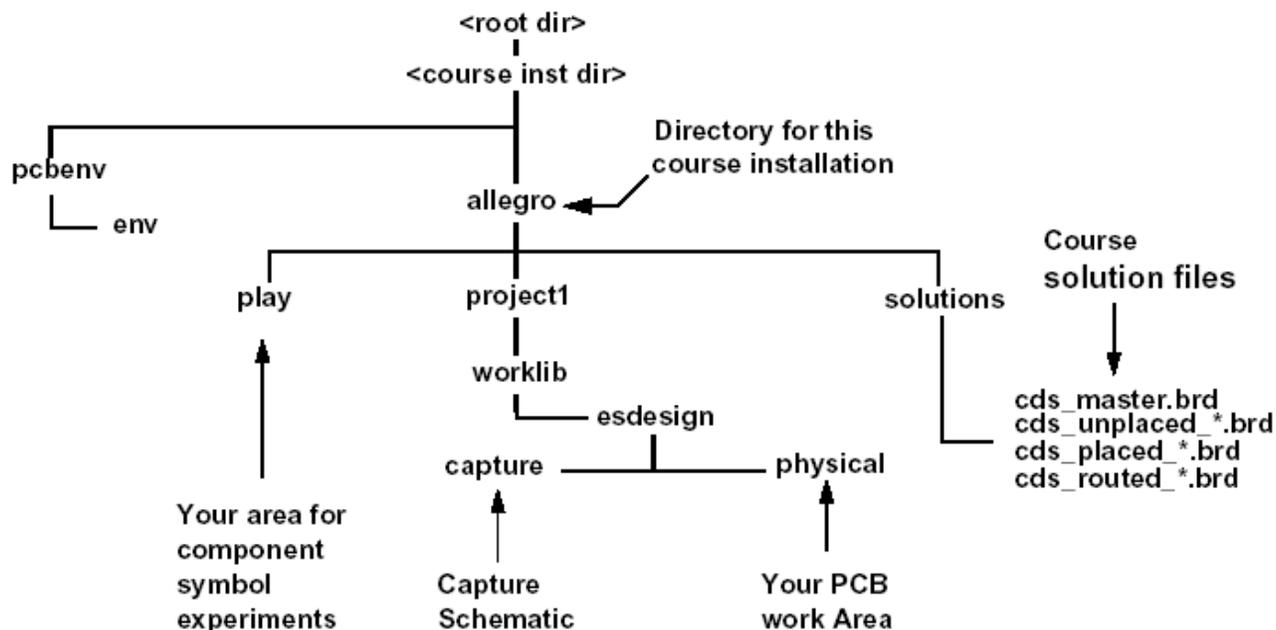
### Секция **Line Lock**:

- ✦ **Lock Direction** позволяет определить могут ли быть добавлены ортогональные, диагональные или другие линии. Доступные значения **45**, **90** и **Off**.
- ✦ **Lock Mode** определяет, будут ли добавленные линии прямыми сегментами или дугами.
- ✦ **Minimum Radius** определяет минимальный радиус, доступный для дуги.
- ✦ **Fixed 45 Length** определяет длину, в установленных единицах измерения, 45-градусных сегментов.
- ✦ **Fixed Radius** определяет радиус дуг, в установленных единицах измерения.
- ✦ **Tangent** заставляет добавленную линию замкнуться на касательной к дуге или окружности.

### Секция **Symbol**:

- ✦ **Angle** определяет начальное положения symbol'ов во время ручной расстановки.
- ✦ **Mirror**—во время ручной расстановки, Allegro принимает активную сторону за верх (по умолчанию). Поставьте галочку в этом окошке, чтобы изменить эту опцию на низ.

## Course Directory Structure



- **pcbenv** contains an environment file (*env*). This directory also contains window position (*.geo*) files and custom menu settings (*.ini*) files.
- **play** is used to create component symbols.
- **physical** contains your Allegro (*.brd*) design files.
- **solutions** contains completed versions of the design you create.

### Course Directory Structure (Структура каталога программы)

Структура каталога Allegro похожа на те, которые вы можете использовать у себя. Вы обращаетесь к локальной библиотеке за всеми компонентами, которые вы будете использовать в этом проекте.

Папка *solutions* поставляется в структуре каталога *allegro*. Папка *solutions* содержит проектные файлы на различных стадиях разработки.

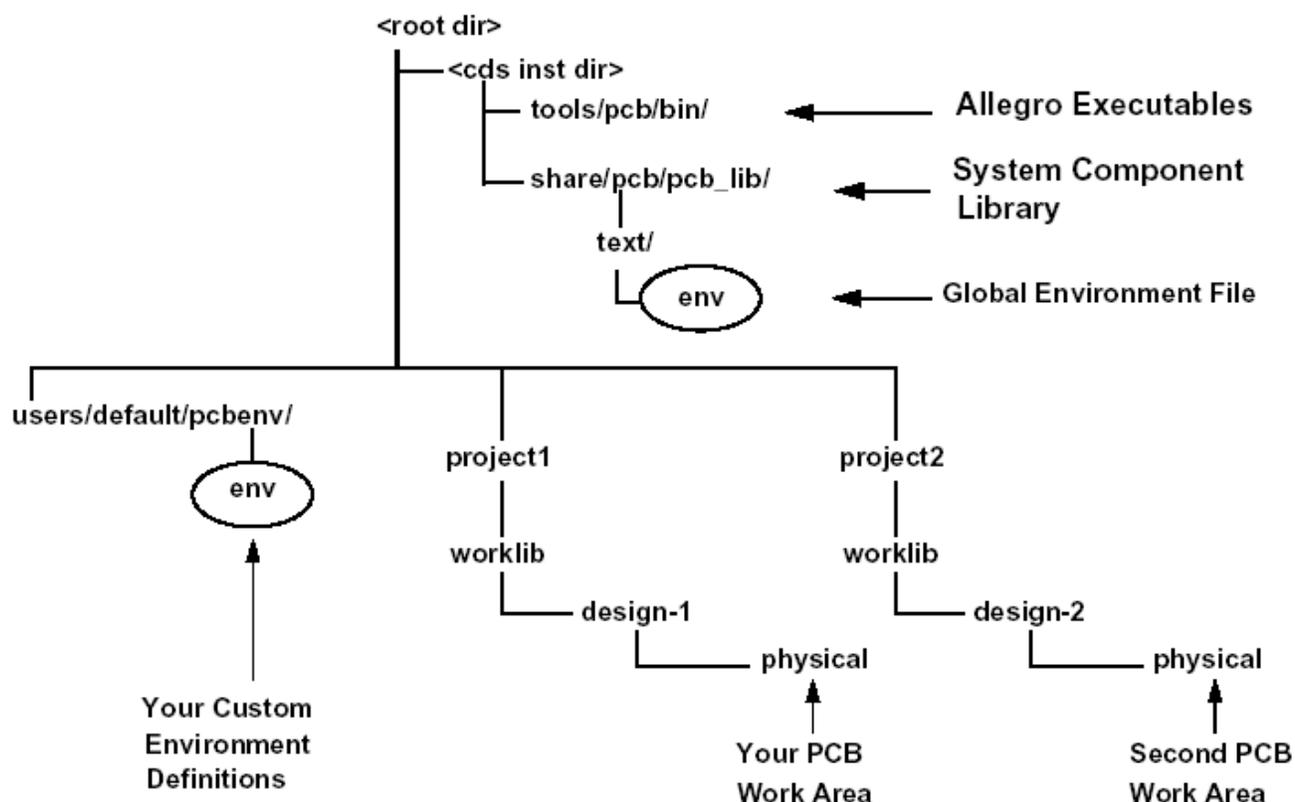
Вы можете копировать файлы из папки *solutions*. Цель поставки этих файлов состоит в том, что вы можете продолжать изучение новых процессов без необходимости восстановления. Важно, что вы изучите новые методы, не в ущерб созданию основного проекта.

Некоторую работу по разработке библиотек вы будете проводить в директории *play*, но главная часть вашей работы будет закончена в папке *physical*.

Вы можете использовать файл *env* в директории *pcbenv* для изменения конфигурации установок и псевдонимов Allegro. Этот файл будет обсужден далее в этой главе.

Показанный распорядок показывает только один выполняющийся проект. Если у вас выполняется несколько проектов, вы должны использовать похожее расположение директорий под каждый проект в отдельности.

## The Allegro Environment



### The Allegro Environment (Конфигурация Allegro)

Показаны некоторые более значимые директории и файлы, которые определяют поведение инструментов Allegro и используемые ячейки запоминающих устройств.

#### Allegro Executables

Хранит Allegro, исполняемые файлы, системные библиотеки и файлы глобальной конфигурации в подкаталогах главного каталога `<cds inst dir>`.

#### Каталог Проектов Пользователя

Выберете каталог для своих проектов в любом месте. Они также могут содержать специфические для проекта библиотечные каталоги (*footprints* и *schematic symbols*).

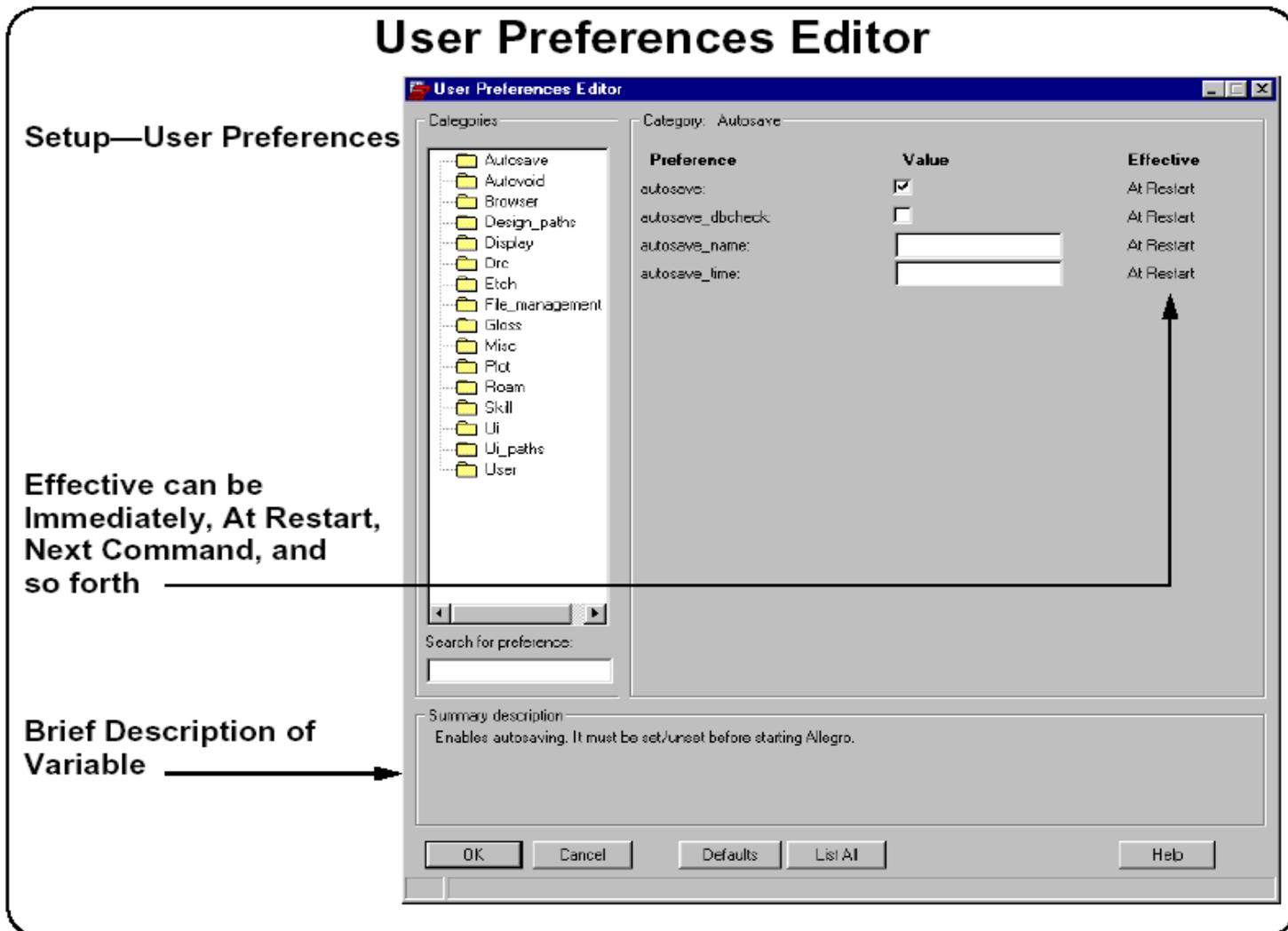
#### Файлы конфигурации

Файл `env` установлен в каталог программы Allegro. Этот `env` файл называется глобальным конфигурационным файлом. Вы можете хранить другой файл `env` в вашей домашней директории (показанной как `users/default/pcbenv/env`), который вы можете использовать для выбора своих установок.

Файлы конфигурации (`env`) считываются во время начальной загрузки в следующем порядке:

1. `<home-directory>/pcbenv/env`
2. `<cds inst dir>/share/pcb/text/env`

**Внимание:** Необязательные файлы `env` в других директориях могут быть доступны после загрузки с помощью команды **source**. Последняя считываемая команда аннулирует все предыдущие.



## User Preferences Editor (Редактор установок пользователя)

Позволяет вам устанавливать или сбрасывать установки Allegro, также известные как конфигурационные переменные Allegro. Основные секции User Preferences Editor следующие:

### Categories (Категории)

Все переменные сгруппированы на основе выполняемых функций. Все доступные категории перечислены в левой части формы. Выберите имя категории в секции этой формы чтобы разрешить выбор предпочтений.

### Category: <category name>

Когда вы выберете категорию с левой стороны, все переменные в этой категории перечислены в секции Category, расположенной в правой стороне формы. Обратите внимание, что некоторые переменные могут быть только установлены или сброшены, тогда как другие переменные требуют ввода значений. Эта секция содержит имя переменной, текущее значение и начало действия. Начало действия может иметь несколько значений, включая Next Command (След. команда) или At Restart (При перезапуске). Next Command устанавливает, что предпочтение будет в силе после нажатия кнопки **OK**. At Restart устанавливает, что предпочтение не будет в силе до того, как Allegro будет запущен снова.

### Summary description (Краткая Сводка)

Эта часть показывает описание выбранного предпочтения.

## Getting Help (Получение помощи)

### Online Help (Оперативная Помощь)

- ✦ Нажмите **Help** на группе программ Allegro для запуска Allegro's Online Help.
- ✦ Нажмите значок **Help** на полоске меню Allegro.
- ✦ Нажмите кнопку **Help** в любом меню Allegro для получения помощи по тому меню.
- ✦ Документация доступна в формате HTML. Для доступа к документации:  
— Нажмите кнопку **Start**, потом выберите **Programs—Cadence PSD**

### 14.0—Online Documentation.

**Для закрепления материала желательно выполнить следующие лабораторные работы:**

- Лабораторная 1-1 Login
- Лабораторная 1-2 Starting Allegro Programs
- Лабораторная 1-3 User Interface
- Лабораторная 1-4 Controlling Graphics Display
- Лабораторная 1-5 Function Keys and Aliases
- Лабораторная 1-6 Controlling Visibility and Color
- Лабораторная 1-7 Highlighting Objects in a Design
- Лабораторная 1-8 Using the Find Filter
- Лабораторная 1-9 The Show Command
- Лабораторная 1-10 Using the User Preferences Editor

## Глава 2: Library Development (Разработка Библиотек)

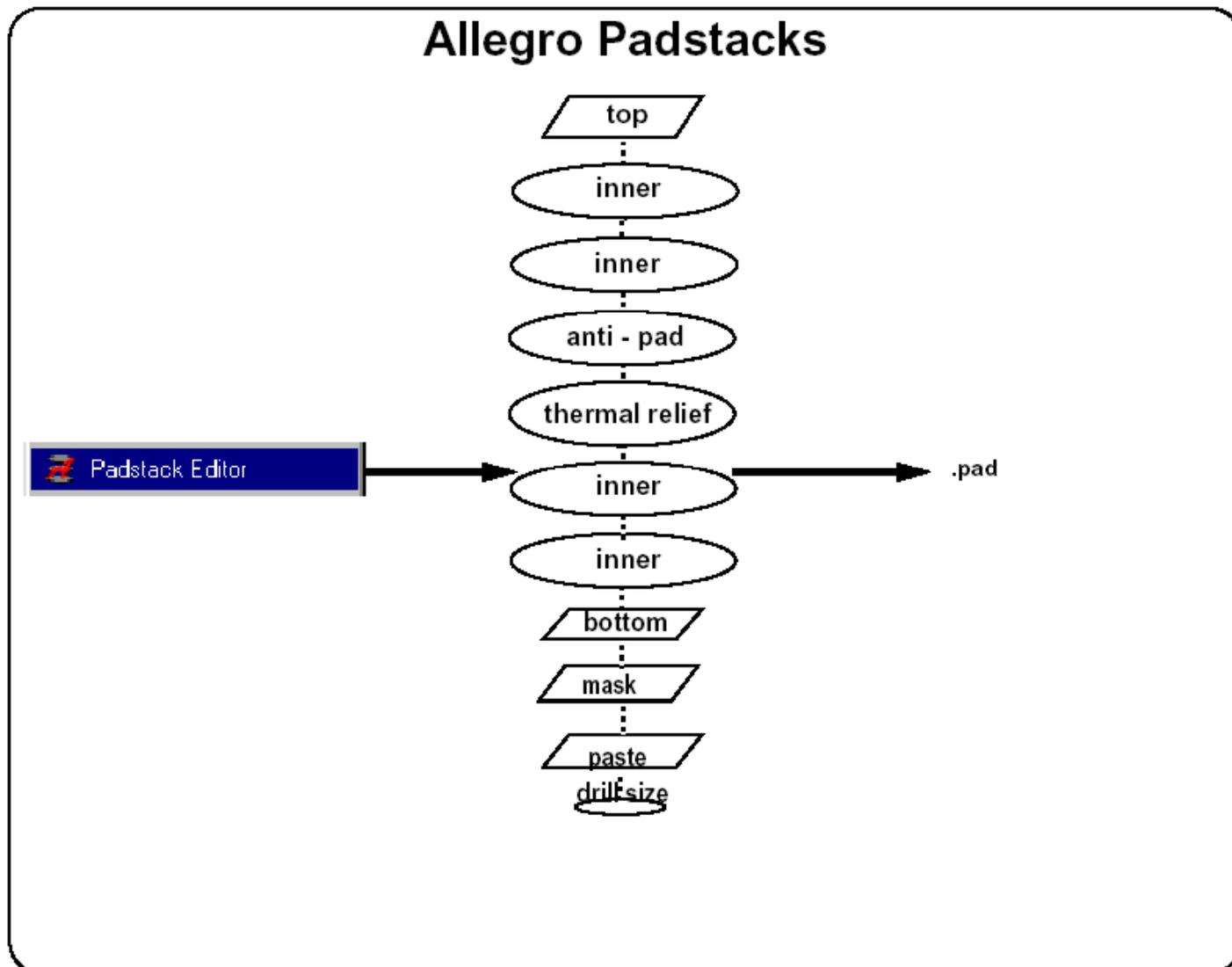
### Цели

В этой главе вы научитесь:

- \* Создавать Allegro padstacks.
- \* Создавать Package symbols.
- \* Создавать mechanical symbols.
- \* Создавать flash symbols.
- \* Создавать master or template design file.

### Термины и Определения

Term	Definition
Padstack	Бинарные файлы, которые определяют геометрию контактных площадок использующуюся в физической части(package symbol). Они также определяют размер отверстия и фигуру, используемую для обозначения диаметра отверстия.
Package symbol	Корпус компонента (со сквозными отверстиями или компоненты поверхностного монтажа)
Mechanical symbol	Механический элемент печатной платы (монтажные отверстия, некруговые отверстия и т.п.)
Format symbol	Эмблема компании, различные размеры страниц (A, B, C, D) с границами и заголовками
Shape symbol	Нестандартные геометрические образы площадок, например контактных площадок L-формы.
Flash symbol	Геометрические образы контактных площадок, используемых для областей металлизации.

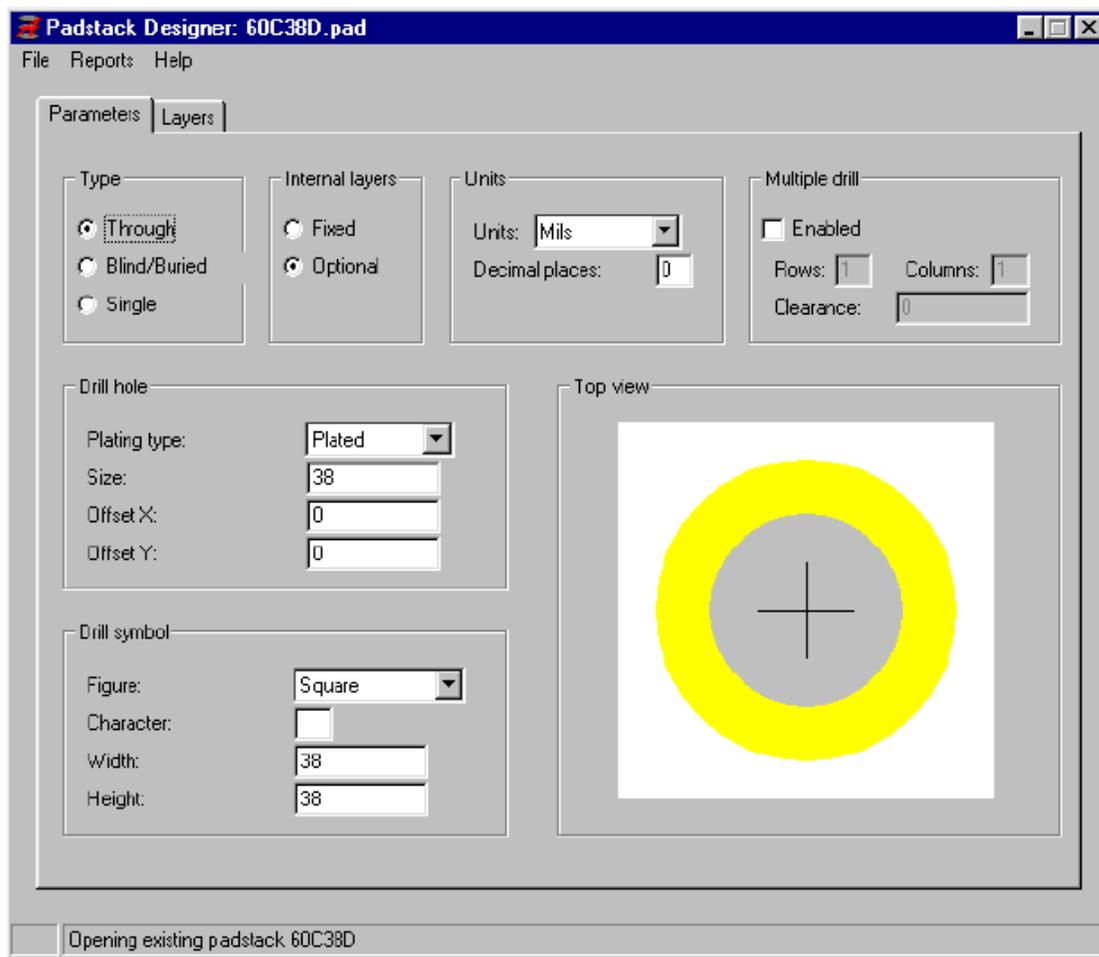


## Padstacks

Вы **Должны** создать padstack **ДО ТОГО, КАК** вы создадите посадочное место элемента на печатной плате, которое будет использовать этот padstack. В редакторе padstack Вы определяете размер контактной площадки и форму для всех etch и non-etch слоев. Распределение слоев по умолчанию: BEGIN(Начальный) слой, DEFAULT INTERNAL(Внутренний по умолчанию) и END(Конечный) слой. Определение DEFAULT INTERNAL padstack используется по умолчанию, когда вы добавляете слои к вашему проекту. Когда padstack расположен на посадочном месте, BEGIN слой наносится на TOP слой и END слой наносится на BOTTOM слой. Вы можете определять другие внутренние padstacks с помощью групповых символов. В этом случае, если слой добавляется к проекту и имя слоя “совпадает”, используется padstack из группы символов вместо DEFAULT INTERNAL padstack. Например, если вы добавляете слой к своему padstack с именем “SIG\*” и вы добавляете слой в свой проект с именем “SIGNAL1”, определение padstack “SIG\*” будет использоваться вместо определения padstack “DEFAULT INTERNAL.” Non-etch слои включают SOLDERMASK\_TOP, SOLDERMASK\_BOTTOM и PASTEMASK\_TOP, PASTEMASK\_BOTTOM. Пара дополнительных слоев FILMMASK\_TOP и FILMMASK\_BOTTOM доступна для использования в любых целях. Эти два слоя необязательные и не должны быть использованы или определены.

**Внимание:** Если вам требуются sub-mil значения для описания padstacks, поставьте точность ваших package symbol drawings на минимум того же sub-mil значения как и padstack, чтобы избежать округления свойств padstack.

## Padstack Designer—Parameters



### Padstack Designer-Parameters (Редактор Padstack – параметры)

#### ★ Type(Тип):

- **Through(Сквозной)** сквозной padstack через все слои.
- **Blind/Buried** padstack связывающий соседние поверхности и/или внутренние слои.
- **Single** padstack на только на верхнем или нижнем слое.

#### ★ Internal Layers(Внутренние слои) определяет можете ли вы исключить несвязанные внутренние контактные площадки во время Gerber generation.

- **Fixed:** У вас нет возможности исключить внутренние контактные площадки.
- **Optional:** Вы можете исключить внутренние контактные площадки.

#### ★ Units(Единицы Измерения) Mils, Inches(Дюймы), Millimeters, Centimeters или Microns. По умолчанию Mils.

#### ★ Decimal Places определяет число точек после запятой. По умолчанию 0.

★ **Drill Hole: Plating Type:** Возможно металлизированное(по умолчанию), Nonplated (не металлизированное) или необязательные. **Size:** Целое число, являющееся диаметром отверстия. **Offset x/y:** Возможность сдвига отверстия от центра padstack.

#### ★ Drill Symbol: Figure: Показывает каждый размер отверстия как геометрическую фигуру такую как круг, квадрат и т.п.

- **Character:** Произвольной буквой или цифрой, как A-Z или 0-9.
- **Width:** Определенная пользователем ширина фигуры.
- **Height:** Определенная пользователем высота фигуры.

## Padstack Designer—Multiple Drills

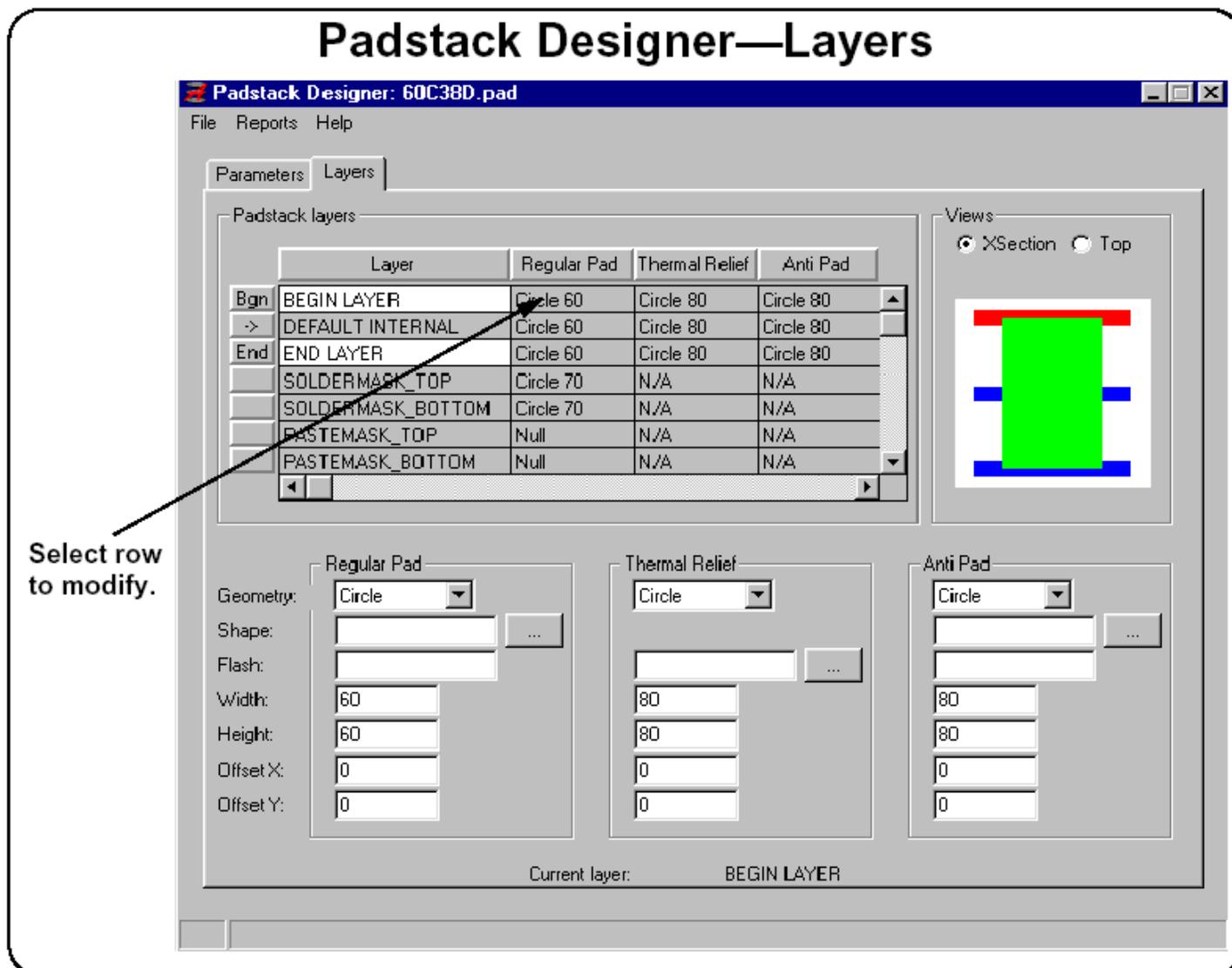
### Padstack Designer—Multiple Drills (Множественное сверление)

Секция **Multiple Drill** в Padstack Designer позволяет вам определять более чем одно отверстие для данного padstack. Это неотъемлемая часть в поддержке последних разработок в области сокращения размеров проекта при улучшении чистоты сигнала и уменьшении радиопомех.

Чтобы определить более чем одно отверстие для данного padstack, вы должны установить флаг **Enabled** box в секции **Multiple Drill**. При включении этой опции, вы можете определять число рядов и колонок отверстий. Значение **clearance** определяет требуемый шаг от края одного отверстия до края другого как в направлении X так и в Y.

Несколько отверстий могут использоваться для любой дозволенной формы padstack.

**Важно:** Для padstacks с несколькими отверстиями, общий ряд отверстий ДОЛЖЕН оставаться внутри ВСЕХ отдельных pads на ВСЕХ слоях. Если любое отверстие находится вне области pad, будет показана ошибка и pad НЕ СМОЖЕТ быть сохранен.



## Padstack Designer —Layers (Слой)

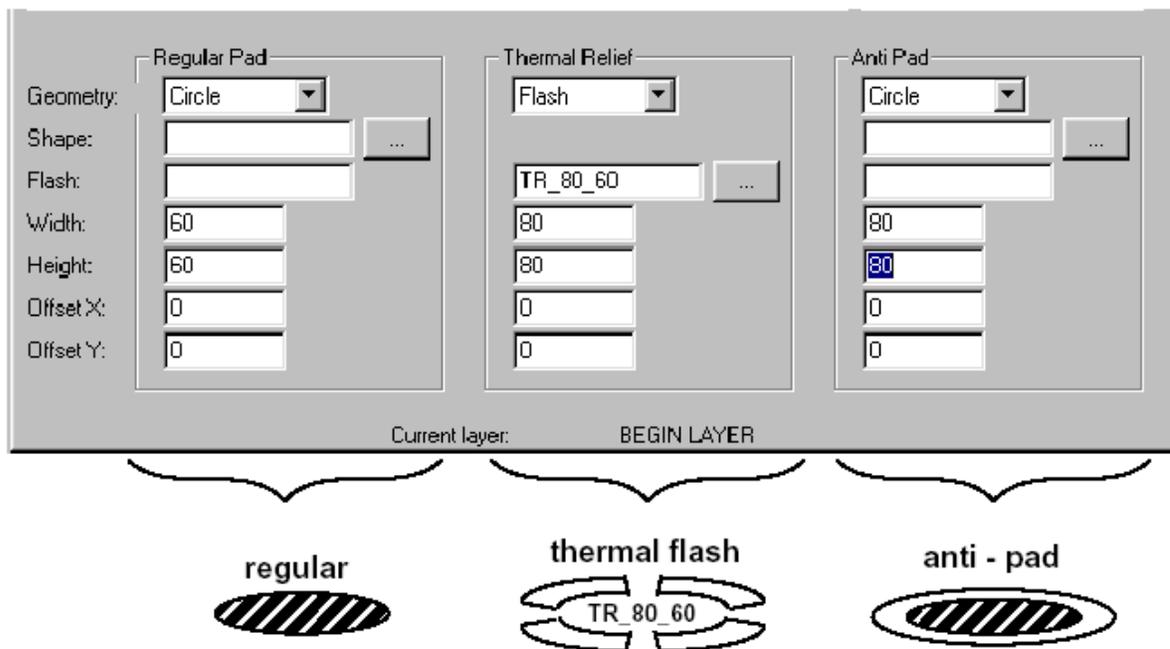
Используете блок Layers в Padstack Designer для определения формы и размера всех pads на всех слоях.

Секция View позволяет вам “в графике” видеть ваш padstack при его создании. Вид XSection показывает padstack со стороны платы. Вид Top показывает padstack сверху платы. Вид Top такой же, как секция Top View в закладке Parameters.

Чтобы изменить форму или размер выбранного слоя, выберите с помощью левой кнопки мыши на Layer name, Regular Pad, Thermal Relief или Anti-Pad полях ряд, относительно слоя, который вы хотите изменить.

Нижняя часть секции меняется, чтобы отображать текущие параметры выбранного слоя.

## Defining Pad Shapes/Sizes



### Defining Pad Shapes/Sizes

- Контактная площадка с постоянной формой (круг, квадрат, прямоугольник).
- ⊠ **Thermal-Relief- Positive** Используется для соединения pin с положительной областью металлизации.
- ⊞ **Thermal-Relief- Negative** Используется для соединения pin с отрицательной областью металлизации.
- ⊘ **Anti-Pad** Используется для отсоединения pins от окружающей области металлизации.
- ◻ **Shape** Pad нестандартной формы, созданный с помощью symbol editor.
- ◼

#### Regular-Pad

**Geometry** Стандартная форма (null, circle, square, oblong, rectangle, shape).

**Shape** Имя pad нестандартной формы (.ssm). Максимум 18 букв.

**Flash** Имя “flashed” детали. Используется для thermal или anti-pad схем содержащихся в отрицательной области меди. Максимум 20 букв.

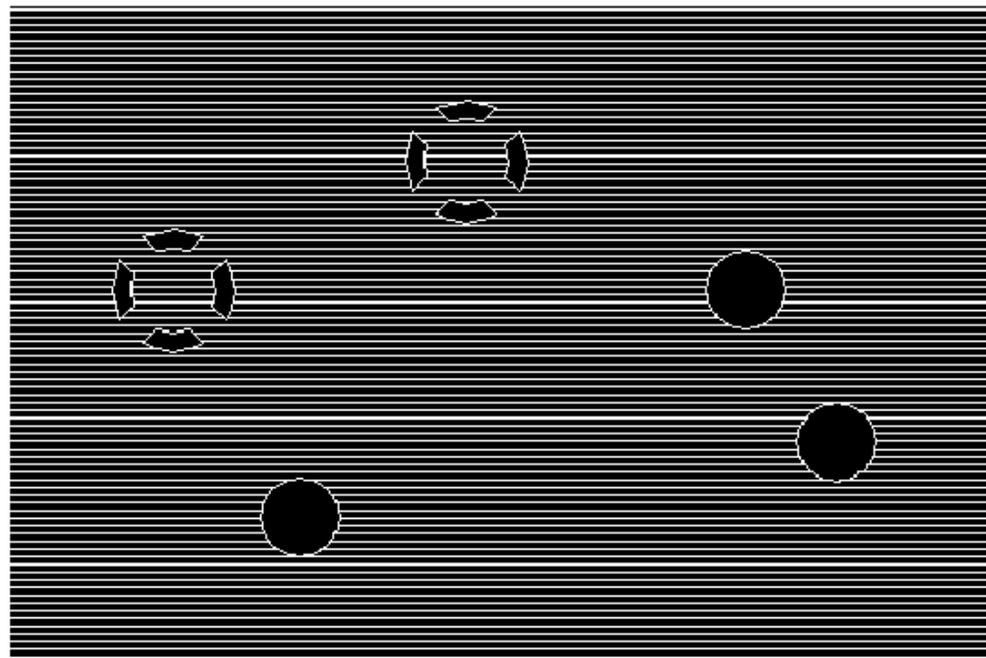
**or Flash Symbol** Определите имя flash symbol (.fsm) здесь. Максимум 18 букв.

**Width** Определенная пользователем ширина pad.

**Height** Определенная пользователем высота pad.

**Offset x/y** Возможность сдвига соединительной точки pad.

## Negative Plane Thermal Reliefs



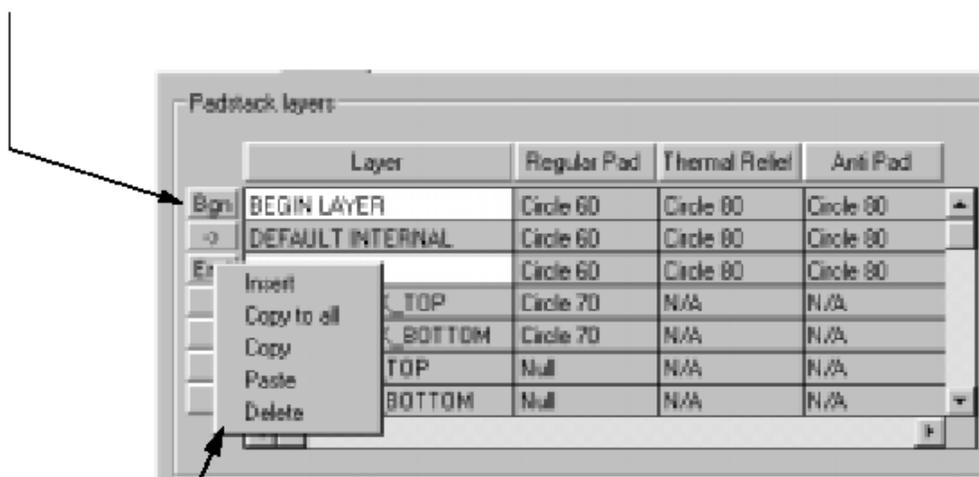
### **Negative Plane Thermal Relief's (Тепловые профили контактных площадок для областей металлизации)**

При использовании отрицательных областей металлизации вам нужно создать Flash Symbols для каждого уникального thermal relief. Эти flash symbols используются Allegro при показе того, что требуется соединение с областью металлизации. Эти flash symbols будут использоваться при создании файлов фотошаблонов, используя растровый формат Gerber. Flash symbols также требуются для выполнения правильного DRC на отрицательной области металлизации так, чтобы достичь проверки в режиме реального времени.

Более детально Flash symbols будут рассмотрены позже.

## Adding/Deleting/Copying Layers

Select with right mouse button here:



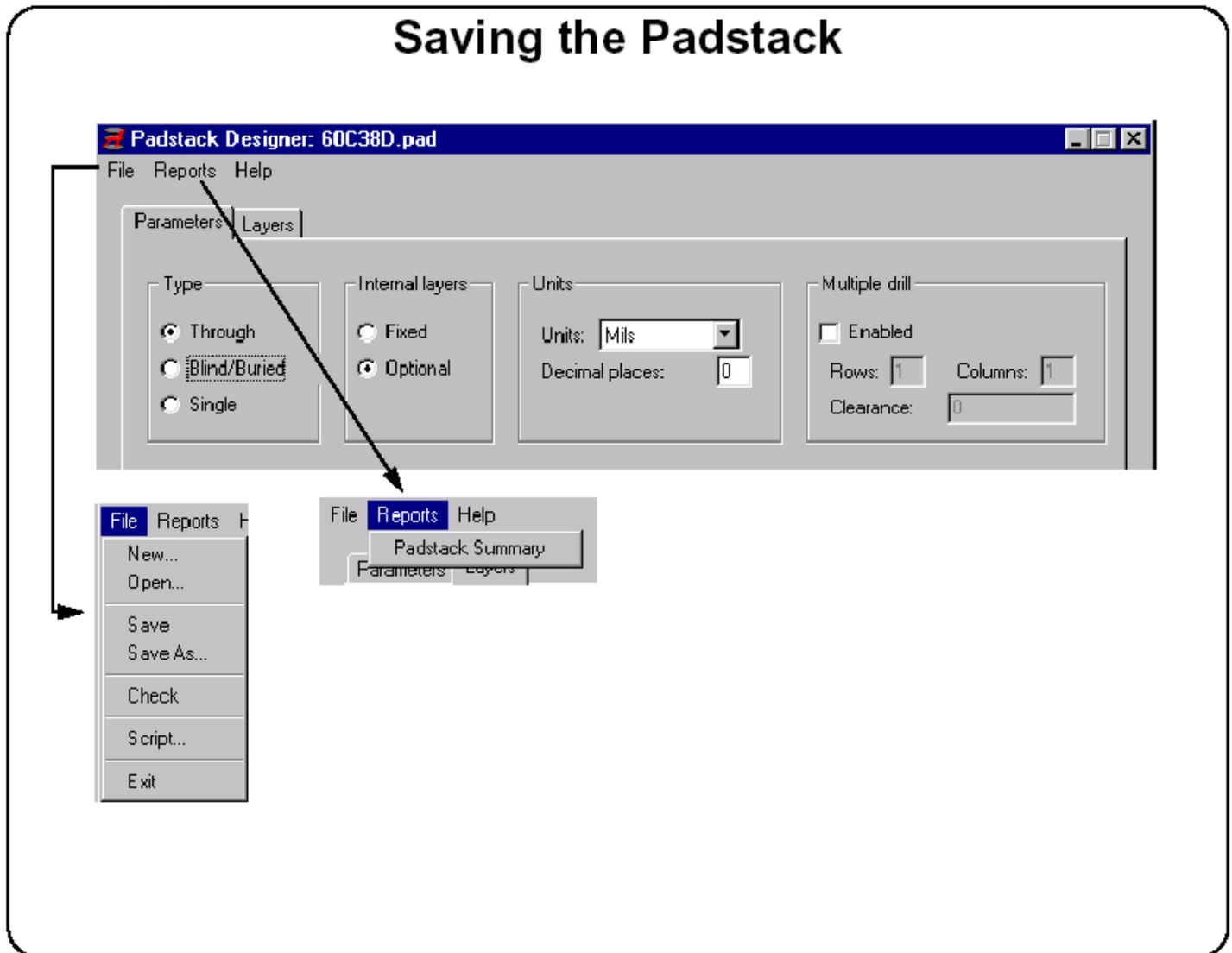
Right mouse button popup

### Adding/Deleting/Copying Layers

Путем нажатия правой кнопки мыши на кнопки **Bgn**, “->” или **End**, вызывается всплывающее меню, в котором есть следующие опции:

- ✦ **Insert** позволяет вам добавлять новый слой в padstack.
- ✦ **Copy to All** вызывает форму, где вы можете копировать любые или все Regular/Thermal Relief/Anti-Pad формы и размеры в любые или все слои Regular, Solder mask, Paste mask или Film mask.
- ✦ **Copy** делает копию слоя и копирует формы и размеры Regular/Thermal Relief/Anti-Pad в буфер.
- ✦ **Paste** берет буфер копий и вставляет формы и размеры Regular/Thermal Relief/Anti-Pad в текущий слой.
- ✦ **Delete** удаляет текущий слой из padstack. Вы не можете удалить BEGIN LAYER, DEFAULT INTERNAL и END LAYER.

## Saving the Padstack



### Saving the Padstack

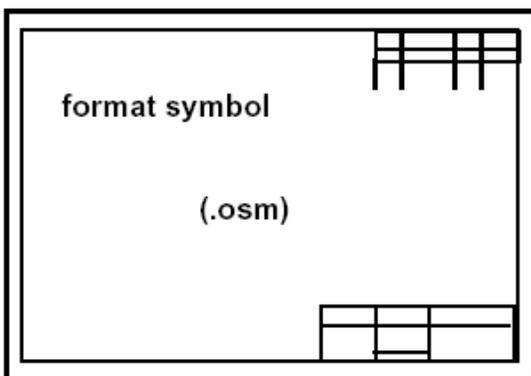
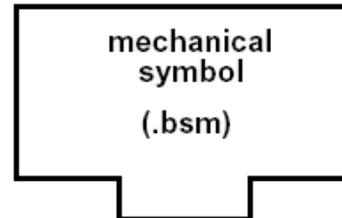
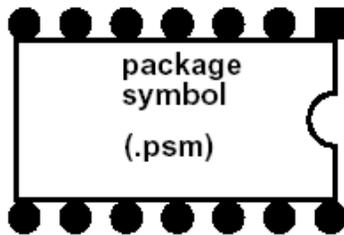
В меню File имеются следующие опции:

- ✦ **New** Начало редактирование нового padstack. Очищает предыдущие установки.
- ✦ **Open** Редактирование существующего padstack или создание нового padstack. (Определения слоя Pad будут сброшены до Not Defined если это новый padstack.)
- ✦ **Save** позволяет вам сохранить padstack на диске не закрывая форму.
- ✦ **Save As** Сохраняет padstack на диске под новым именем не закрывая форму.
- ✦ **Check** проверяет padstack и предупреждает о найденных ошибках (без сохранения).
- ✦ **Script** Создание или повторение файла сценария (макроса).
- ✦ **Exit** закрывает Padstack Designer. Если padstack еще не был сохранен, вас спросят, хотите ли вы сохранить и выйти, сохранить или выйти не сохраняя, или отменить команду выхода.

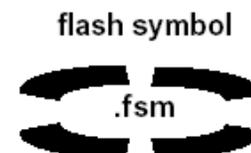
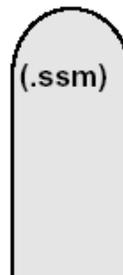
Меню Reports позволяет вам вызвать итоговый доклад по Padstack. В этом докладе содержатся все размеры и формы на всех слоях. Этот файл может быть сохранен на диск с помощью меню **File—Save As** в окне Padstack Summary.

## Creating Symbols

### Allegro Symbol Types



shape symbol



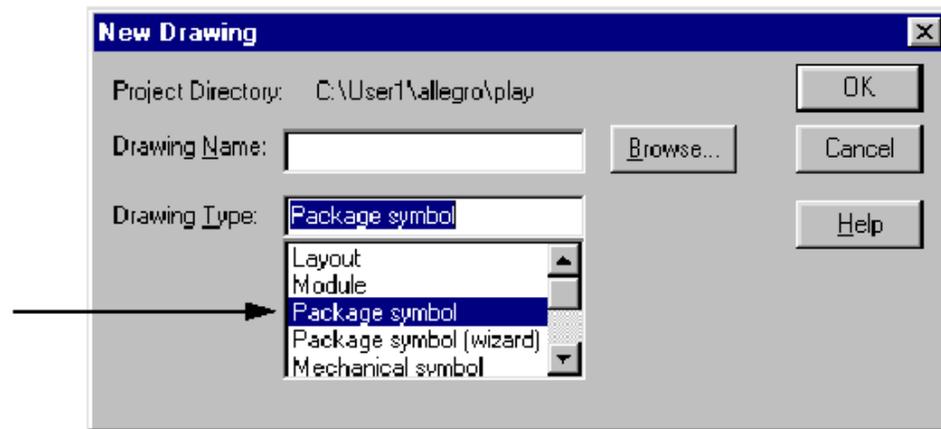
## Creating Symbols (Создание графических отображений объектов)

Режим Allegro Symbol Edit позволяет вам создавать следующие символы:

- ✦ Package Symbol (.psm)
  - dip14, soic14....
- ✦ Mechanical Symbol (.bsm)
  - Типовая форма печатной платы, монтажное отверстие
- ✦ Format Symbol (.osm)
  - Формат страницы, логотип компании, заметки по производству - сборке, диаграмму поперечного сечения и т.д.
- ✦ Shape Symbol (.ssm)
  - Создает многоугольник (форму), использующуюся для самостоятельно созданных pads.
- ✦ Flash Symbol (.fsm)
  - Symbol использующийся для отображения thermal relief

## Creating a Non-Wizard Package Symbol

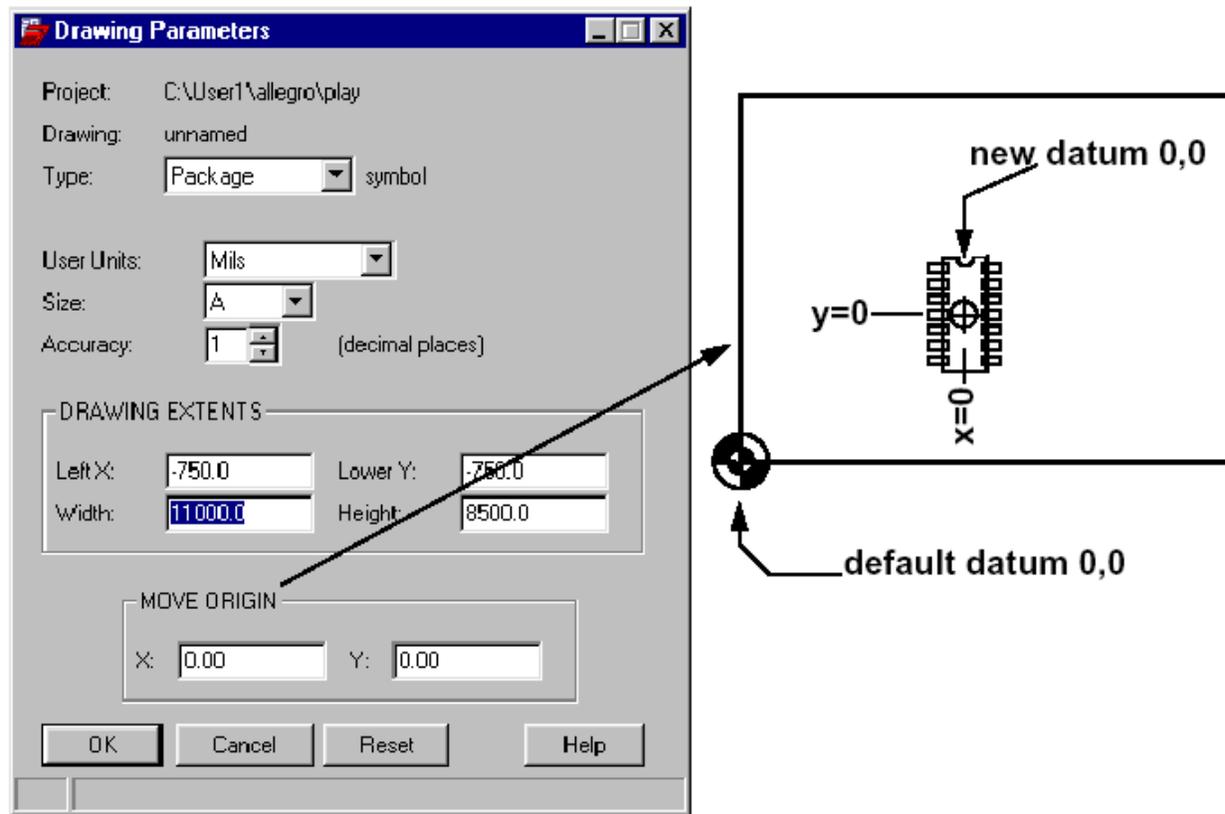
File — New...



### Creating a Package Symbol Drawing

Если вы хотите создать новый symbol без мастера, выберите в строке Drawing Type тип **Package Symbol**. Выбор вами типа Drawing Symbol влияет на доступные меню и типы выходных файлов.

## Moving the Drawing Origin



### Moving the Drawing Origin (Сдвиг Начала Координат)

Когда вы создаете чертеж нового symbol, начало координат (0,0) расположено, по умолчанию, в левом нижнем углу. Это начало координат должно быть перемещено в точку, расположенную на symbol (например, pin1 или центр symbol) и будет использоваться как начало координат package symbol.

1. Вам может быть удобно передвинуть начало координат до того, как начать располагать pins устройства. Если нет, вы можете передвинуть начало координат в любое время по мере хода процесса создания выбрав **Setup—Drawing Size**. Drawing Parameters в открывшемся окне.

2. Выберите подходящие параметры чертежа:

— **Project** путь в текущую директорию.

— **Drawing** определяет имя создаваемого package symbol.

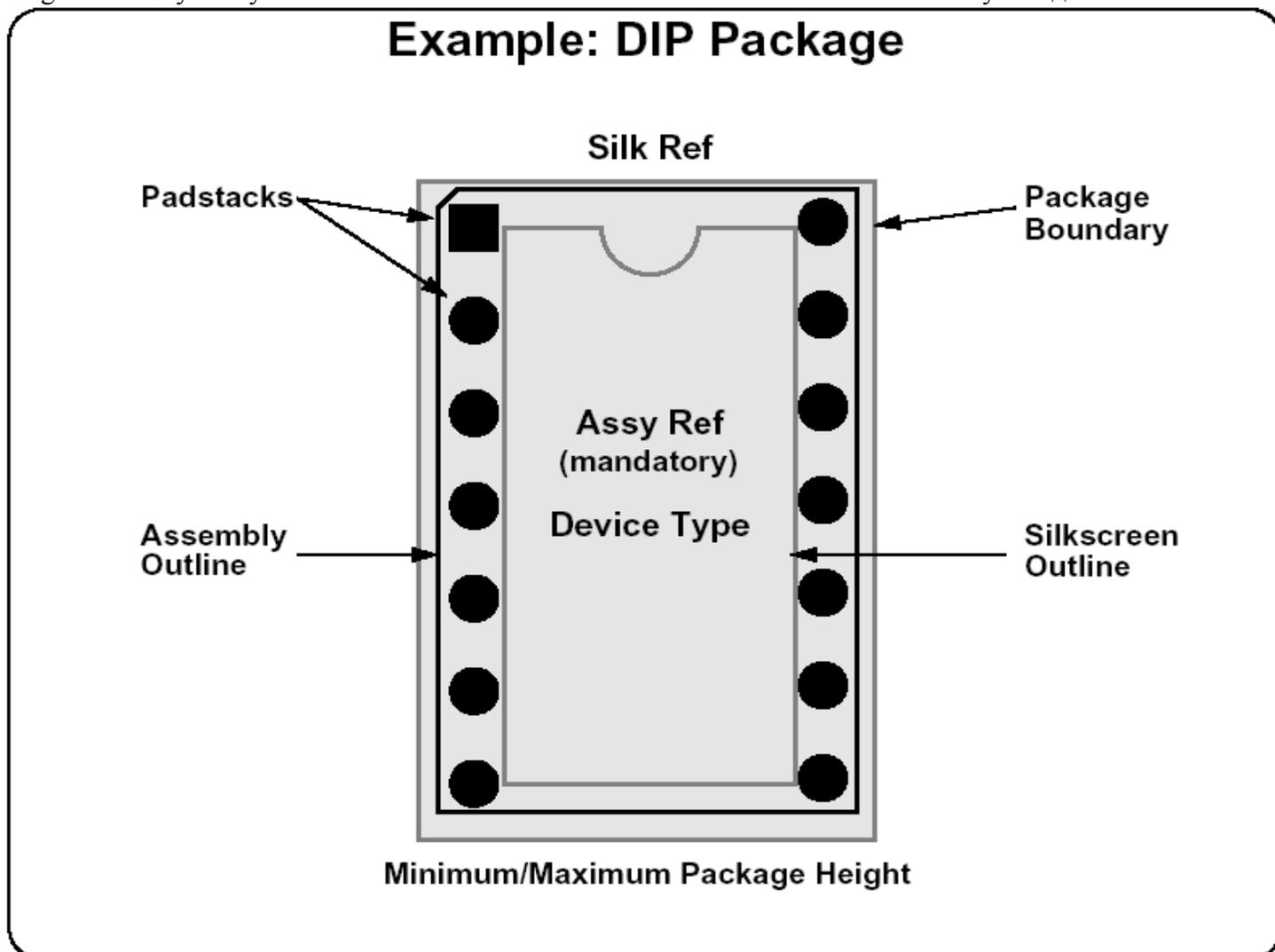
— **Type** может быть Package (.psm), Mechanical (.bsm), Format (.osm), Flash (.fsm) или Shape (.ssm).

— **User Units** могут быть Mils, Inches, Millimeters, Centimeters или Microns. По умолчанию Mils.

— **Size** может быть A, B, C, D или по выбору (A1, A2, A3, A4 для метрической системы единиц). По умолчанию A.

— **Accuracy** – число цифр после запятой. Диапазон от 0 - 4; по умолчанию 1.

3. Нажмите **OK**.



### Example: DIP Package

Типичный корпус с двухрядным расположением штыревых выводов содержит pins (padstacks), линии, обозначающие корпус элемента и трафарет шелкографии, а также надписи для условных и позиционных обозначений элемента на слоях assembly/silkscreen. Чтобы создать Allegro package symbol:

1. Добавьте pins (padstacks).
2. Начертите контуры компонентов для слоев assembly и silkscreen.
3. Добавьте надписи для условных и позиционных обозначений на слоях assembly и silkscreen (по крайней мере, одно обязательно).
4. Выберите зоны ограничения (routing и via keepouts, границу package (place bound) и информацию о высоте).
5. Определите Minimum Package Height или Maximum Package Height, или обе, используя команду Setup—Areas—Package Height.
6. Создайте файл symbol(.psm). Это двоичный файл, используется только во время размещения элементов. Он не может быть прочитан Allegro Symbol Editor. Используйте File—Create Symbol чтобы создать этот файл.
7. Сохраните файл чертежа(.dra). Это графический файл; он может быть использован только в целях редактирования. Используйте File—Save чтобы создать этот файл.

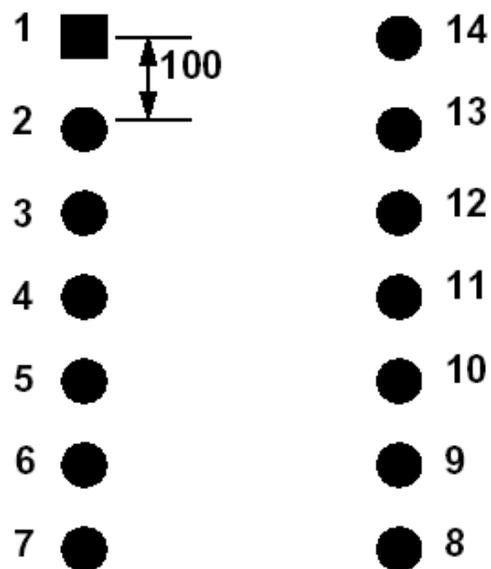
**Внимание:** Важно хранить файлы symbol (.psm) и drawing (.dra) синхронизировано, сохраняя файла чертежа каждый раз, когда вы создаете файл symbol(.psm).

## Adding Pins — Rectangular Mode



or...  
Layout — Pins

Options		Find		Visibility	
<input checked="" type="radio"/> Connect		<input type="radio"/> Mechanical			
Padstack:		<input type="text"/>			
Copy mode:		Rectangular			
Qty	Spacing	Order			
X: 1	100	Right			
Y: 1	100	Down			
Rotation:		0.000			
Pin #:	1	Inc:	1		
Text block:	1				
Offset X:	-100	Y:	0		



### Adding Pins - Rectangular Mode (Добавление Pins - прямоугольный режим копирования)

**Padstack:** Введите имя padstack (поле ввода не чувствительно к регистру - обращается к файлу на диске с именем в нижнем регистре) или используйте программу просмотра Padstack.

**x:** число добавляемых колонок pin. **y:** число добавляемых рядов pin.

**Spacing (Отступ):** используется для определения расстояния между pin x и y.

**Left/Right:** (поле выбора) используется для определения направления расстановки рядов от начальной точки по горизонтали.

**Up/Down:** (поле выбора) используется для определения направления расстановки рядов от начальной точки по вертикали.

**Rotation:** Угол поворота. Может быть фиксированным 0, 45, 90, 135, 180, 225, 270, 315 или произвольный, задаваемый пользователем. По умолчанию 0.

**Pin#:** Показывает номер следующего добавляемого pin. Буквенно-цифровые имена pin подходят (не чувствительны к регистру). Последнее имя pin name увеличивается на 1 (A1->A2, 1A->1B, 1AZ->1BA).

**Inc:** Определяет шаг увеличения номера pin. По умолчанию 1.

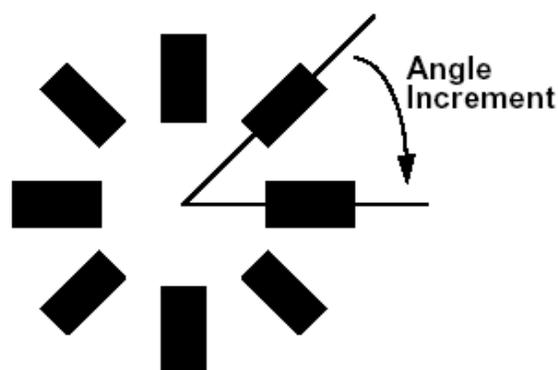
**Text Block:** Каждый добавляемый вами pin включает в себя видимый номер. Этот параметр определяет размер номера (текста) pin. Введите в окошко текста значение от 1 до 16. Используйте **Define—Text** для дополнительной информации.

**Offset x/y:** перемещает номер pin по отношению к центру pin.

## Adding Pins — Polar Mode

 or...  
Layout — Pins

Options	Find	Visibility
<input checked="" type="radio"/> Connect	<input type="radio"/> Mechanical	
Padstack:	<input type="text"/>	...
Copy mode:	Polar	
Copies:	1	
Angle inc:	0.000	Ccw
Rot mode:	Incremental	
Rotation:	0.000	
Pin #:	1	Inc: 1
Text block:	1	
Offset X:	-100	Y: 0



### Adding Pins— Polar Mode (Полюсный режим)

Для добавления pins в полюсном режиме, переключите поле **CopyMode** сверху окна Options. Форма полей идентична прямоугольному режиму, кроме следующих:

**Copies:** Введите число pins располагаемых в полюсной форме.

**Angle Inc:** Введите приращение угла 0, 45, 90, 135, 180, 225, 270 или 315 или произвольный угол. Направление по умолчанию – против часовой стрелки.

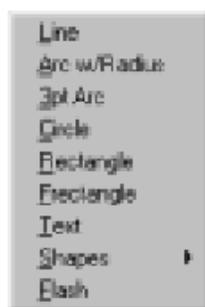
**Rotation:** определяет исходное положение padstack. Введите 0, 45, 90, 135, 180, 225, 270, 315 или угол, определенный пользователем. По умолчанию 0.

**Rot Mode:** Параметр вращения. Если выбран **Absolute**, тогда начальное положение сохраняется в течении перемещения. Если выбран **Incremental**, padstack автоматически вращается, чтобы соответственно угловому приращению. Если pins расположены на расстоянии 45 градусов друг от друга, тогда padstack поворачивается на 45 градусов каждый раз, когда ставится pin.

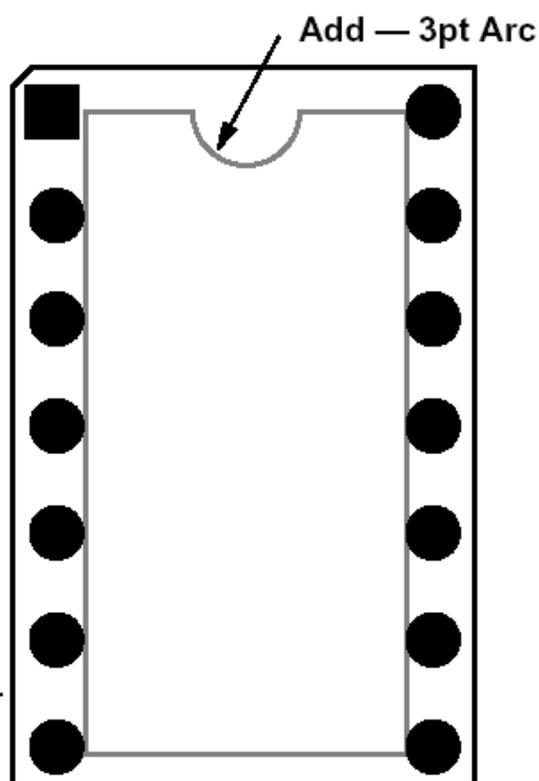
Определите начальную или центральную точку (“polar origin” вокруг которой располагаются pins) и расположение первого pin (который определяет радиус).

## Drawing Component Outlines

Add



Add — Line →



### Drawing Component Outlines (Рисование контуров компонентов)

Определите контуры assembly и silkscreen outlines, используя следующие команды:

**Line (Линия):** Нажмите левую кнопку мыши, чтобы нарисовать контур компонента.

**Rectangle:** Две вершины определяют высоту и ширину.

**Circle:** Нажмите левую кнопку мыши, чтобы выбрать центр. Нажмите снова, чтобы выбрать радиус.

**3pt Arc:** Три точки: первая для начальной точки дуги arcs, вторая для конечной точки и третья для точки на дуге (дуга проходит через эту точку).

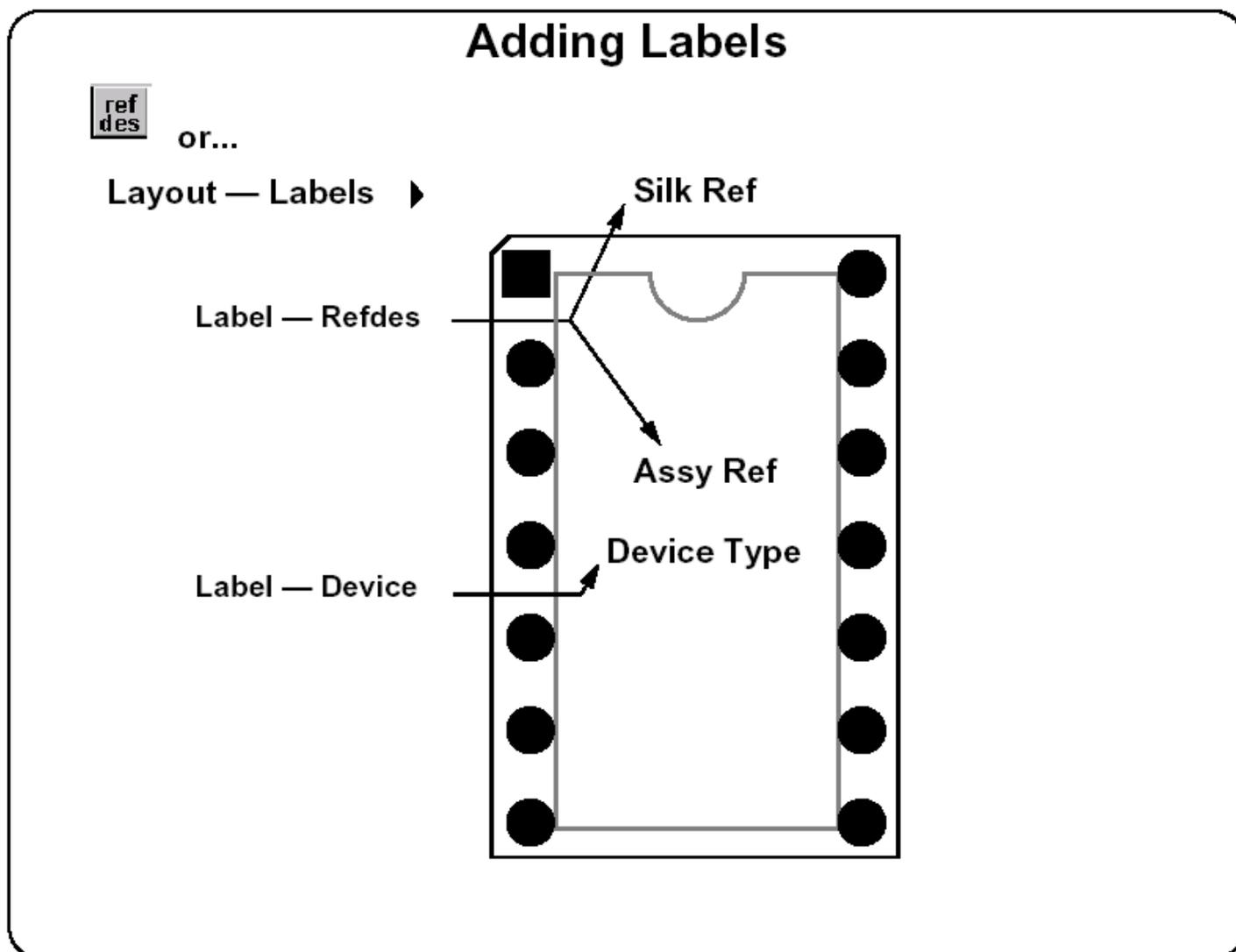
**Arc w/Radius:** Три вершины: первая для центра дуги, вторая для начальной точки дуги(радиус) и третья для конечной точки дуги.

Используйте закладку Options для определения чертежного слоя (class/subclass) для вашей контурной графики.

Когда вы выбираете одну из показанных команд, форма Options сводится к значениям по умолчанию:

- ✦ Class: PACKAGE GEOMETRY
- ✦ Subclass: ASSEMBLY\_TOP

Если вы создаете контур шелкографии, переключите поле subclass на SILKSCREEN\_TOP.



## Adding Labels (Добавление надписей)

Надписи для условных и позиционных обозначений элемента и/или типов устройств на слоях assembly/silkscreen. Добавляя надпись, используйте форму Options для определения размера text block. Это управляет размером отображаемых данных (например, assembly refdes).

То, что вы введете может быть позже использовано автоматическим переименованием. Все до (но не включая) последнего символа имени, используемого вами условного обозначения, будет сохранено automatic rename feature, если вы пожелаете.

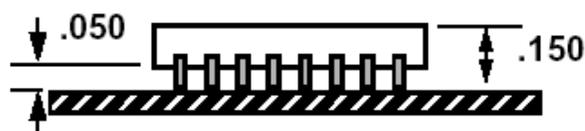
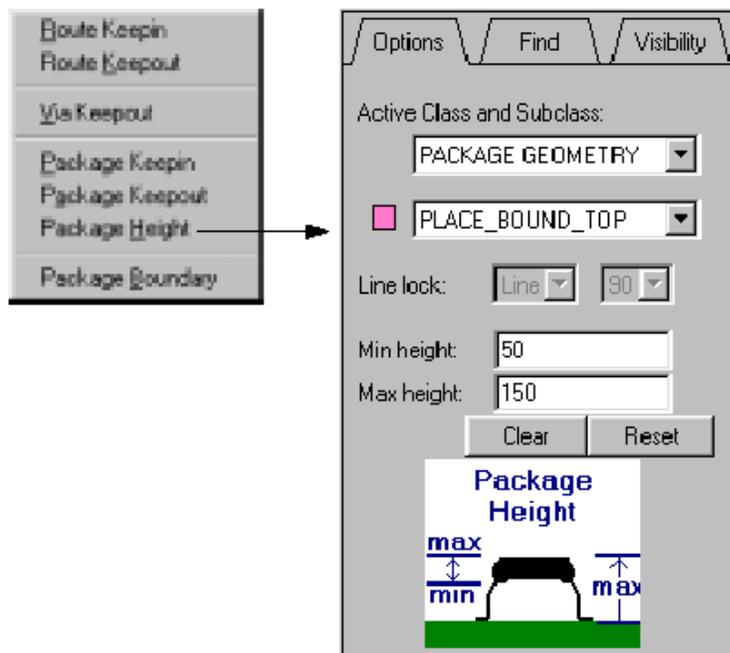
Примеры:

Component Type	Suggested Naming Convention
IC	U*
Resistor	R*
Capacitor	C*

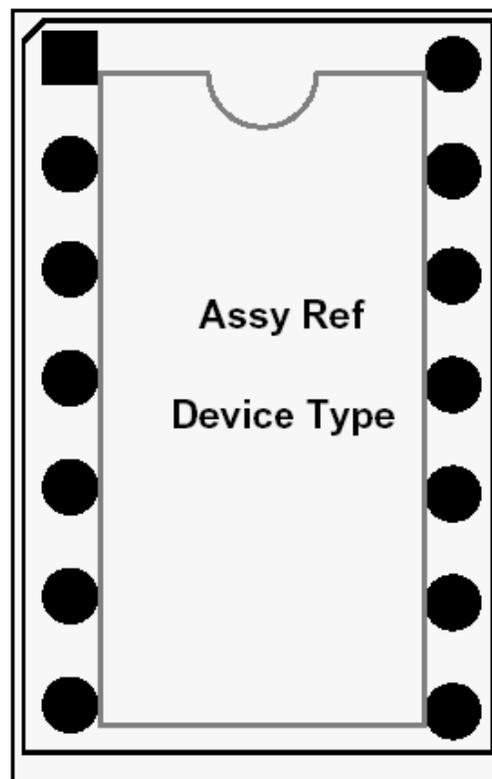
Используйте форму Options для определения слоя в которой вы создаете (class/subclass) надпись.

## Defining Area Constraints

### Setup — Areas ▶



### Silk Ref



## Defining Area Constraints (Создание областей ограничений)

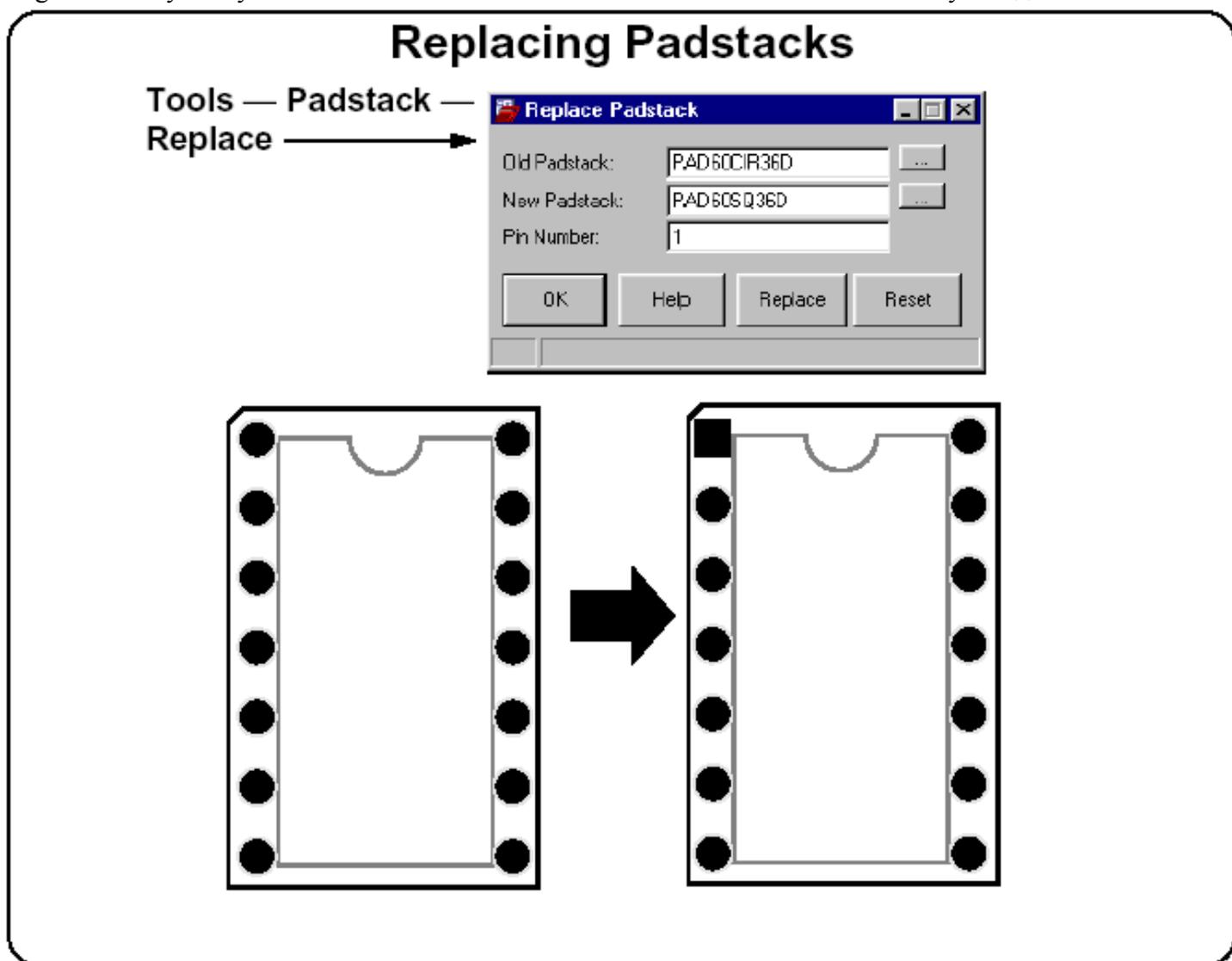
Чтобы создать области, используйте выпадающее меню из **Setup—Areas**.

**Route Keepout** - определяемая пользователем область, в которой запрещена разводка проводников.

**Via Keepout** определяемая пользователем область, в которой запрещена расстановка переходных отверстий.

**Package Boundary** определяет двухмерную область, которая используется для проверки перекрывания package при расстановке на печатной плате. Это залитый (сплошной) многоугольник. Создается автоматически с помощью **Symbol Wizard** либо вручную.

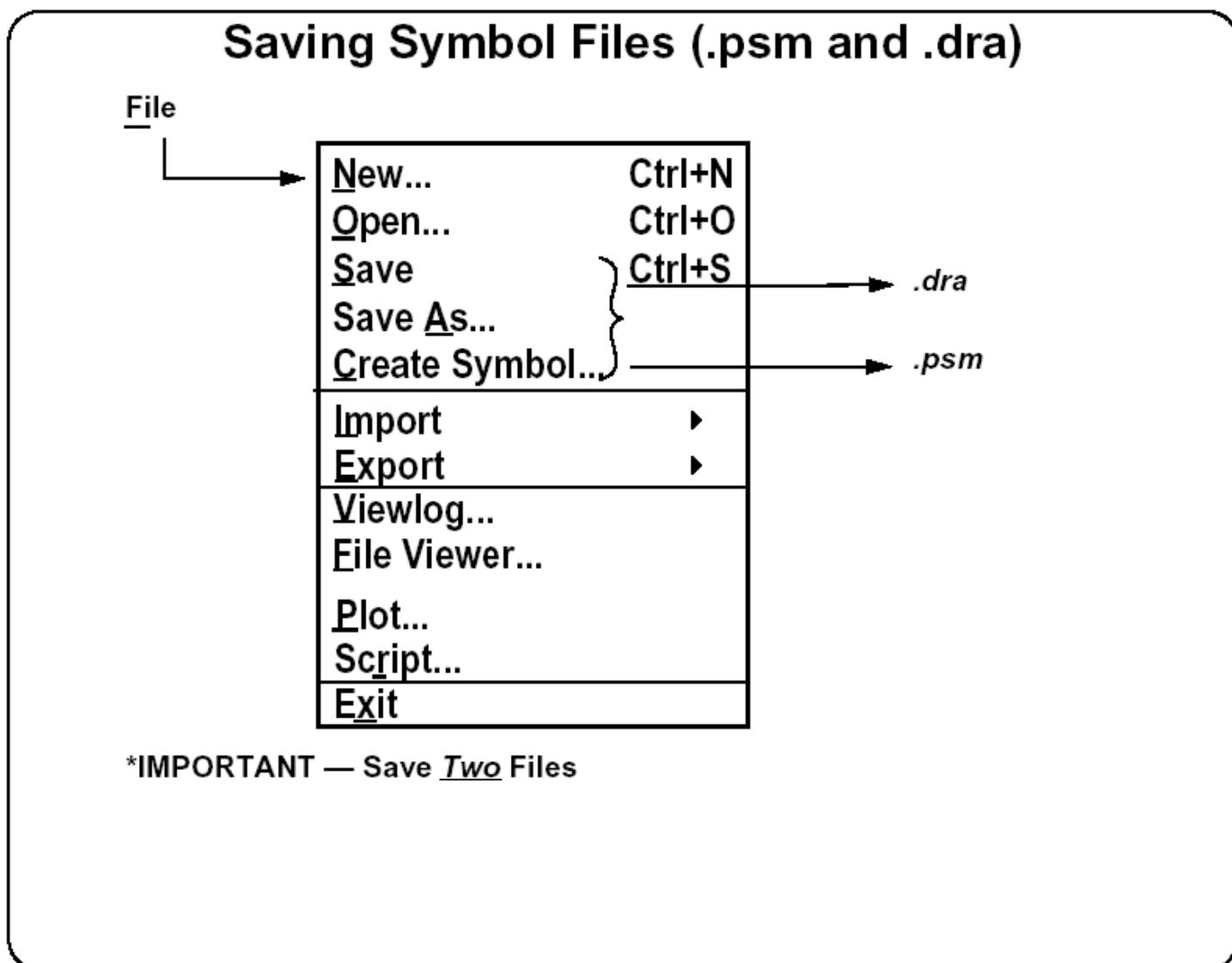
**Package Height** определяет информацию о высоте package (измерение z), которая является присоединенным свойством к package boundary. Высота – это промежуток между низом package (Min Height) и верхом package (Max Height). Если определено только одно значение, предполагается, что package начинается от поверхности платы и продолжается до заданной Max Height.



### Replacing Padstacks (Замена)

Если вы использовали неправильный padstack при расположении pins на package symbol, вы можете удалить неправильные pins и добавить padstack с нужным именем. Однако проще оставить pins на symbol и поменять имя padstack. (Например, заменим 60-mil round pad на 60-mil square pad.)

Для выполнения замены padstack, выберите **Tools—Padstack—Replace** на верхней панели меню. В этой форме вы определяете заменяемые и новые имена padstack, а также как номера задействованных pin. Групповой символ по умолчанию (\*) показывает, что все заменяемые padstack будут заменены новым padstack. (Список или диапазон номеров pin не принимается.) Если новый padstack уже используется в symbol drawing (другими pins), Allegro использует это определение и не ссылается на библиотеку. Если имя нового padstack не существует в чертеже или, если заменяемое и новое имена padstack одинаковы, Allegro ищет padstack в библиотеке.



## Saving Symbol Files (.psm и .dra) (Сохранение файлов Symbol)

### Saving the .psm File

Когда ваш чертеж закончен, вы должны создать файл package symbol (.psm). Этот файл является бинарным эквивалентом вашего файла чертежа, и является файлом, используемым во время расстановки элементов, чтобы отобразить компонент во время физического распределения.

Команда **Create Symbol** (также известная как “compiling” the symbol) автоматически проверяет чертеж на общие ошибки. Например, она проверяет, чтобы у вас был хотя бы один объект refdes. Она также проверяет границы package. Если у вашего package symbol нет определенной границы, эта команда автоматически создает ее, или используя Package Geometry/Assembly\_top graphics или окружая все pins устройства прямоугольником (касающимся краев pin), смотря, что больше.

### Saving the .dra File

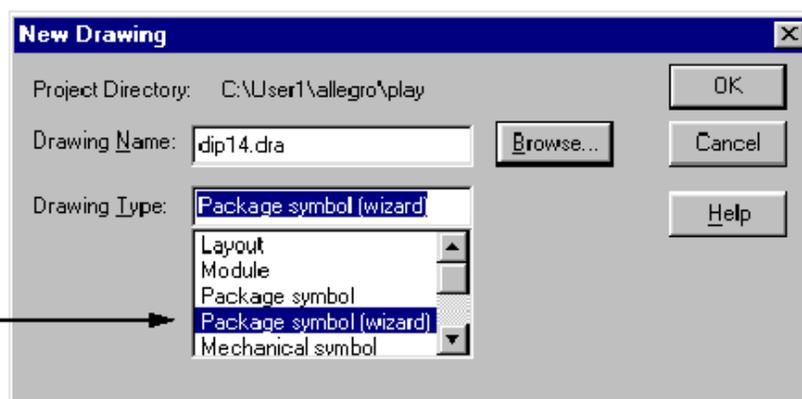
Бинарный файл package symbol (.psm) не может быть просмотрен или отредактирован. Вы можете открыть файл чертежа (.dra). Поэтому, файл чертежа должен быть также сохранен на диск, и храниться в библиотечной директории.

#### Важно

Сохраняйте оба файла .psm и .dra. Вы можете извлечь эти файлы из помещенных в архив проектов, но вам следует хранить оба файла доступными во время текущего проекта.

## Creating a Package Symbol with the Wizard

File — New...



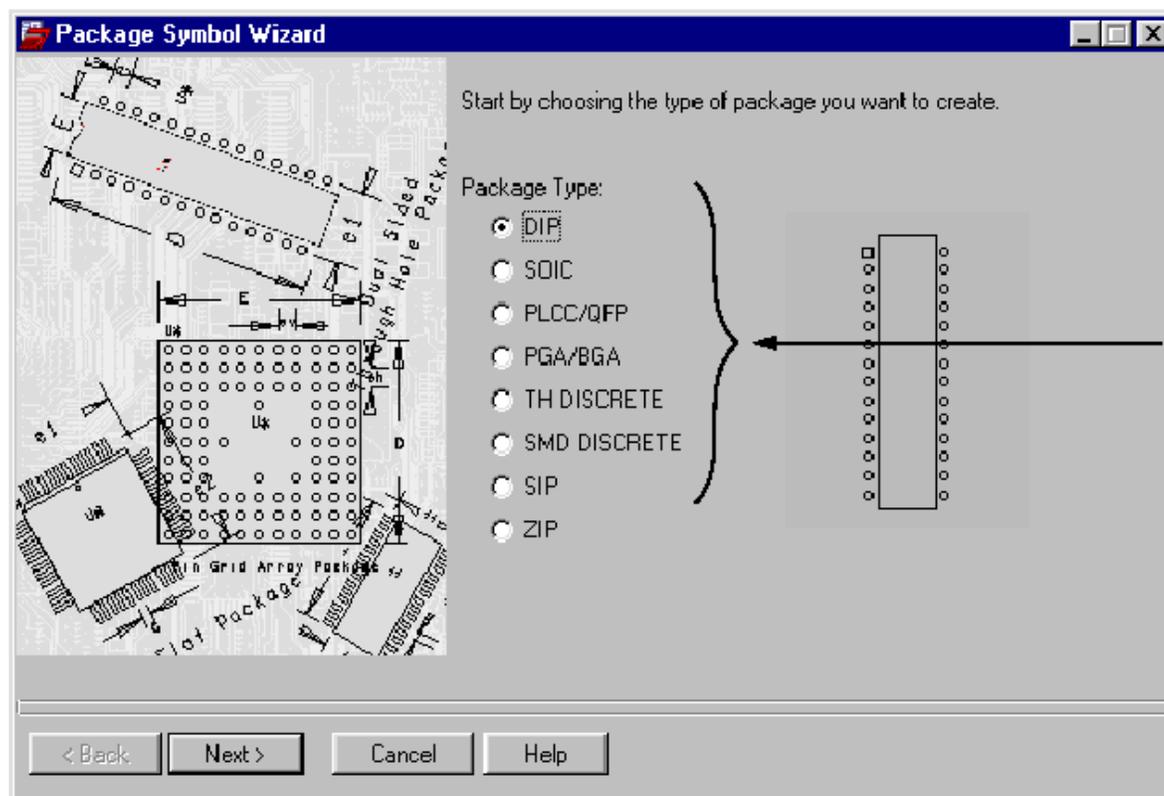
### Creating a Package Symbol with the Wizard (Создание Symbol с помощью мастера)

Package Symbol Wizard снабжен интерфейсом на основе меню, чтобы создавать некоторые типы package symbols. Этот мастер похож на мастера установки Windows.

Чтобы создать Package Symbol, используя мастер, выберите **File—New** и выберите тип **Package symbol (wizard)**. Вы увидите несколько форм, запрашивающих необходимую информацию для создания определенного типа package symbol. Число форм и требуемая информация зависит от типа создаваемого symbol. Во время работы мастера, внизу каждой формы доступны следующие кнопки:

- ★ **< Back**: Эта кнопка показывает предыдущий экран. На первом экране не доступна.
- ★ **Next >**: Эта кнопка показывает следующий экран. Она продолжает процесс после того, как вы заполните текущую форму. На последнем экране не доступна.
- ★ **Cancel**: Эта кнопка останавливает работу мастера. Возвращает в symbol editor с именем чертежа, указанным в **File—New**.
- ★ **Help**: Вызывает помощь по package wizard.

## Specifying the Type of Package



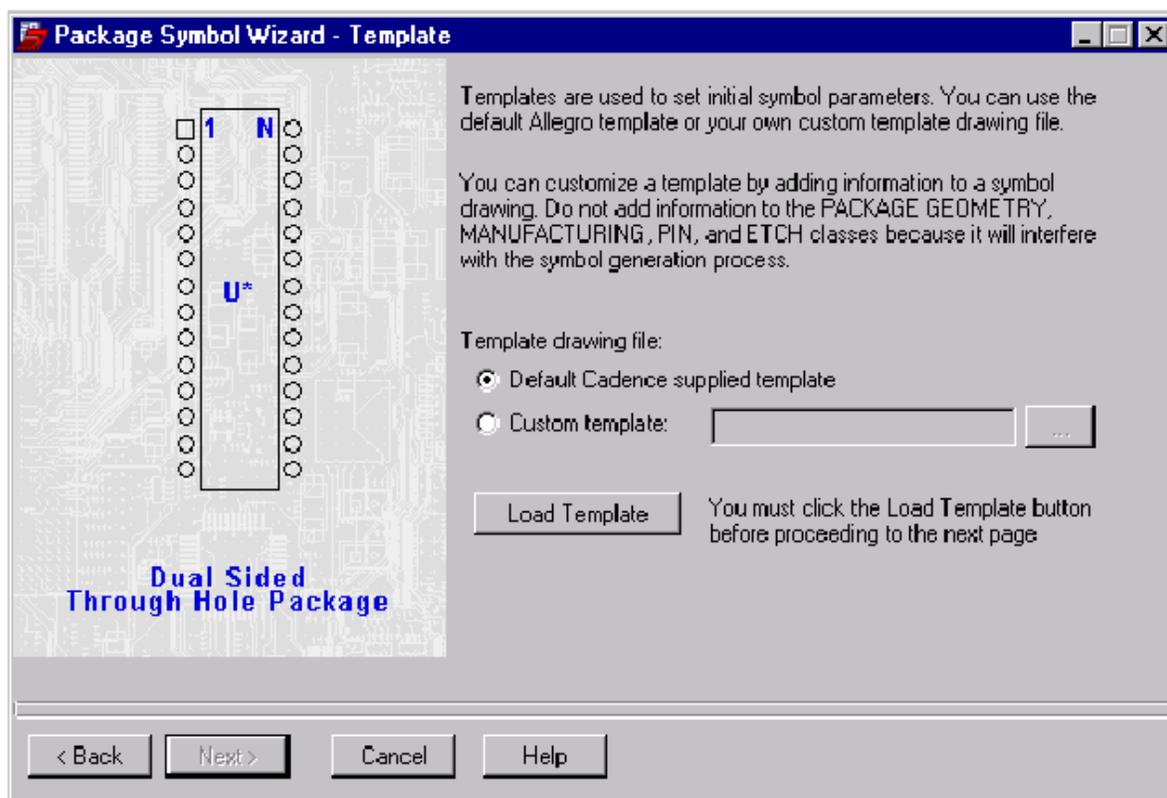
Select the appropriate type of footprint to be created.

### Specifying the Type of Package

Восемь “типов” package могут быть созданы в Package Symbol Wizard:

- ✦ **DIP** или **SOIC** – Корпус с двухрядным расположением штыревых выводов или корпус двухрядным расположением выводов для поверхностного монтажа. Укажите число pins, шаг выводов, расстояние между рядами, ширину package и длину package.
- ✦ **PLCC/QFP** – Корпус с четырехсторонним расположением выводов для монтажа на поверхность. Укажите число pins в вертикальном и горизонтальном направлениях, шаг выводов, шаг между рядами, шаг между колонками, ширину и длину корпуса package.
- ✦ **PGA/BGA** - A Pin Grid Array/Ball Grid Array package. Укажите расположение pin (full или perimeter), число pins, порядок нумерации pin (top left/bottom right и т.п.), формат нумерации pin (JEDEC, pad with zeros), шаг по горизонтали, шаг по вертикали, ширину и длину package.
- ✦ **TH** или **SMD DISCRETE** – Package с двумя pin для монтажа в сквозные отверстия или на поверхность. Укажите расстояние между pins, ширину и длину package.
- ✦ **SIP** – Package с расположением pin в одну линию. Укажите количество pins, шаг между ними, ширину и длину package.
- ✦ **ZIP** – Package с зигзагообразным расположением pin. Укажите количество pins, шаг между ними, шаг между двумя рядами, ширину и длину package.

## Specifying a Package Template



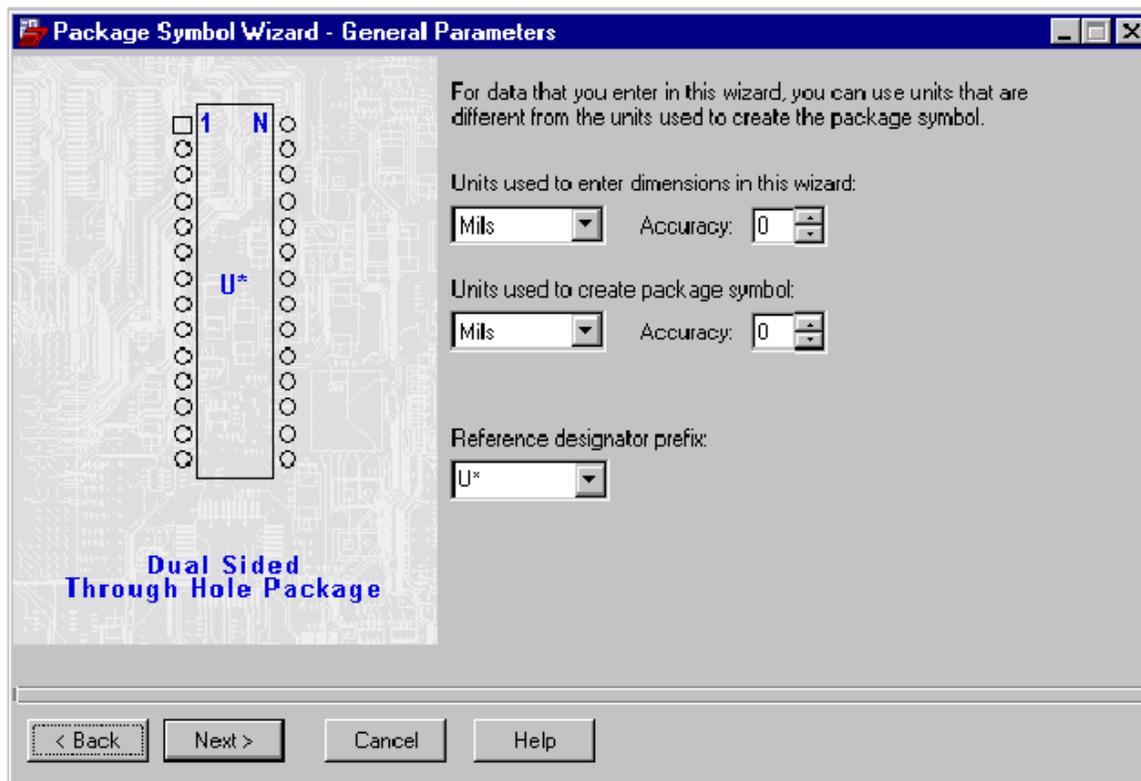
### Specifying a Package Template (Указание шаблона)

Шаблон должен быть выбран для каждого создаваемого package. Шаблон может применяться к предметам по умолчанию таким как цвета для различных классов/подклассов, для определения размера текста и т.д. Шаблон НЕ ДОЛЖЕН содержать любые данные по следующим классам: PIN, ETCH, PACKAGE GEOMETRY, PACKAGE KEEPIN, PACKAGE KEEOUT, REFDES, ROUTE KEEPIN, ROUTE KEEOUT, VIA CLASS, VIA KEEOUT.

Кнопка **Load Template** должна быть нажата перед тем, как вы перейдете к следующему шагу, используете ли вы Custom template (созданный вами) или default template (по умолчанию). Имя шаблона по умолчанию находится:

```
<cds inst dir>/share/pcb/pcb_lib/symbols/template/sym_template.dra
```

## General Parameters



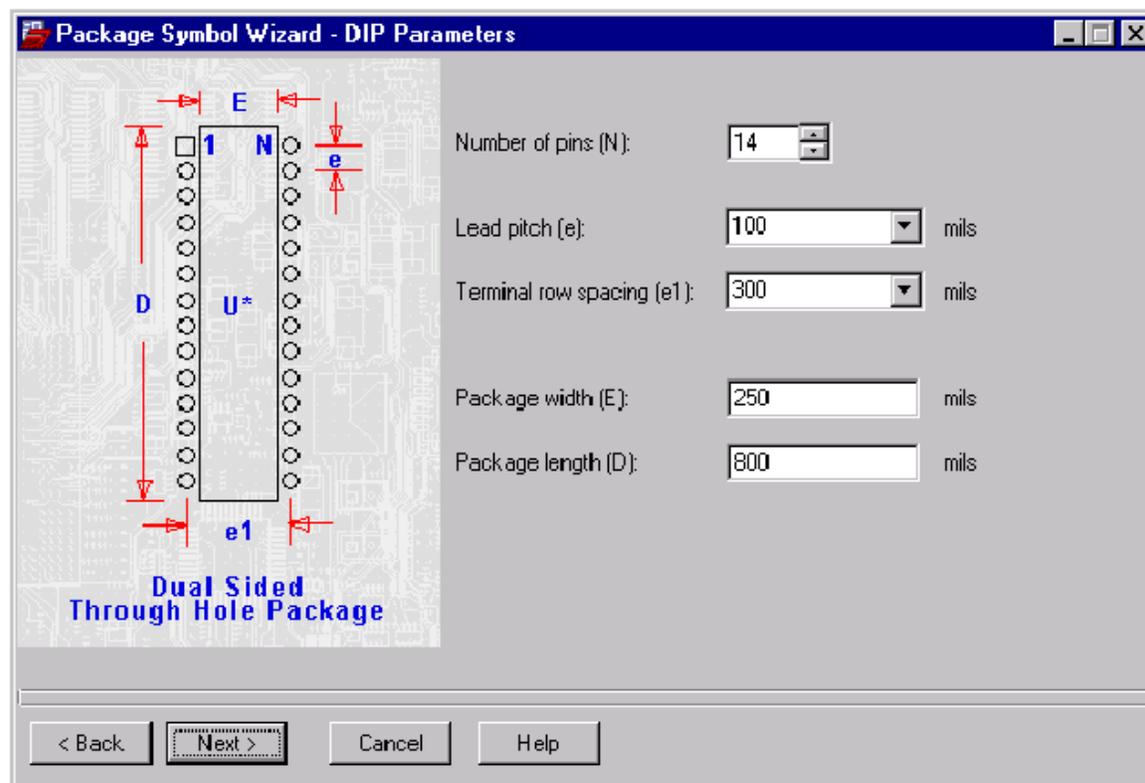
### General Parameters (Общие свойства)

Форма общих свойств используется во VCEX мастерах. Единицы измерения и точность, показанные в данной форме определяются из шаблона выбранного в окне Template Selection. Шаблон по умолчанию использует единицы измерения **Mils** и точность **0**.

Единицы измерения и точность, используемые для компиляции package могут отличаться от тех, которые используются для создания package symbol. По умолчанию, они одинаковы.

Используемый Reference Designator Prefix определяется из надписи, найденной в классе/подклассе REF DES/ASSEMBLY\_TOP, если используется сделанный вами шаблон. Если используется шаблон, заданный по умолчанию, Reference Designator Prefix будет **U\***. В выпадающем меню для поля Reference Designator Prefix содержатся предопределенные значения **U\***, **R\***, **C\*** и **J\***. Вы можете указать другое значение, введя строку в это поле.

## Package-Specific Parameters

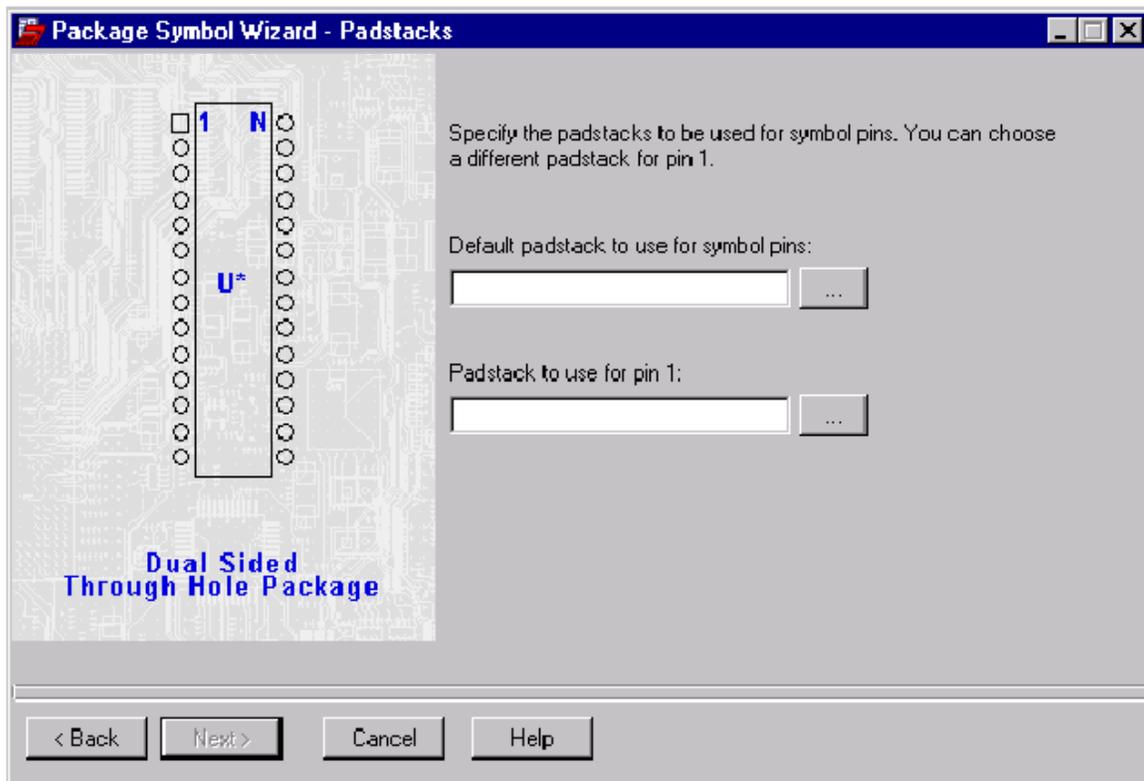


### Package-Specific Parameters (Особые параметры)

Для различных типов package symbols, вам предлагаются различные формы выбора. Вам будет предложено заполнять поля, указывая объекты, такие как шаг между pins, размеры package, количество pins и т.д. Число специальных форм меняется от 1 до 3, в зависимости от типа package.

Показанная форма – пример той, что вы увидите, выбрав DIP package style.

## Specifying Padstacks

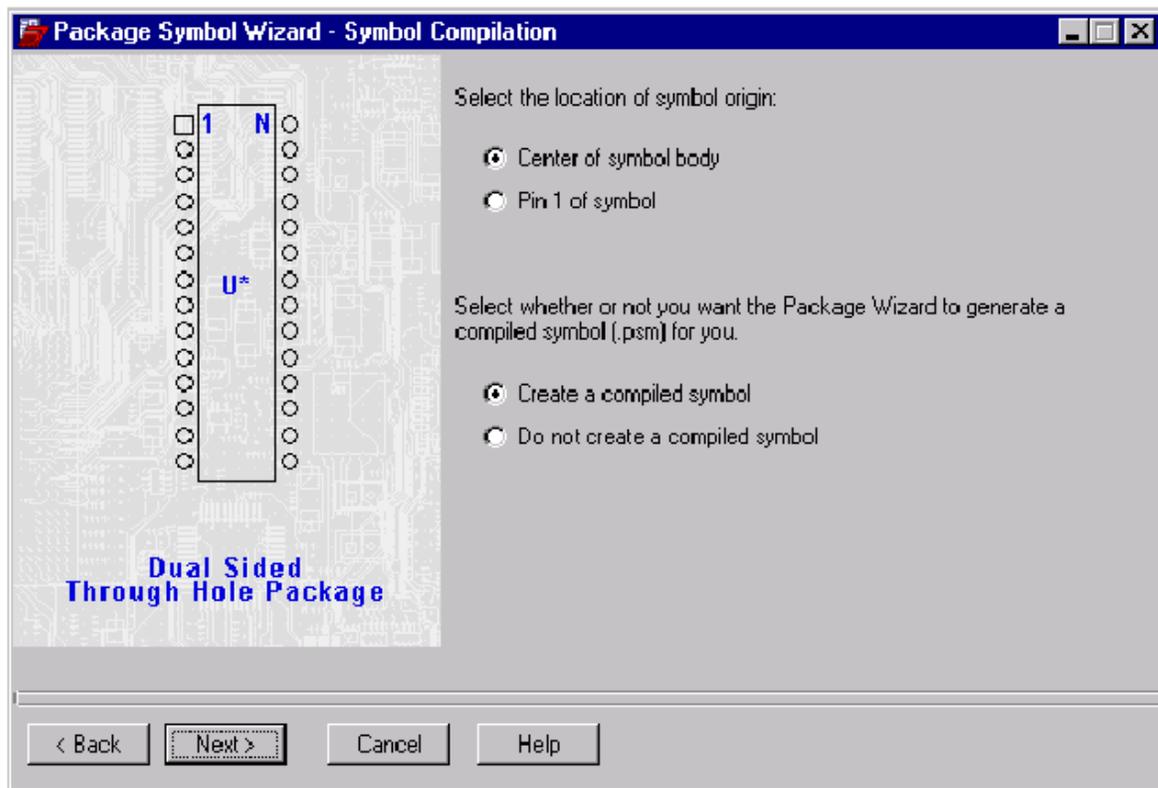


### Specifying Padstacks

Выбор Padstack используется во ВСЕХ мастерах. Здесь вы определяете, какой padstack будет использоваться для pin 1 и padstack, который будет использоваться для всех остальных pins. Оба padstacks могут быть одинаковыми.

Для выбора padstacks используется программа просмотра Padstack. Используется переменная PADPATH и все найденные по указанному в ней пути padstacks (\*.pad) будут перечислены в браузере для выбора.

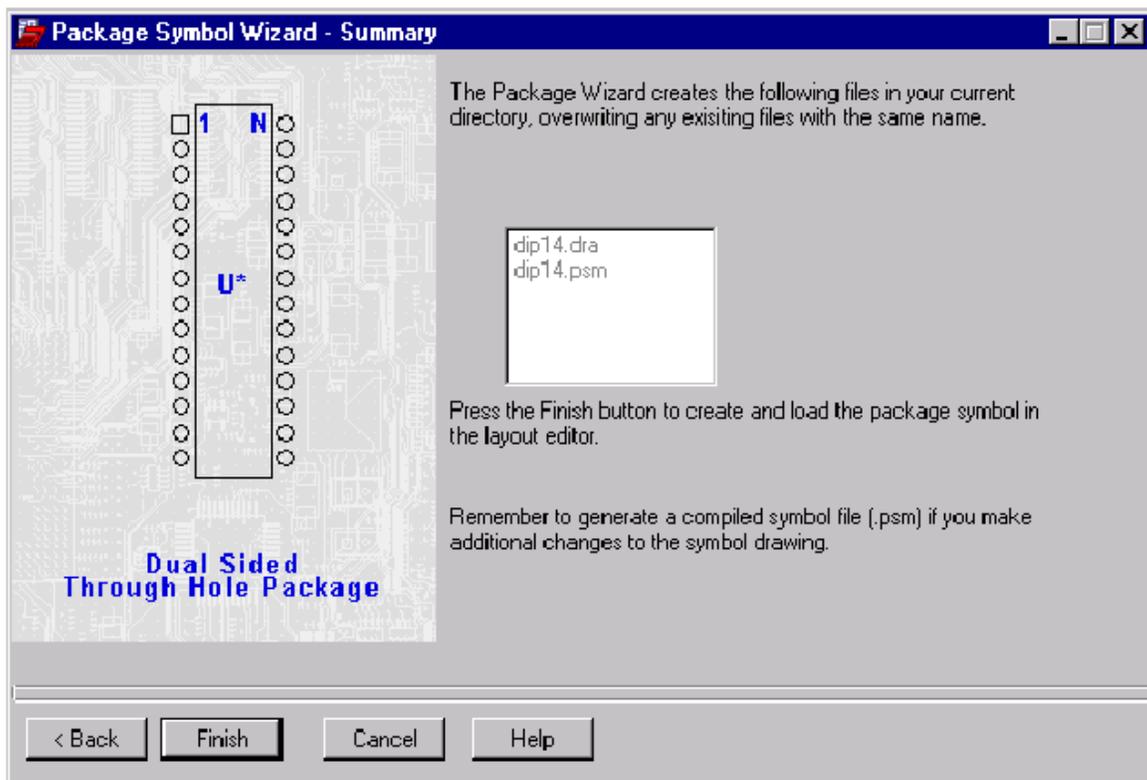
## Symbol Compilation



### Symbol Compilation

Для VCEX package symbols, укажите начало координат package symbol (центр symbol или центр pin 1). Это будет (0,0) чертежа, который также используется во время расположения на печатной плате. Вы должны также указать компилировать или нет package symbol. Компиляция package symbol создаст соответствующий файл .psm.

## Package Wizard Summary Form



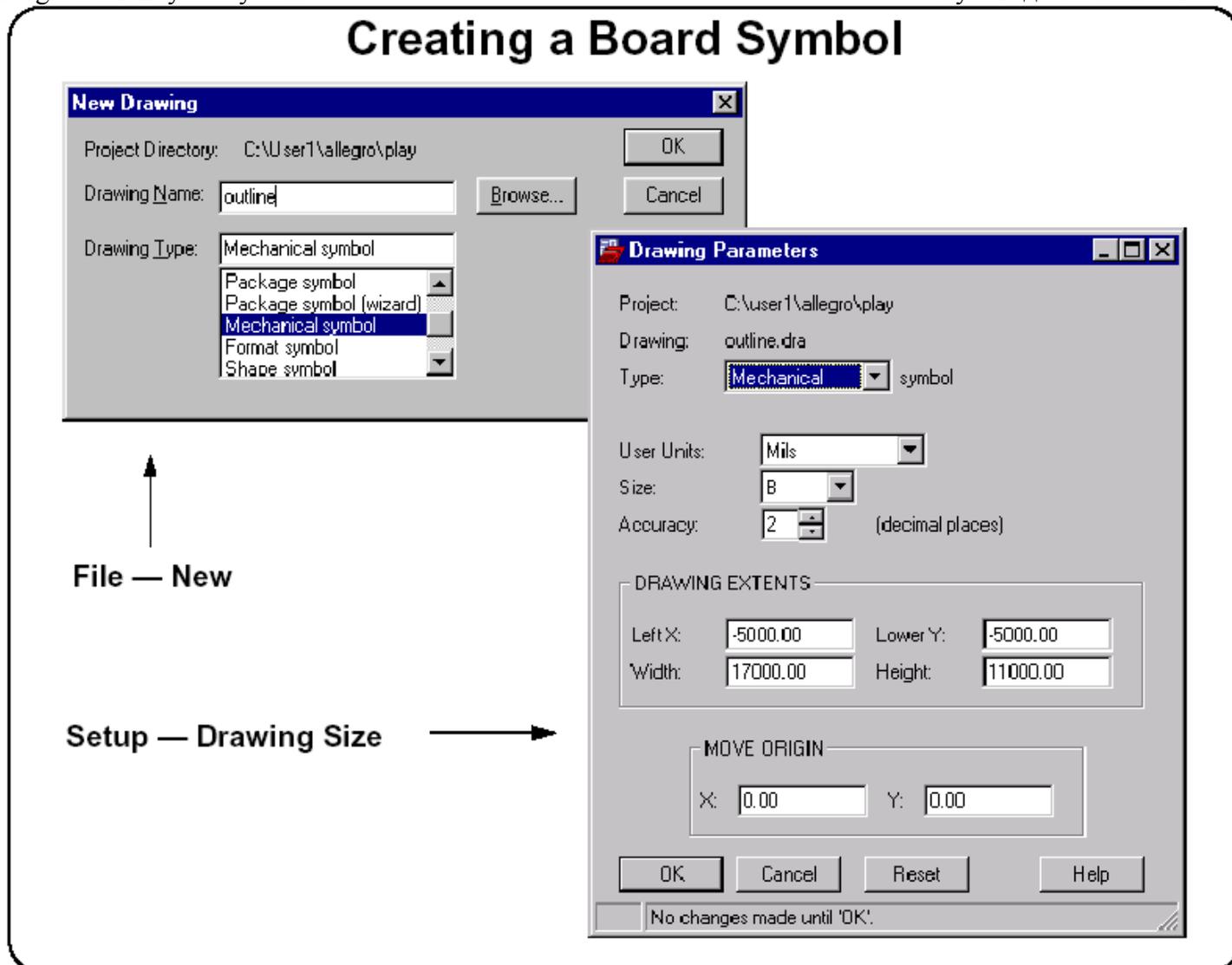
### Package Wizard Summary Form

Создание VCEX package symbols, вы завершаете на суммарной формой. Данная форма определяет создаваемые файлы. Если вы укажете компиляцию package symbol (как выбрано в меню Symbol Compilation), мастер создаст файл *.psm*.

При нажатии кнопки **Finish**, создается package symbol, package symbol компилируется (если вы это указали) и редактор чертежа открывается с только что созданным файлом *.dra* как с текущим рисунком. Затем вы можете сделать все нужные или требуемые замены.

После внесения изменений не забудьте перекомпилировать symbol и сохранить чертеж.

## Creating a Board Symbol

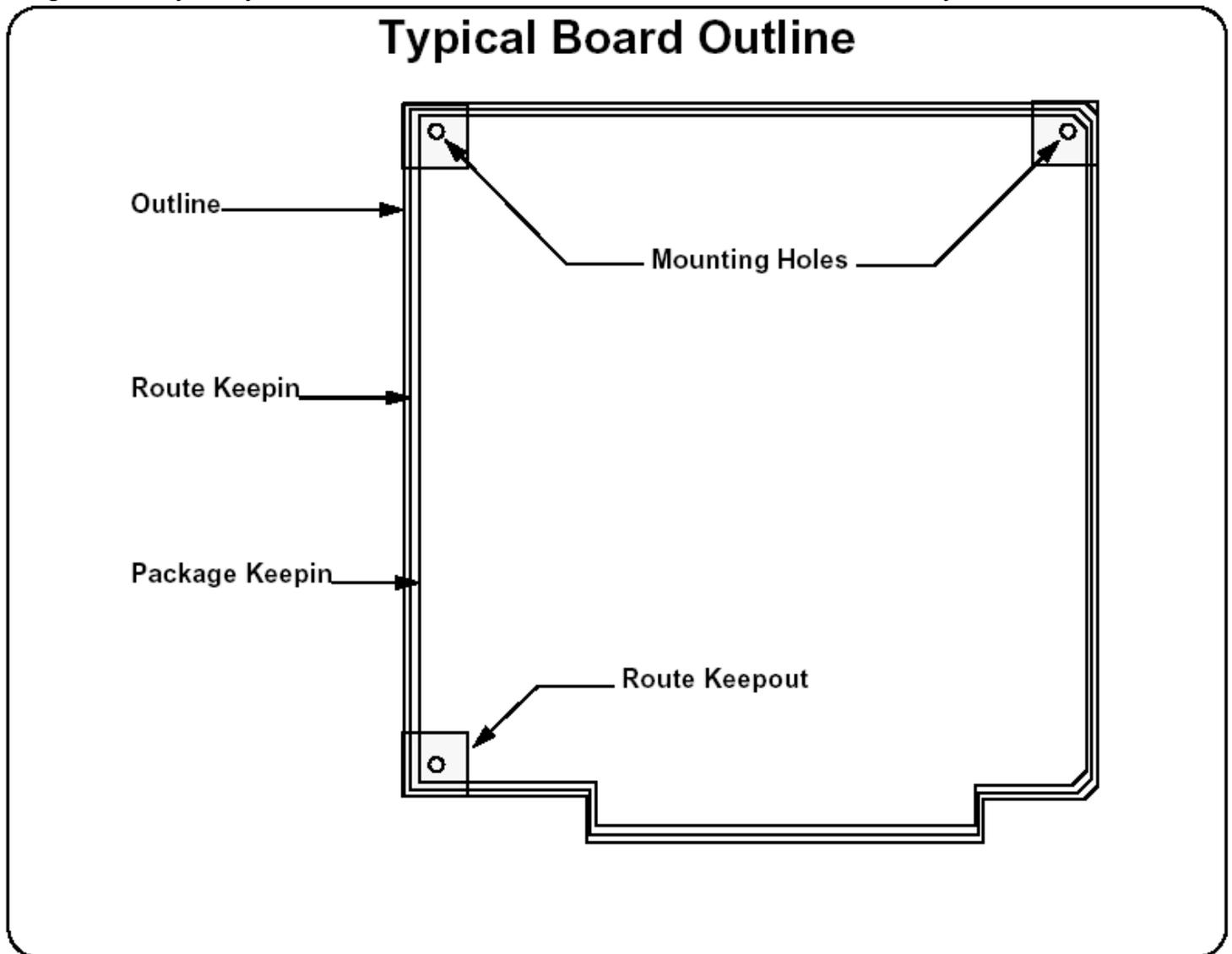


## Creating a Board Symbol (Создание нового условного отображения печатной платы)

Чтобы создать symbol платы, выберите **Mechanical Symbol** как тип чертежа.

Потом, используйте форму Drawing Parameters для выбора:

- ✦ **Project** имя пути текущей директории.
- ✦ **Drawing** имя создаваемого вами mechanical symbol.
- ✦ **Type** - mechanical (.bsm).
- ✦ **User Units** могут быть Mils, Inches, Millimeters, Centimeters или Microns. По умолчанию Mils.
- ✦ **Size** может быть A, B, C, D или другой. (A1, A2, A3, A4 для метрической системы единиц). По умолчанию A.
- ✦ **Accuracy** число цифр после запятой. Диапазон от 0 до 4. По умолчанию 1.
- ✦ **Move Origin** может быть использована для перемещения начала отсчета.

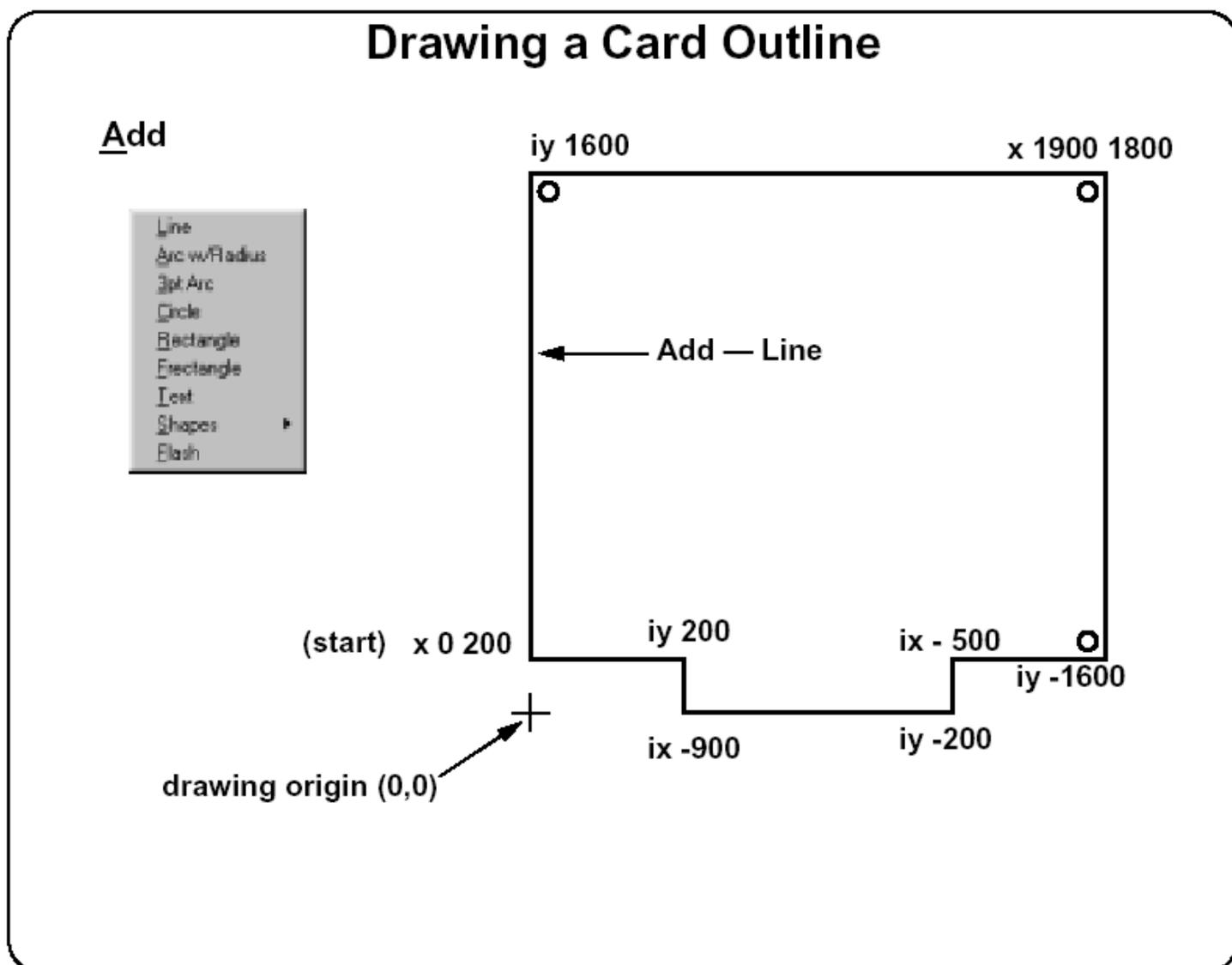


### Typical Board Outline (Типичный эскиз платы)

Вы видите пример контура платы с keepins, keepouts и mounting holes.

Чтобы создать в Allegro эскиз mechanical symbol:

1. Определите контур платы.
2. Определите монтажные отверстия (добавляются как pins).
3. Определите package и routing keepin/keepout areas.
4. Создайте (сохраните) файл symbol (.bsm).
5. Сохраните файл (.dra).



### Drawing a Card Outline (Чертеж контура платы)

Вы, вероятно, будете использовать механический чертеж как источник данных. Он может содержать как абсолютные (относительно исходной точки), так и относительные значения. Используйте командную строку Allegro для ввода координат  $x$  и  $y$  для конечных точек линии в абсолютном ( $x$  1900 1800) или инкрементном ( $ix$  -900) режиме.

Закругление кромок и фаски могут быть выполнены командами **Dimension—Chamfer** и **Dimension—Fillet**.

**Внимание:** Утилиты для определения размеров также доступны на верхней панели меню в режиме Mechanical Symbol.

## Tooling/Mounting Holes



or...

Layout — Pins

Options		Find	Visibility
Padstack:	<input type="text"/> ...		
Copy mode:	Rectangular		
	Qty	Spacing	Order
X:	<input type="text" value="1"/>	<input type="text" value="100"/>	Right
Y:	<input type="text" value="1"/>	<input type="text" value="100"/>	Down
Rotation:	<input type="text" value="0.000"/>		

### Tooling/Mounting Holes

Используйте команду **Layout—Pins**, чтобы определить ваши инструментальные и монтажные отверстия (padstack без номера pin). Поля Options одинаковы с теми, что для package pins (за исключением спецификации текста pin).

#### Rectangular (Прямоугольник)

**Padstack** Введите имя padstack или используйте Padstack браузер.

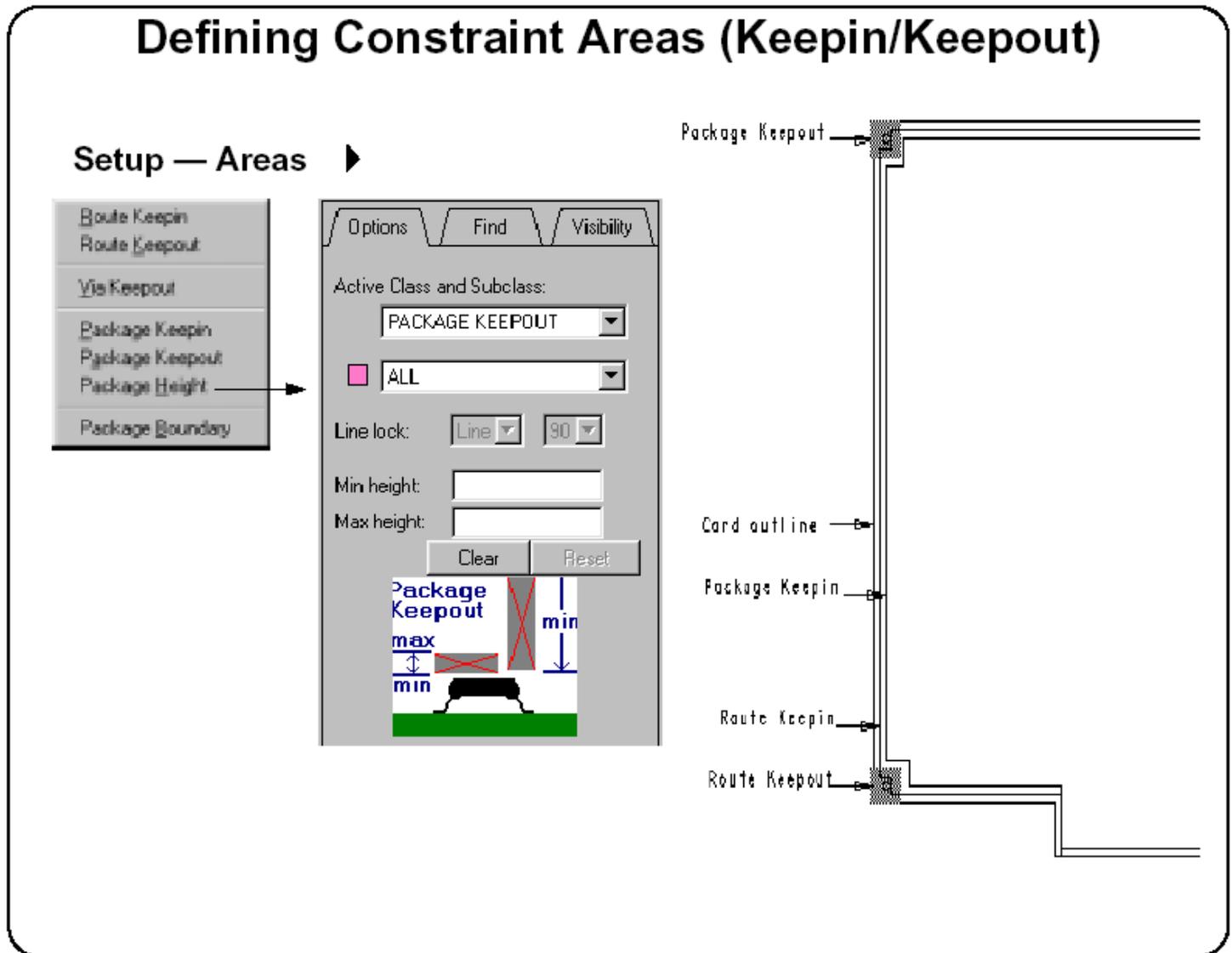
**x:** Число добавляемых колонок pin

**y:** Число добавляемых рядов pin

**Pin Spacing** Left/Right – расстояние между колонками, Up/Down – расстояние между рядами

**Rotation** 0, 45, 90, 135, 180, 225, 270, 315 или угол, указанный пользователем с шагом 0.1 градуса

## Defining Constraint Areas (Keepin/Keepout)



### Defining Constraint Areas (Keepin/Keepout)

**Route Keepin** Определяемая пользователем область, определяет дозволенную зону для разводки. Определяется для всех проводящих слоев (etch) сразу.

**Route Keepout** Определяемая пользователем область, определяет зону, которую необходимо избегать при разводке. Определяется для любого слоя etch или для всех сразу.

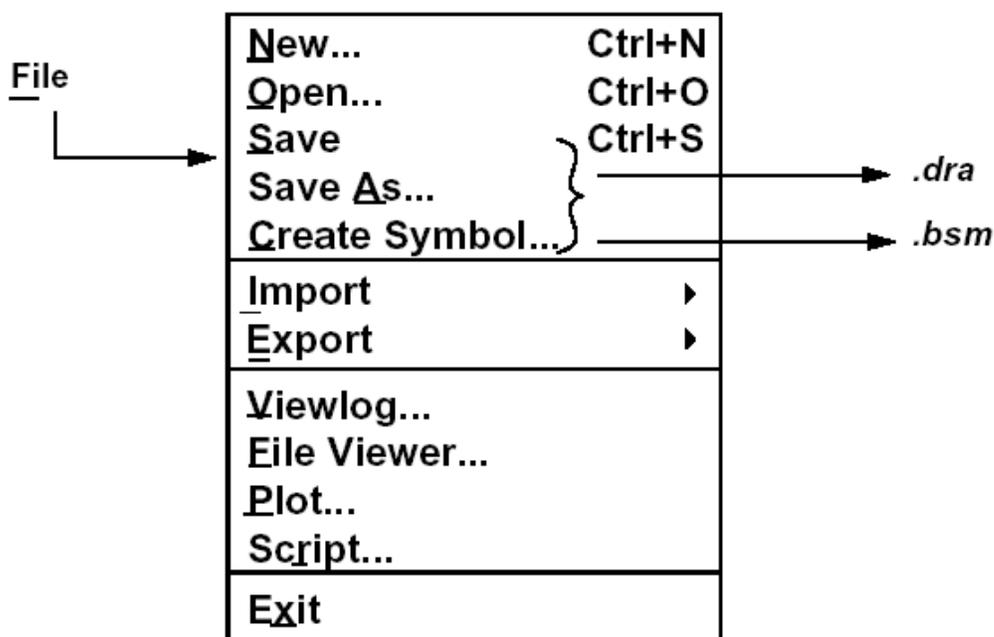
**Package Keepin** Определяемая пользователем область, определяет допустимую зону для расстановки компонентов. Определяется для обоих слоев расстановки компонентов сразу.

**Package Keepout** Определяемая пользователем область, определяет зону, которую следует избегать при расстановке компонентов. Определяется для верхнего, нижнего или обоих слоев сразу.

**Via Keepout** Определяемая пользователем область, определяет зоны, в которых следует избегать переходных отверстий (via). Определяется для любого слоя etch или для всех сразу.

**Package Height** Свойство имеющееся у области Package Keepout. Преобразует зону 2D в 3D keepout. Если дано только одно значение, DRC предполагает, что значение Max Height бесконечно. Определяется для Top, Bottom или обоих.

## Saving Board Symbol Files (.bsm and .dra)



**\*IMPORTANT — Save Two Files**

## Saving Board Symbol Files

### Saving the .bsm File

После завершения вашего чертежа, вы можете создать файл board symbol (.bsm). Этот файл является бинарным эквивалентом файла вашего чертежа. Используйте этот файл для изображения вашего чертежа (outline, restricted areas и mounting holes).

**Внимание:** Не обязательно создавать board symbol для каждого проекта, но если контуры плат совпадают в одном чертеже и в следующем, использование board symbol поможет избежать повторения работы. Лучше иметь библиотеку board symbols, если некоторые типы используются постоянно.

Используйте **File—Create Symbol** для создания файла .bsm.

### Saving the .dra File

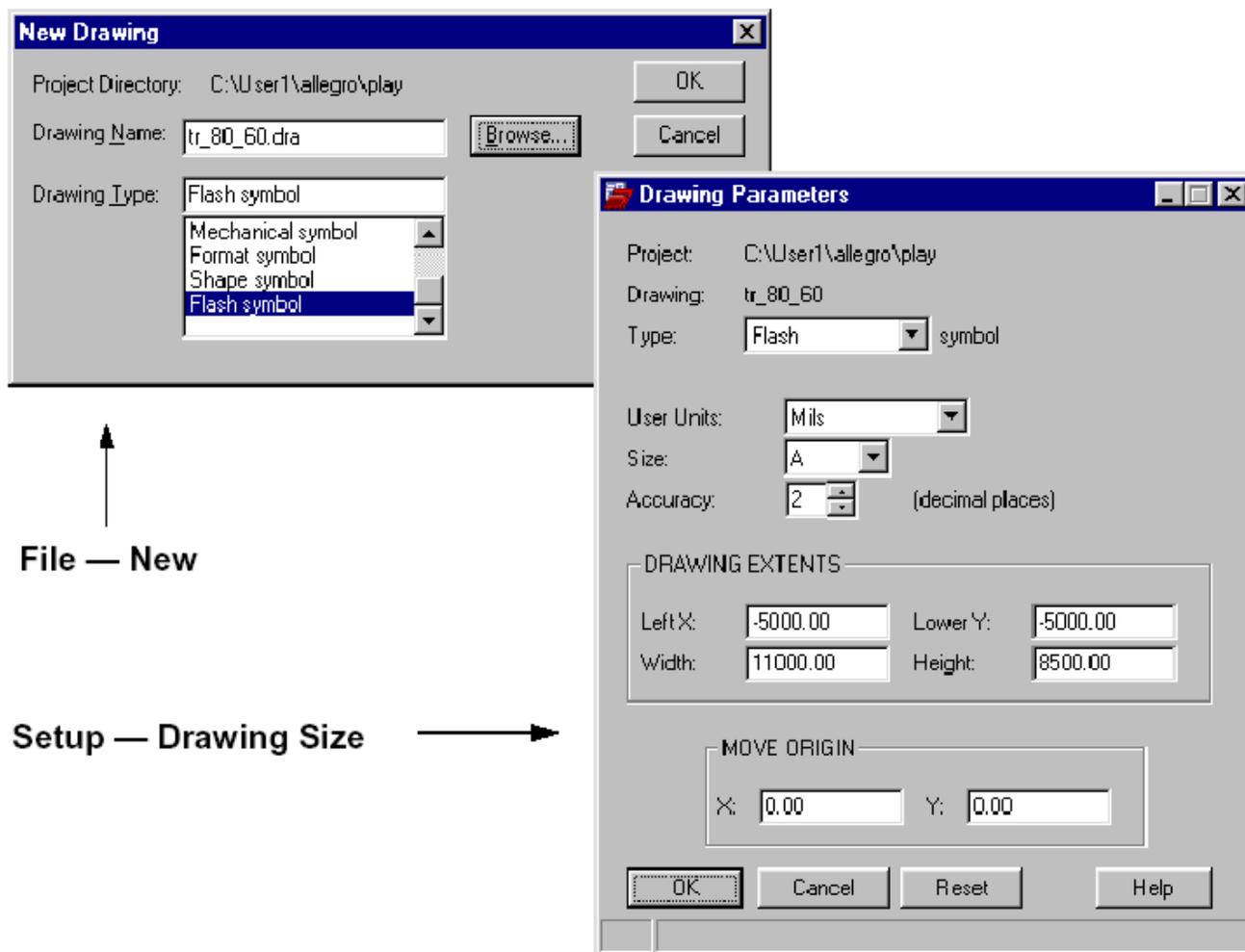
Бинарный файл board symbol (.bsm) не может быть просмотрен или отредактирован. Вы можете открывать только файл чертежа (.dra). Поэтому вы должны сохранить файл чертежа на диск и хранить в библиотечной директории на случай, если вам надо провести пересмотр.

Используйте **File—Save** для создания файла .dra.

### Важно

Сохраняйте оба файла .bsm и .dra. Вы можете извлечь эти файлы из архивного проекта, но вам следует держать оба файла доступными во время текущего проекта.

## Creating a Flash Symbol



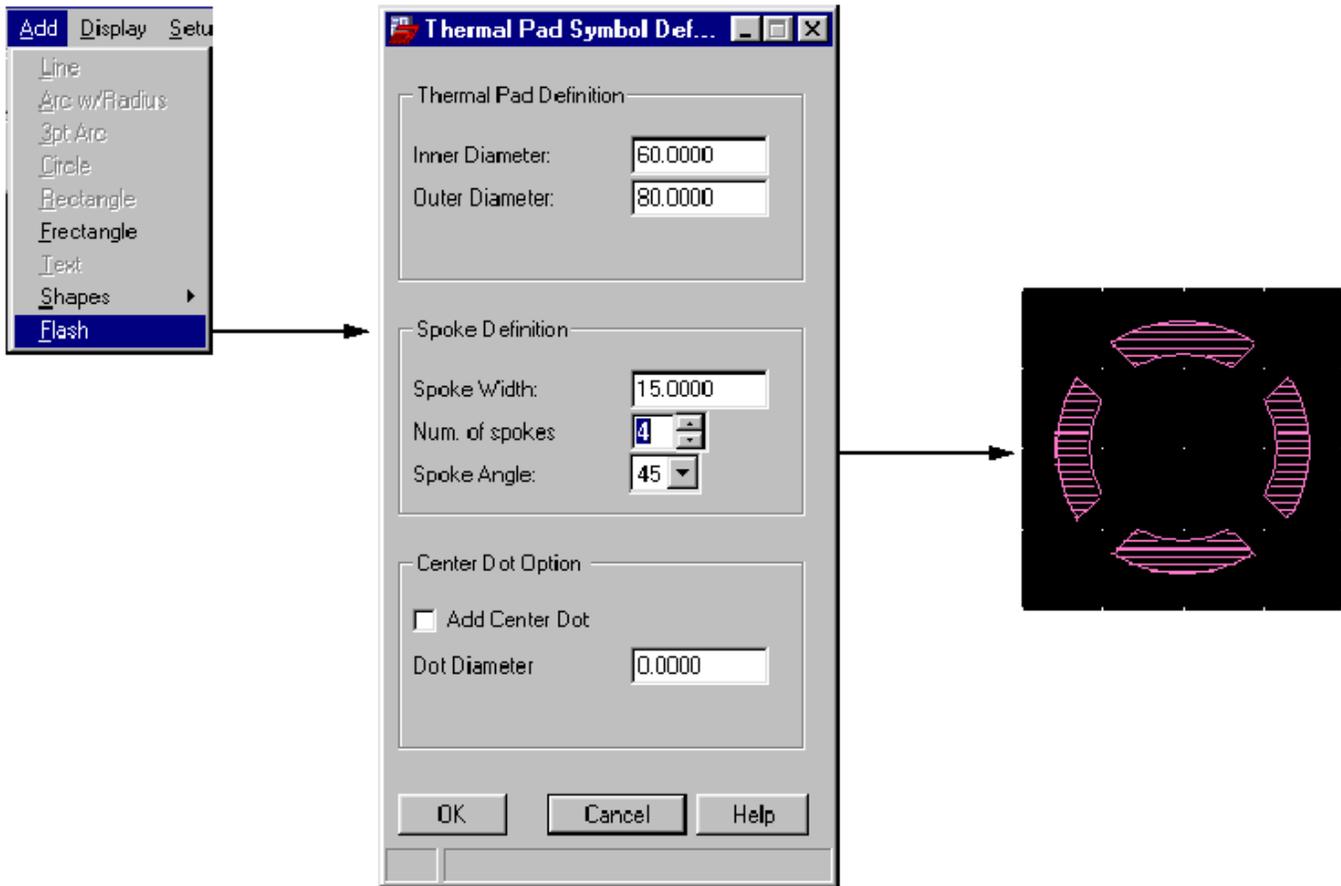
## Creating a Flash Symbol

Чтобы создать flash symbol, выберите тип чертежа **Flash Symbol**.

Потом, используйте форму Drawing Parameters чтобы определить следующее:

- \* **Project** Текущую (рабочую) папку.
- \* **Drawing** показывает имя создаваемого вами flash symbol.
- \* **Type** - flash (.fsm).
- \* **User Units** могут быть Mils, Inches, Millimeters, Centimeters или Microns. По умолчанию Mils.
- \* **Size** может быть A, B, C, D или другой. (A1, A2, A3, A4 для метрической системы единиц). По умолчанию A.
- \* **Accuracy** число цифр после запятой. Диапазон от 0 до 4. По умолчанию 1.
- \* **Move Origin** используется для перемещения начала отсчета.

## Defining the Thermal Relief



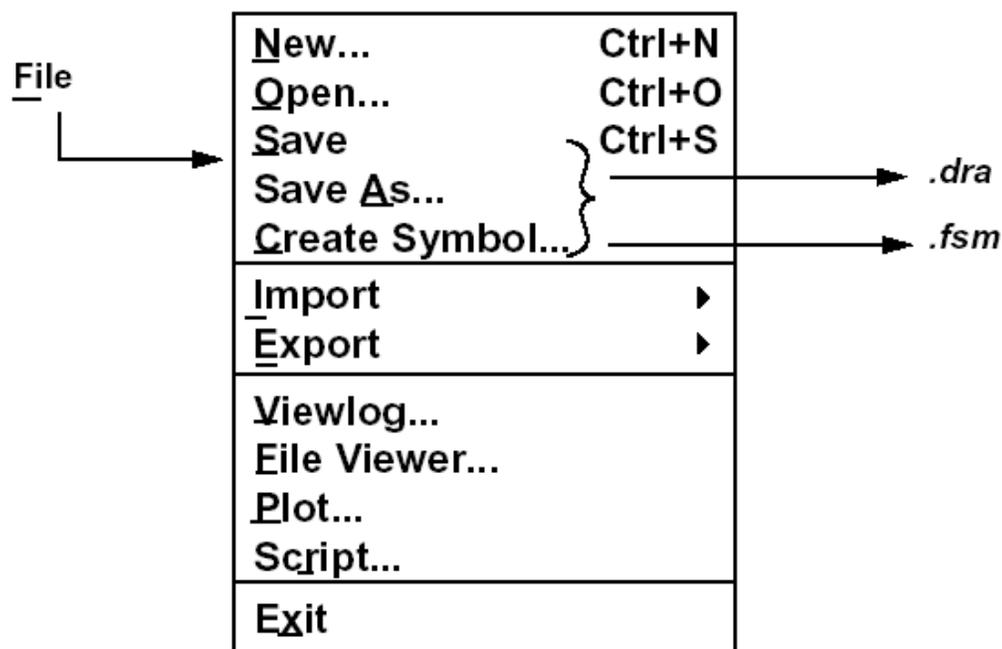
### Defining the Thermal Relief

Вы можете использовать команду **Add—Flash** для создания negative thermal relief flash.

Установите внутренние и внешние диаметры, ширину спицы, число спиц и угол спиц. Секция Center Dot может быть использована для создания заполненного круга, который графически определит место центральной точки flash.

Thermal relief создается, как последовательность заполненных форм, расположенных на классе Etch, подклассе Top. Необязательно использовать команду **Add—Flash** при создании вашего thermal relief. Вы можете вручную нарисовать любое число, заполненных форм, любого размера и формы. Будьте уверены, что создаете изображение на классе Etch, подклассе Top.

## Saving the Flash Symbol Files (.fsm and .dra)



**\*IMPORTANT — Save Two Files**

## Saving the Flash Symbol Files (.fsm и .dra)

### Saving the .fsm File

После того, как ваш thermal relief закончен, вы можете создать файл flash symbol (.fsm). Данный файл является бинарным эквивалентом файла вашего чертежа. Используйте этот flash в вашем padstack чтобы определить имя thermal relief flash.

Используйте **File—Create Symbol** для создания файла .fsm.

### Saving the .dra File

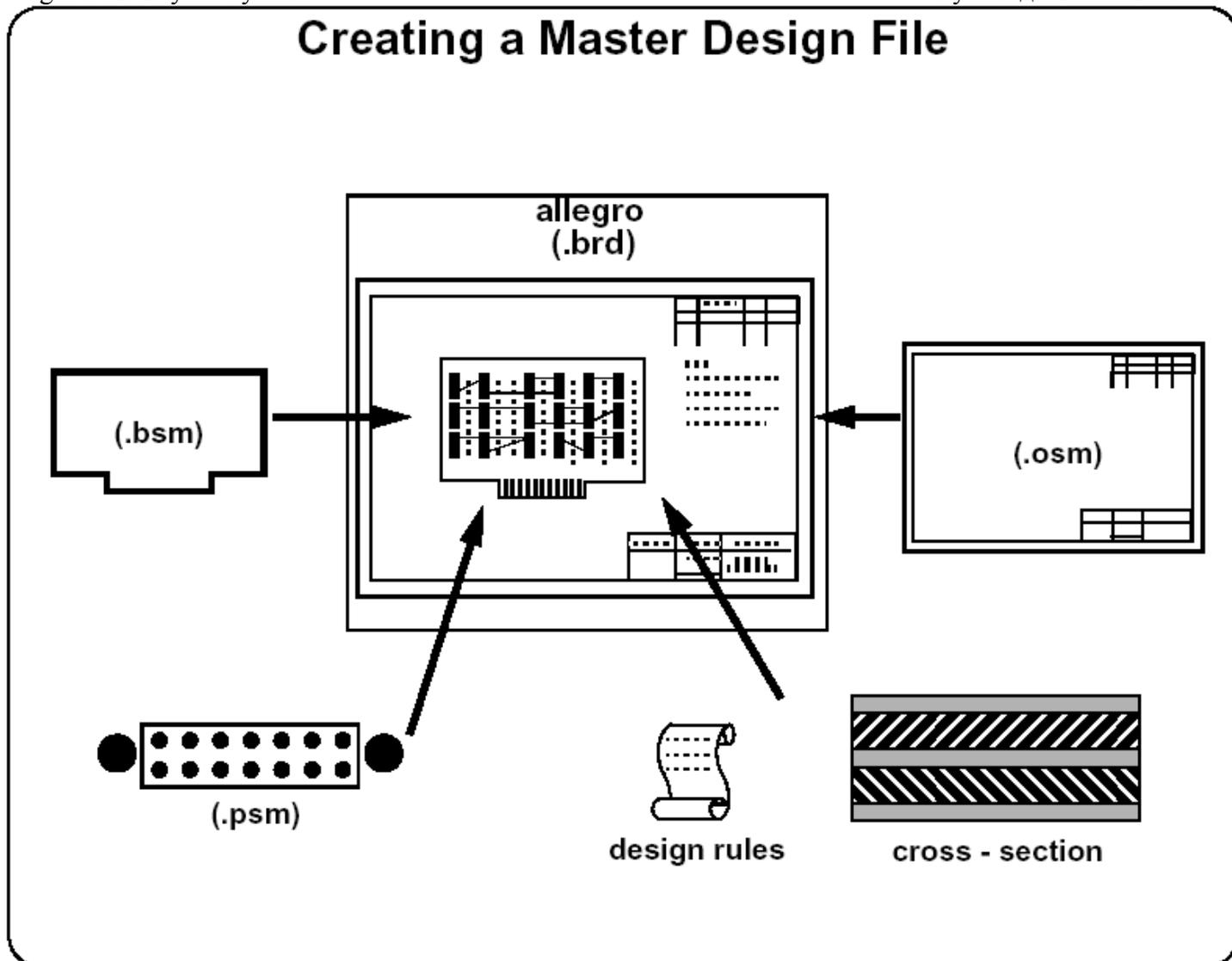
Бинарный файл flash symbol (.fsm) не может быть просмотрен или отредактирован. Вы можете открыть только файл чертежа (.dra). Поэтому, вы должны сохранять файл чертежа на диск и хранить его в библиотечной папке, на случай если вам придется провести пересмотр.

Используйте **File—Save** чтобы создать файл .dra.

#### **Важно**

Сохраняйте файлы .fsm и .dra вместе. Вы можете извлечь эти файлы из архивного проекта, но вам следует держать оба файла доступными во время текущего проекта.

## Creating a Master Design File



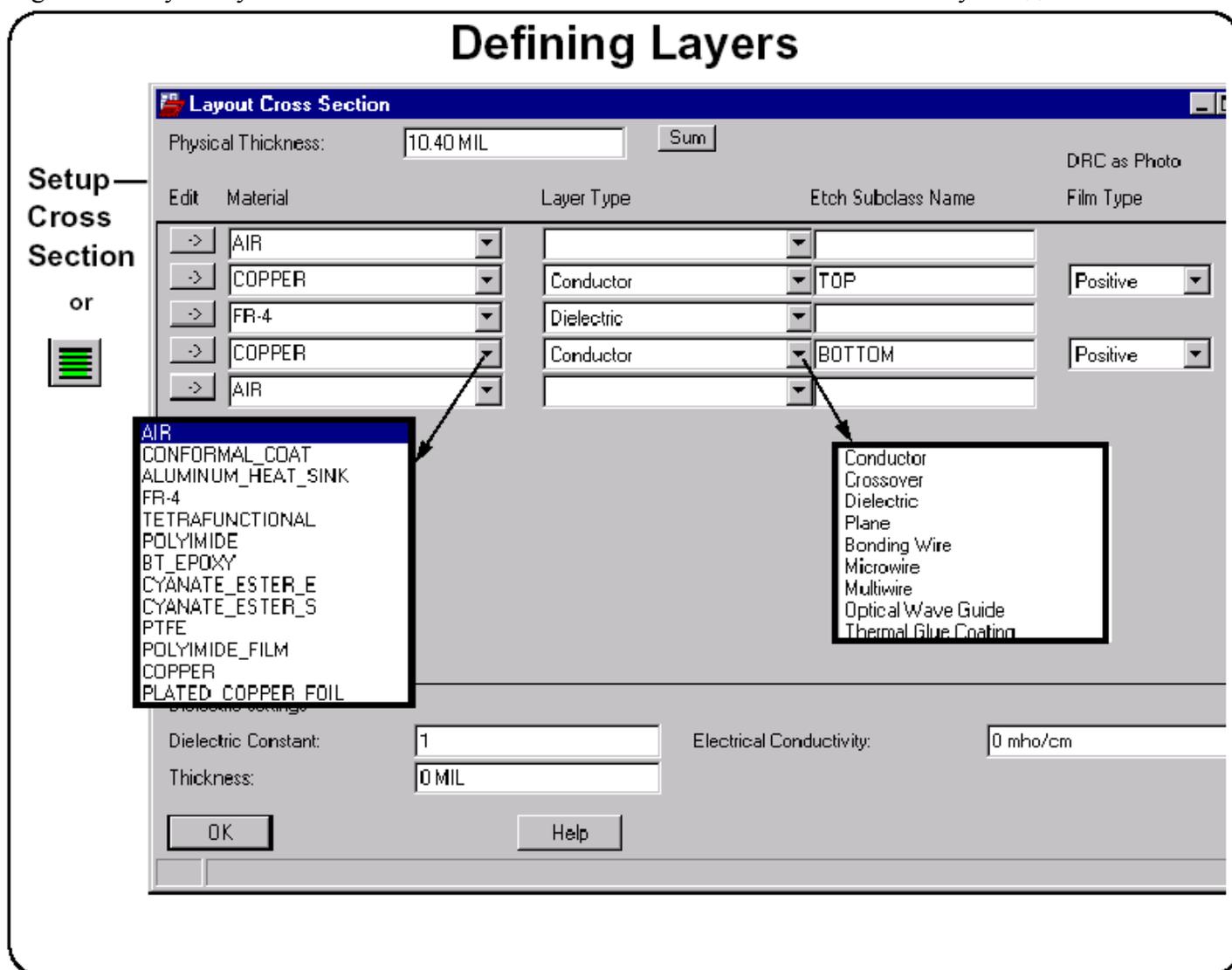
### Creating a Master Design File (Создание основного файла проекта)

База данных проекта в Allegro создается и сохраняется в файл чертежа формата board или файл *.brd*. Он может быть создан первично как механическая отправная точка для всех проектов, использующих одинаковую конфигурацию physical board. Информация о схематической связности загружается позже (смотрите *Logic Import*).

Преимущества создания Master Design File:

- ✦ Гарантия, что все физические layouts с одинаковой геометрией начинаются с “шаблона”, который был тщательно проверен и утвержден (например, механические размеры, положение, угол поворота основных компонентов, индикаторов и т.д.).
- ✦ Возможность контролировать совместимость в конце выпуска (например, формат чертежа, размер чертежа, точность, и точки начала отсчета).
- ✦ Вы можете считать ‘technology file’ в master design чтобы установить информацию о поперечном сечении платы (layer stackup) и правилах проектирования (spacing и physical rule sets). Смотрите *Design Rules* для дополнительной информации.

Используйте **Place—Manually** для вставки *package*, *mechanical* и *format* symbols в базу данных проекта.



## Defining Layers (Установка слоев)

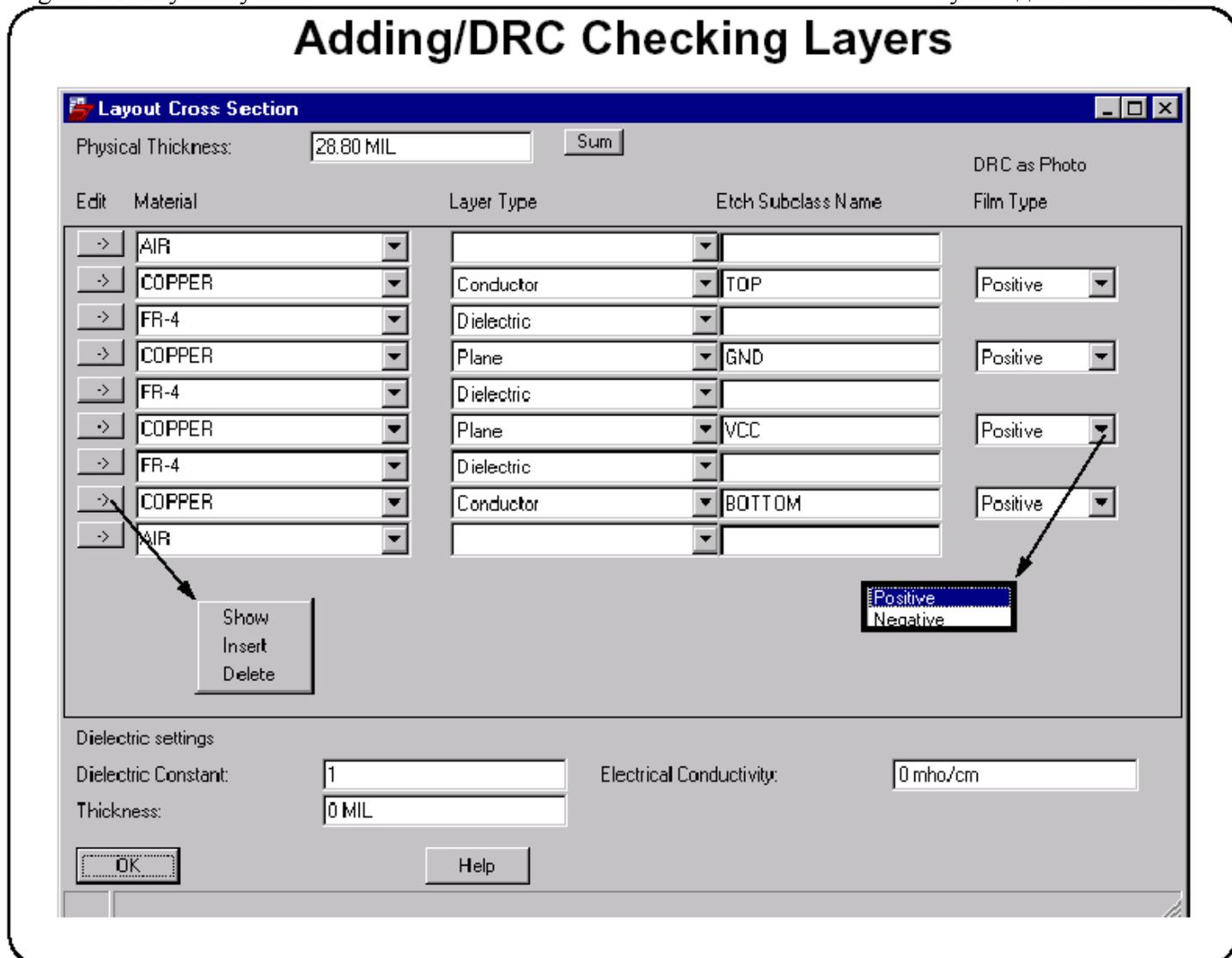
Команда **Setup—Cross Section** открывает форму Layout Cross Section. Используйте данную форму для определения routing layers и plane layers. Вы также определяете все промежуточные слои диэлектриков. При первом открытии этой формы в проекте, состав слоев следующий : AIR, TOP (routing layer), Dielectric, BOTTOM (routing layer) и AIR. В выпадающем меню Material, вы определяете материал для выбранного слоя. Все определения материала (имя, электропроводность, теплопроводность и т.д.) определяются в этом файле:

```
<cds inst dir>/share/pcb/text/materials.dat
```

В выпадающем меню Layer Type, вы определяете функцию для выбранного слоя. Они включают в себя conductor (используйте для routing layers), plane (используйте для слоев металлизации) и т.д. Все типы predefined.

Поле Etch Subclass Name используется для определения имени слоя. Это поле требуется только для Conductor, Plane, Multiwire и слоев похожего типа. Как подразумевается, это имя подкласса, которое появится под классом Etch, Pin, Via и и.д. Каждое имя ДОЛЖНО быть уникальным. Если у вас имеется одна plane используемая несколько раз (как, например, несколько появлений Ground), вы можете определять имена слоев как GND1, GND2 и т.д.

## Adding/DRC Checking Layers



### Adding/DRC Checking Layers

Выбирая в поле **DRC as Photo—Film Type**, вы определяете функцию проверки DRC на любом слое металлизации Positive или Negative. Эта проверка будет объяснена более детально в следующих главах.

Выбрав одну из кнопок **Edit**, вы увидите всплывающее меню. В этом меню есть следующие опции:

- ✦ **Show** – Отображает в нижней секции формы Layout Cross Section значения выбранного слоя, такие как толщина (Thickness), электрическое сопротивление (Electrical conductivity) и т.д.
- ✦ **Insert** – Добавляет новый слой в список. Слой добавляется **НАД** выбранным слоем. Нельзя добавлять над слоем TOP или ниже слоя BOTTOM.
- ✦ **Delete** – Удаляет выбранный слой. Нельзя удалить слои TOP или BOTTOM.

Выберите кнопку **OK** для обновления списка слоев и закрытия формы Layout Cross Section.

## **Лабораторные**

Лабораторная 2-1 Creating the Flash Symbol TR\_80\_60

Лабораторная 2-2 Creating Padstack 60C38d

Лабораторная 2-3 Creating Padstack 60S38d

Лабораторная 2-4 Creating Padstack 76x24SMD

Лабораторная 2-5 Creating a DIP14 Package Symbol

Лабораторная 2-6 Creating an SOIC16 Package Symbol

Лабораторная 2-7 Creating a DIP16 Package using the Symbol Wizard

Лабораторная 2-8 Creating a PLCC28 Package using the Symbol Wizard

Лабораторная 2-9 Creating a Board Mechanical Symbol

Лабораторная 2-10 Creating a Master Design File (.brd)

## Глава 3: Logic Import

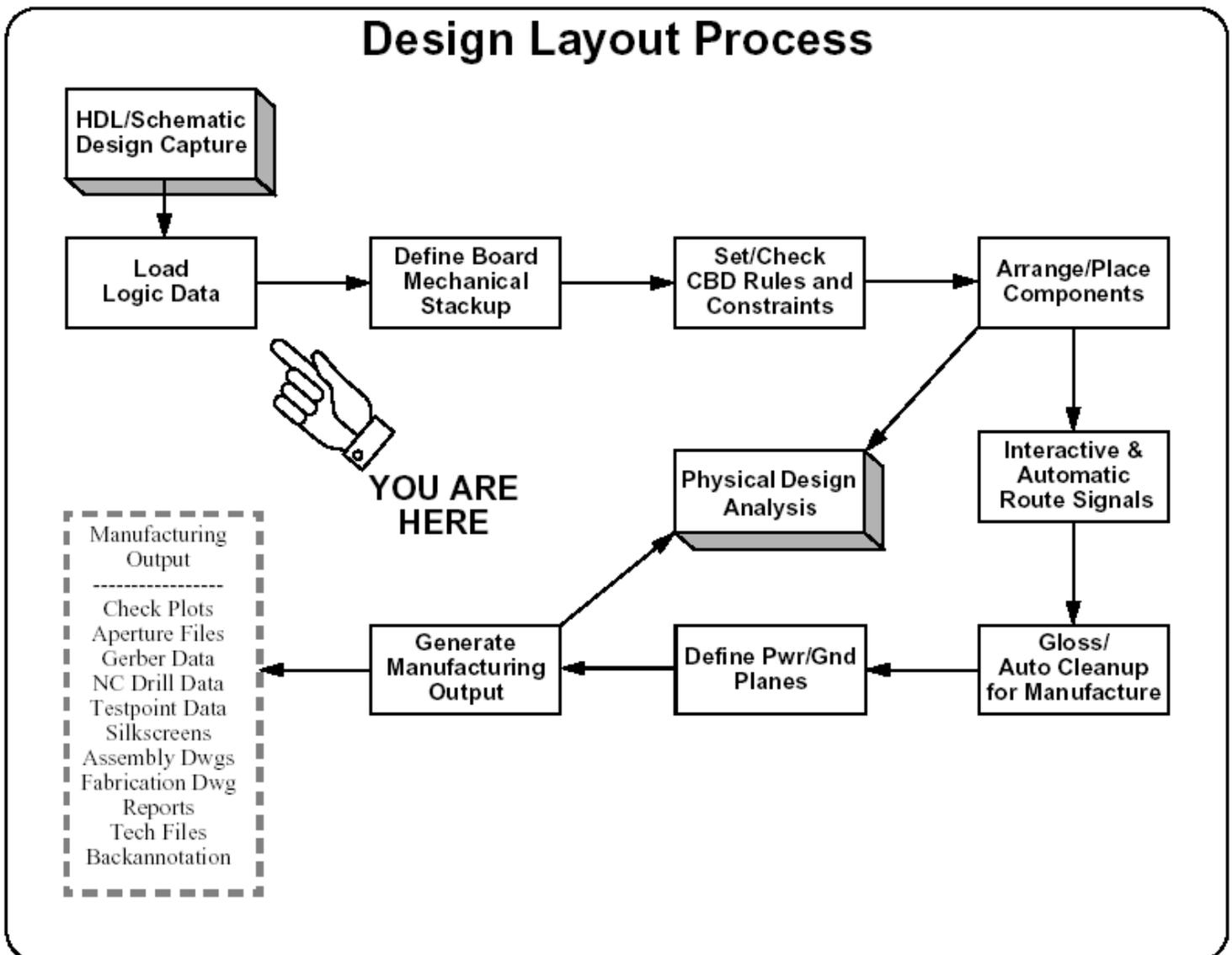
### Цели

В этой главе вы изучите:

- ✦ Интеграцию схемного редактора Concept и редактора печатных плат Allegro.
- ✦ Файлы и процессы, необходимые для передачи схемных данных инструментам Allegro.
- ✦ файлы, необходимые для передачи схемных данных от внешней системы инструментам Allegro.
- ✦ Процесс обратного аннотирования в схемный редактор Concept.

### Термины и определения

<b>Термин</b>	<b>Определение</b>
Concept	Инструмент Cadence для создания схематики, связанный с Allegro.
Netrev	Программа, используемая для загрузки схематических данных Concept или Capture в базу данных Allegro. Данная программа приводится в действие из Allegro путем выбора File—Import—Logic.
Genfeed	Программа, используемая для обратного аннотирования или возврата данных из Allegro в исходную систему. Данная программа приводится в действие из Allegro путем выбора File—Export—Logic.
3rd Party	Внешняя система schematic capture system не полностью интегрированная с Allegro, но способная выводить текстовые файлы ASCII определенного формата.
Netin	Программа, используемая для загрузки 3rd Party schematic data в базу данных Allegro. Эта программа запускается из Allegro путем выбора File—Import—Logic.
ECO	Engineering Change Order; производит замены в схематике (как, например, добавление/удаление частей, изменения типа/значения, новая связность), которую требуется объединить с физической схемой.



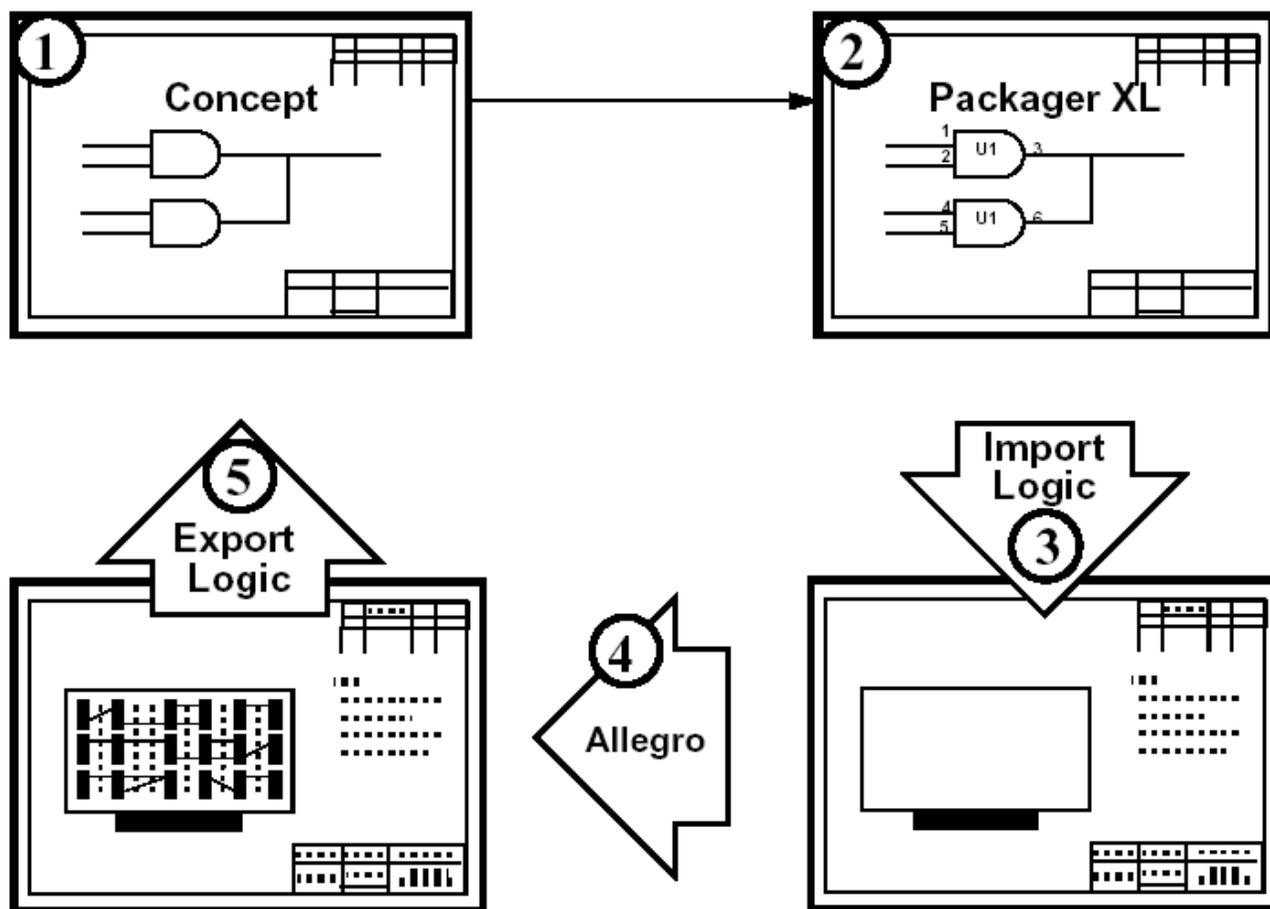
## Design Layout Process (Процесс размещения)

Процесс размещения начинается с импортирования HDL или данных схемной логики в файл PCB. Далее файл платы обрastaет новой информацией по мере того, как проектировщик расставляет компоненты и добавляет связи. По окончании процесса, из файла извлекаются различные данные для числового программного управления.

- \* **Load Logic Data** — Импорт схематики или данных соединений в файл проекта.
- \* **Define Board Mechanical Data** — Установка зон ограничения и монтажных отверстий.
- \* **Define Design Rules** Установка правил проектирования и физических слоев.
- \* **Component Placement**— Размещение компонентов.
- \* **Route Signals** — Автоматическая либо неавтоматическая разводка.
- \* **Gloss**—Автоматическое гляцевание линий, уменьшение числа via и улучшение формы линейных входов в pads для сокращения процента брака.
- \* **Add Power и Ground Planes** — Добавление слоев металлизации (после последнего редактирования via и сквозных соединений).
- \* **Generate Manufacturing Output**—Включает разнообразные данные для ЧПУ, используемые в реальном производстве PCB. На этом этапе вы можете создавать финальные отчеты и тестировать данные.

**Внимание:** Вы можете включать **Design Analysis** неоднократно на различных стадиях процесса размещения элементов.

## Concept Integrated Logic Design and Physical Layout



Эта диаграмма показывает направление взаимодействия между инструментами Concept и Allegro.

### Concept Front End (Внешний интерфейс Concept)

- 1. Concept:** Все чертежи проекта Concept HDL содержатся в директории *worklib*.
- 2. Packager-XL:** Packager преобразовывает схемные символы (logic devices) в физические компоненты (physical packages), задавая порядковое обозначение (reference designator) и номера выводов (physical pin) каждому символу в схематике. Packaged parts и их соединения записываются в transfer files.

### Allegro

- 1. Import Logic:** В директории *physical* содержится информацию о соединениях.
- 2. Allegro:** Расположение, трассировка, замена pin и логических частей для оптимальных результатов трассировки; создание файлов для производства.
- 3. Export Logic:** Данная программа создает файлы обратного аннотирования, которые Concept использует для обновления схематики.

**Внимание:** С точки зрения Concept или Project Manager, Export Physical – то же самое, что и команда Import Logic в Allegro. Так же, Import Physical означает то же самое, что и команда Export Logic в Allegro.

## Transfer Files

### pstxprt.dat

```
FILE_TYPE=EXPANDEDPARTLIST;
{ Packager-XL run on
03-May-1995 AT 12:52:
DIRECTIVES
  ROOT_DRAWING='MY HEX
  SOURCE_TOOL='PACKAGE
  ABBREV = 'MYHEX' ;
END_DIRECTIVES;
PART_NAME
  U10 '74LS00':;
  ROOM='HEX';
SECTION_NUMBER 1
  '(STOP LS00.23P) ':
  C_PATH='/LOGIC.1.1.2
  PATH_NAME='(STOP LSO
  PATH='23P',
  ABBREV='LS00',
  BODY_NAME='LS00',
  PART_NAME='74LS00',
```

### pstxnet.dat

```
{ Packager-XL run on
09-May-1995 AT 1
NET_NAME
  'INT5'
  'INT5':
  C_SIGNAL='/:LOG
ROUTE_PRIORITY='
MIN_LINE_WIDTH='
NODE_NAME      U1
  '(STOP F00.18P)
  '-Y'<0>;
NODE_NAME      U1
  '(STOP F74.20P)
  'D'<0>;
NET_NAME
  'MINO'
  'MIN'<0>;
  C_SIGNAL='/:LOG
```

### pstchip.dat

```
FILE_TYPE=LIBRARY_PARTS;
primitive '74LS00';
  pin
    'B'<0>;
    INPUT_LOAD='(-0.4,0.02)';
    PIN_NUMBER='(13,10,5,2)';
    PIN_GROUP='1';
    'A'<0>;
    INPUT_LOAD='(-0.4,0.02)';
    PIN_NUMBER='(12,9,4,1)';
    PIN_GROUP='1';
    '-Y'<0>;
    OUTPUT_LOAD='(8.0,-0.4)';
    PIN_NUMBER='(11,8,6,3)';
  end_pin;
  body
    PART_NAME='74LS00';
    JEDEC_TYPE='SOIC14';
```

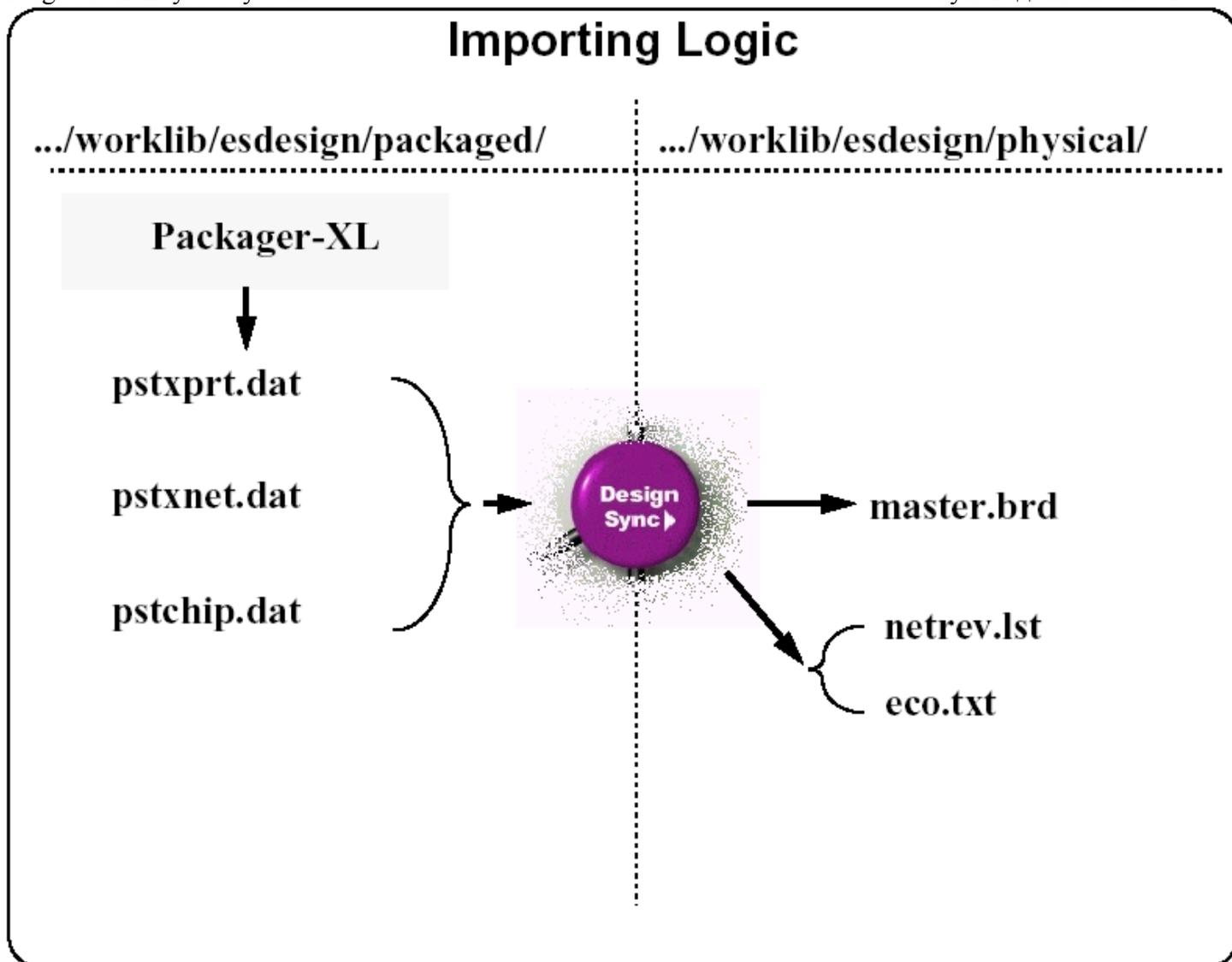
## Transfer Files

Используйте файлы передачи (*pst*) созданные программой Packager для передачи информации от схемы к Allegro. Эти файлы:

**pstxprt.dat** Файл частей. Он перечисляет каждый physical package (созданный packager) в схеме, вместе с reference designator и типом устройства. Для packages состоящих из нескольких логических элементов, данный файл определяет, какой элемент будет поставлен в секцию physical package. Данный файл может также содержать некоторые свойства, присоединенные к схемным элементам, такие как ROOM='IF', VALUE='4.7K'.

**pstxnet.dat** Файл соединений. Он использует ключевые слова (net\_name, node\_name) для определения reference designators и номеров pin связанных с каждым соединением в схеме. Данный файл может также содержать некоторые свойства, присоединенные к цепям в схеме, такие как ROUTE\_PRIORITY, ECL и т.п.

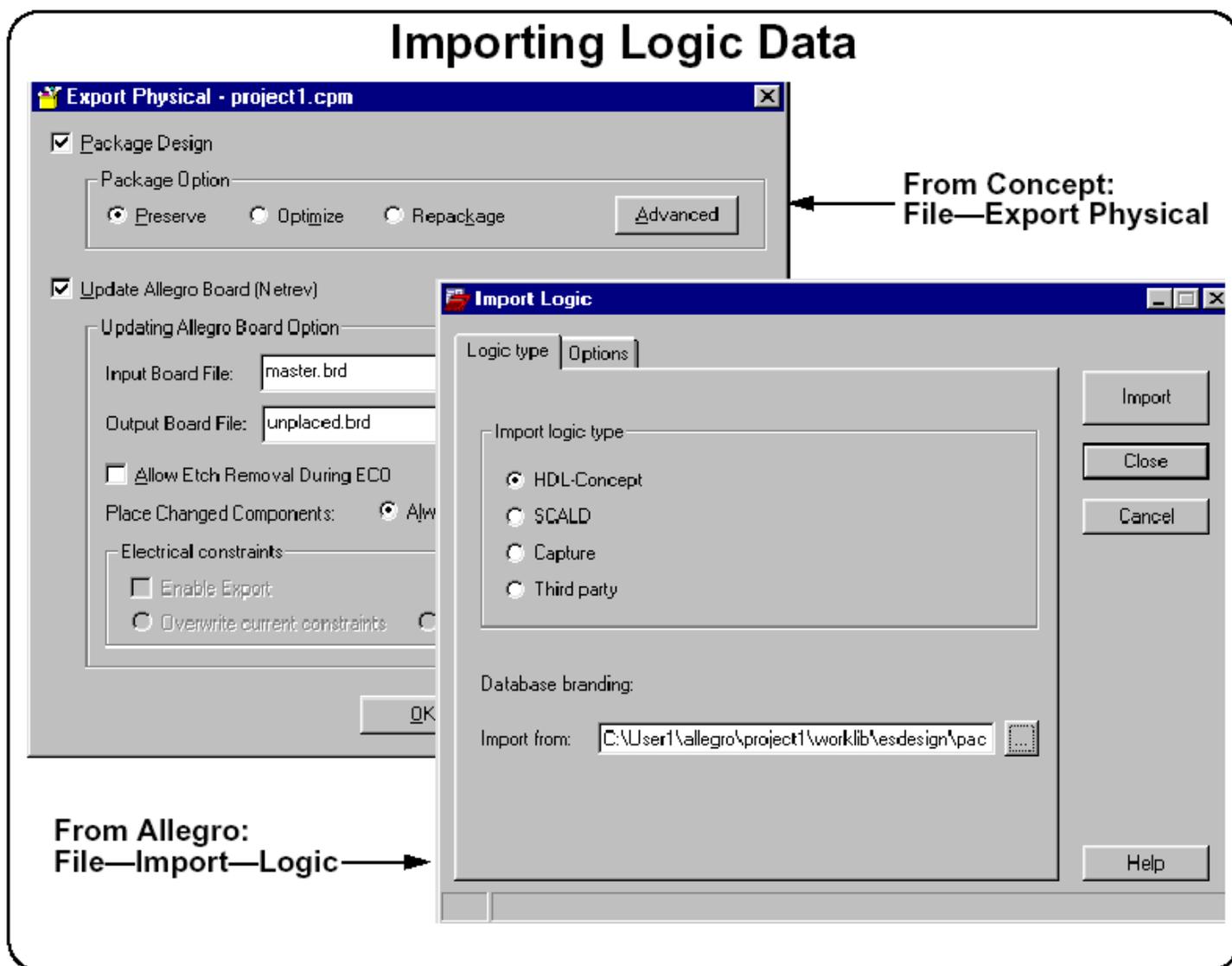
**pstchip.dat** Файл свойств physical package. Он содержит электрические характеристики (например, pin direction и loading), logical-to-physical pin mapping и voltage requirements. Он определяет число gates в устройстве, включая информацию о gate и pin swapping. Данный файл содержит также имя package symbol, который представляет устройства такого типа на печатной плате (такие как JEDEC\_TYPE='DIP14\_3', ALT\_SYMBOLS='(T:SOIC14)').



## Importing Logic

Netrev – программа, которая считывает transfer files в проект Allegro. Она выполняет следующие операции:

- ✦ просматривает библиотеки в поисках package symbols определенных в файле *pstchip.dat* (включая все альтернативные symbols). Программа Allegro также просматривает библиотеки в поисках padstacks требуемых каждым package symbol. Если невозможно обнаружить package symbol, появляются предупреждения, но программа продолжается.
- ✦ Когда найден требуемый package symbol, он сравнивается с файлом определений устройств (*pstchip.dat*). Pins в package symbol должны соответствовать pins определенным в файле device definition. Любые несоответствия вызовут сообщения об ошибках.
- ✦ Устанавливает “связь” между директориями *sch\_1* и *physical*.
- ✦ Создает файлы журналов (*netrev.lst* и *eco.txt*) показывающих результаты процесса. Все ошибки и предупреждения будут показаны в файле *netrev.lst*.



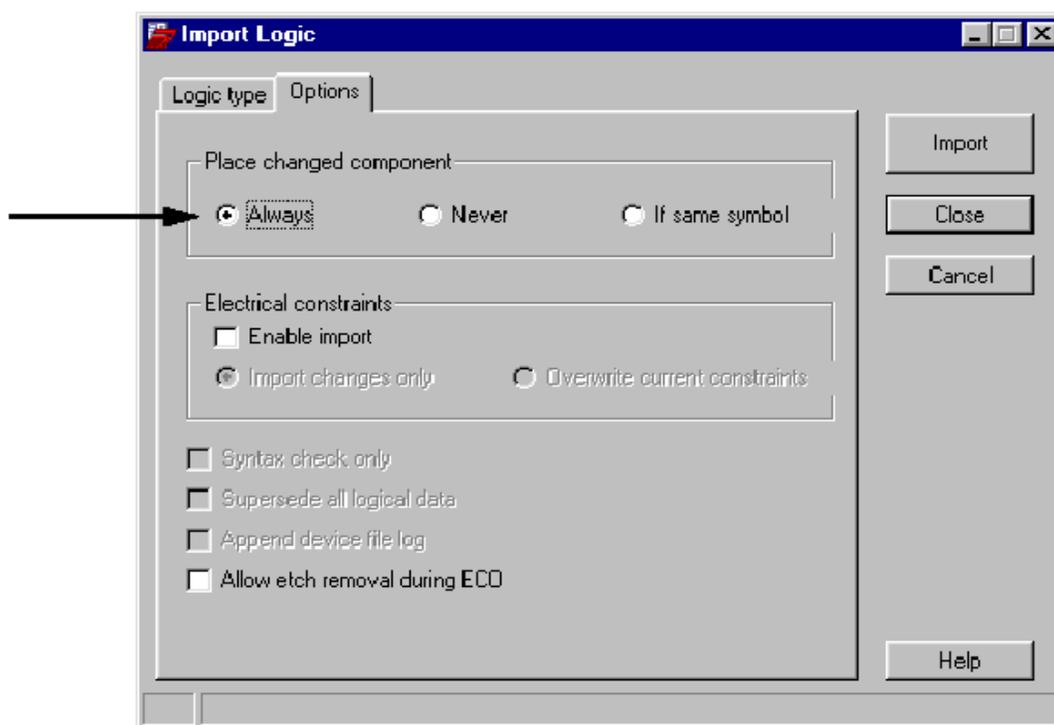
## Importing Logic Data

Для передачи логических данных из Concept в Allegro используйте каждое из показанных меню. Передача файлов из Concept в Allegro может быть выполнена любым из следующих способов:

- ✦ Из верхнего меню Concept, выберите **File—Export Physical**.
- ✦ Из верхнего меню Allegro, выберите **File—Import—Logic**.
- ✦ В Project manager, нажмите **Design Sync**.

Данные, которые были созданы в Concept до версии 5.0, должны использовать опцию SCALD logic, тогда как данные созданные в версии 5.0 и выше должны использовать HDL-Concept.

## Engineering Changes—Placement



### Engineering Changes—Placement

Схематические изменения вносятся приложением netrev, которое добавляет transfer files из измененной схемы. Если в Allegro не было произведено расстановки или трассировки, новые transfer files заменяют базу данных Allegro. Если компоненты уже были расставлены, выполняются следующие функции и опции:

★ **Place Changed Component in Allegro:** Устанавливает, как расставленные компоненты обрабатываются во время процесса. Когда деталь отредактированной схемы содержит reference designator, совпадающий с установленной деталью в Allegro, детали сравниваются, чтобы определить, есть ли изменения. Если их нет, то она остается на своем месте. Если есть, выберите одну из следующих опций:

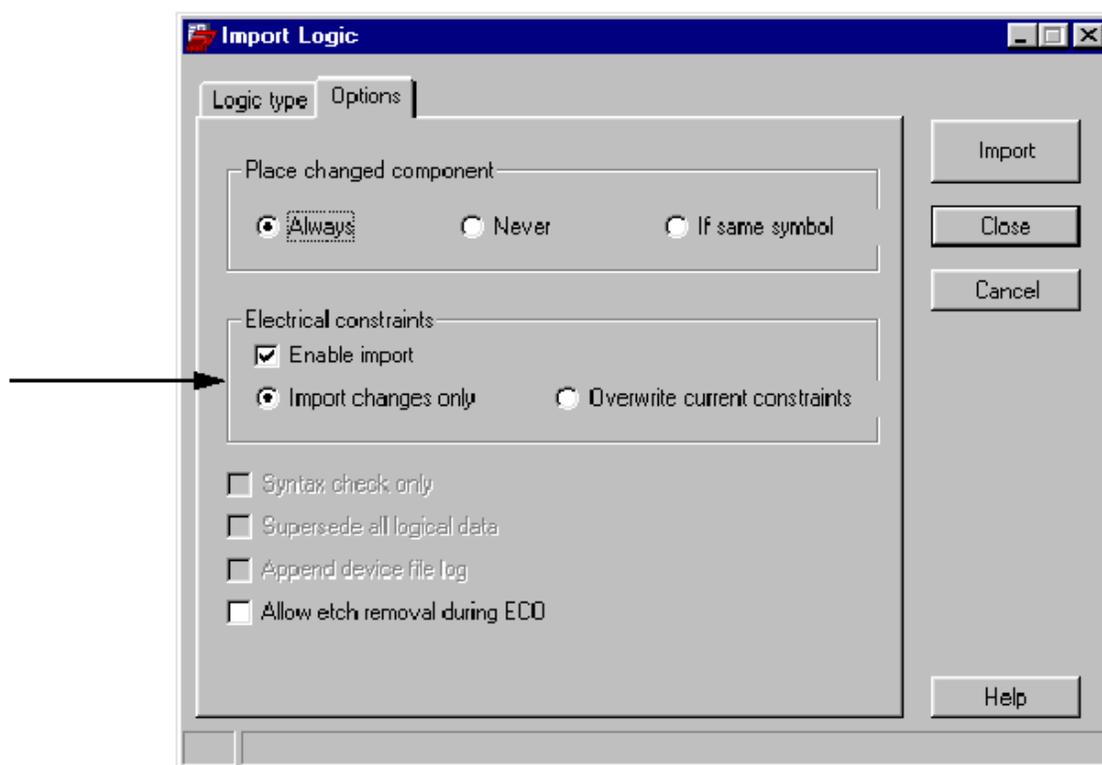
— **Always** заменяет старую деталь в Allegro новой деталью из отредактированной схемы, независимо от типа, значения или изменения package symbol.

— **If Same Symbol** заменяет старую деталь в Allegro, новой из отредактированной схемы, если package symbol не был изменен. Если package symbol был изменен, старая деталь удаляется, и измененная деталь добавляется в базу данных Allegro (без расстановки).

— **Never** удаляет старую деталь из рисунка и добавляет измененную деталь в базу данных Allegro (без расстановки).

**Внимание:** Детали в отредактированной схеме без подходящего reference designator добавляются в Allegro как не установленные детали. Детали в Allegro без подходящего reference designator в отредактированной схеме удаляются.

## Importing Electrical Constraints



### Importing Electrical Constraints (Импорт электрических ограничений)

Если вы хотите импортировать Electrical Constraints установленные с помощью Constraint Manager, вы вначале должны включить опцию **Enable import**. Далее, у вас есть выбор между двумя вариантами:

- ★ **Import changes only** –Сравнивает базу данных Constraint Manager с базовым набором данных Constraint Manager и импортирует только те ограничения, которые различаются в текущей базе данных.

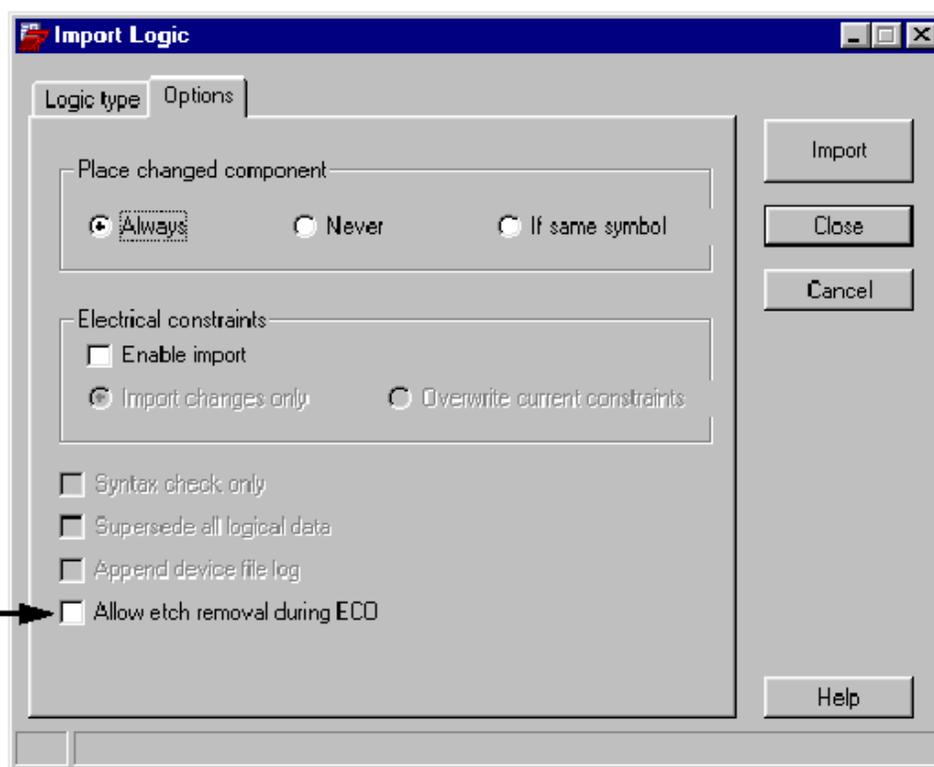
- ★ **Overwrite current constraints** –Считывание текущую базу данных Constraint Manager и импортирует ВСЕ ограничения в текущую базу данных.

Существует один файл ограничений, который используется для считывания ограничений (с необязательным вторым файлом). Это:

- ★ **pstcmdb.dat** – Содержит определения электрических ограничений в схеме, как они определены и созданы в базе данных Constraint Manager. Этот файл должен существовать для импорта электрических ограничений.

- ★ **pstcmbc.dat** –Необязательный файл, который определяет базовые электрические ограничения в схеме данных.

## Engineering Changes—Routing



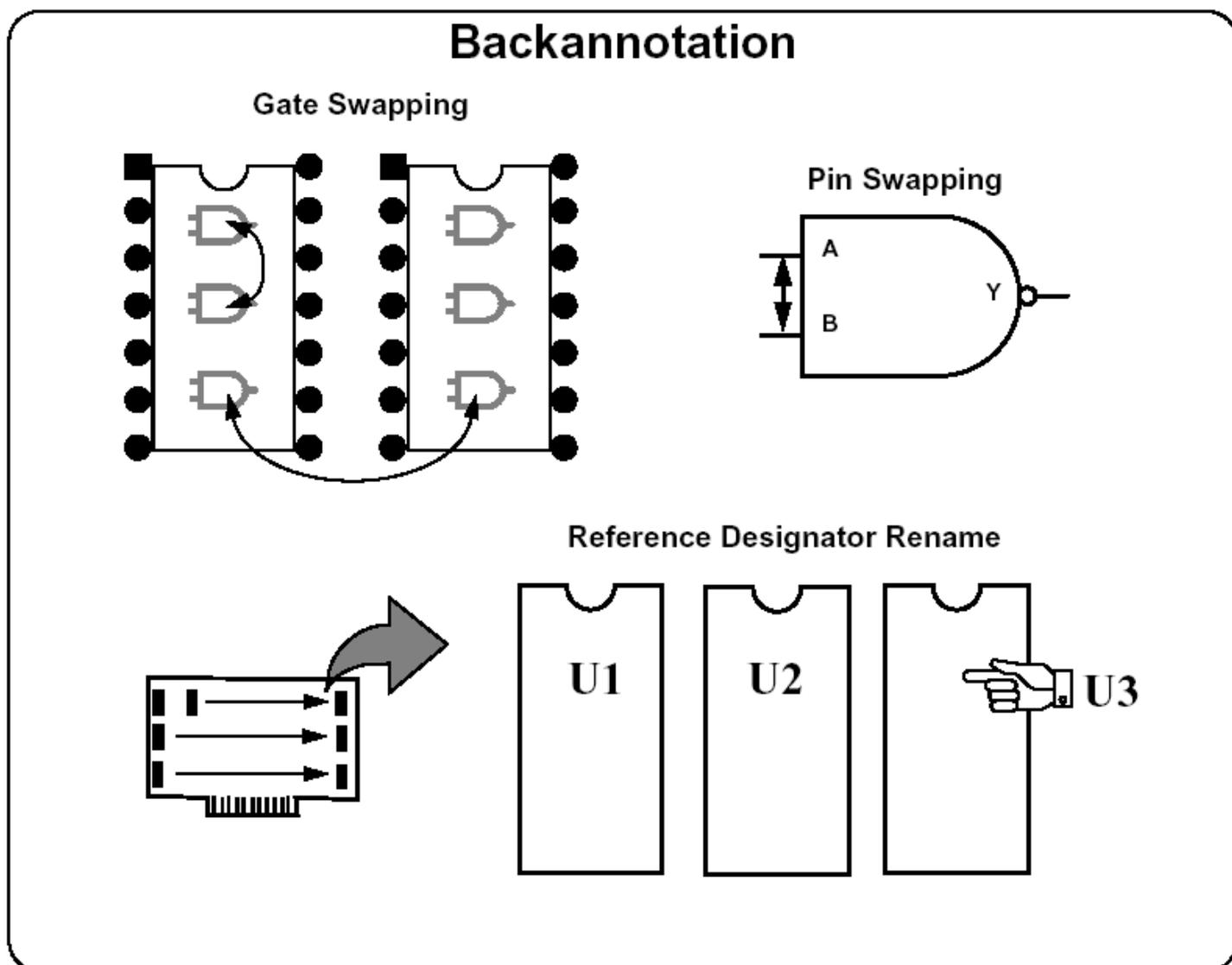
### Engineering Changes—Routing

Если была проведена разводка, вы можете выбрать следующую опцию:

★ **Allow Etch Removal During ECO:** Автоматически решает любые конфликты между отредактированными в схеме и существующими соединениями на плате. Эти конфликты могут возникать из-за изменения проводов в схеме, а так же из-за изменения деталей (см. предыдущий раздел).

Когда существующее соединение платы конфликтует с новыми схематическими данными, конфликт помечается маркером DRC. Потом вы сможете вручную отредактировать каждое соединение для исправления ошибок. Чем редактировать конфликтующие соединения вручную, вы можете выбрать процесс автоматического редактирования для решения проблем. В этом случае, Allegro уберет любые сегменты проводов, которые не соответствуют отредактированной схеме. При завершении, плата в Allegro будет очищена от конфликта соединений. Останутся соединения без трассировки, которые представляют собой изменения в схеме.

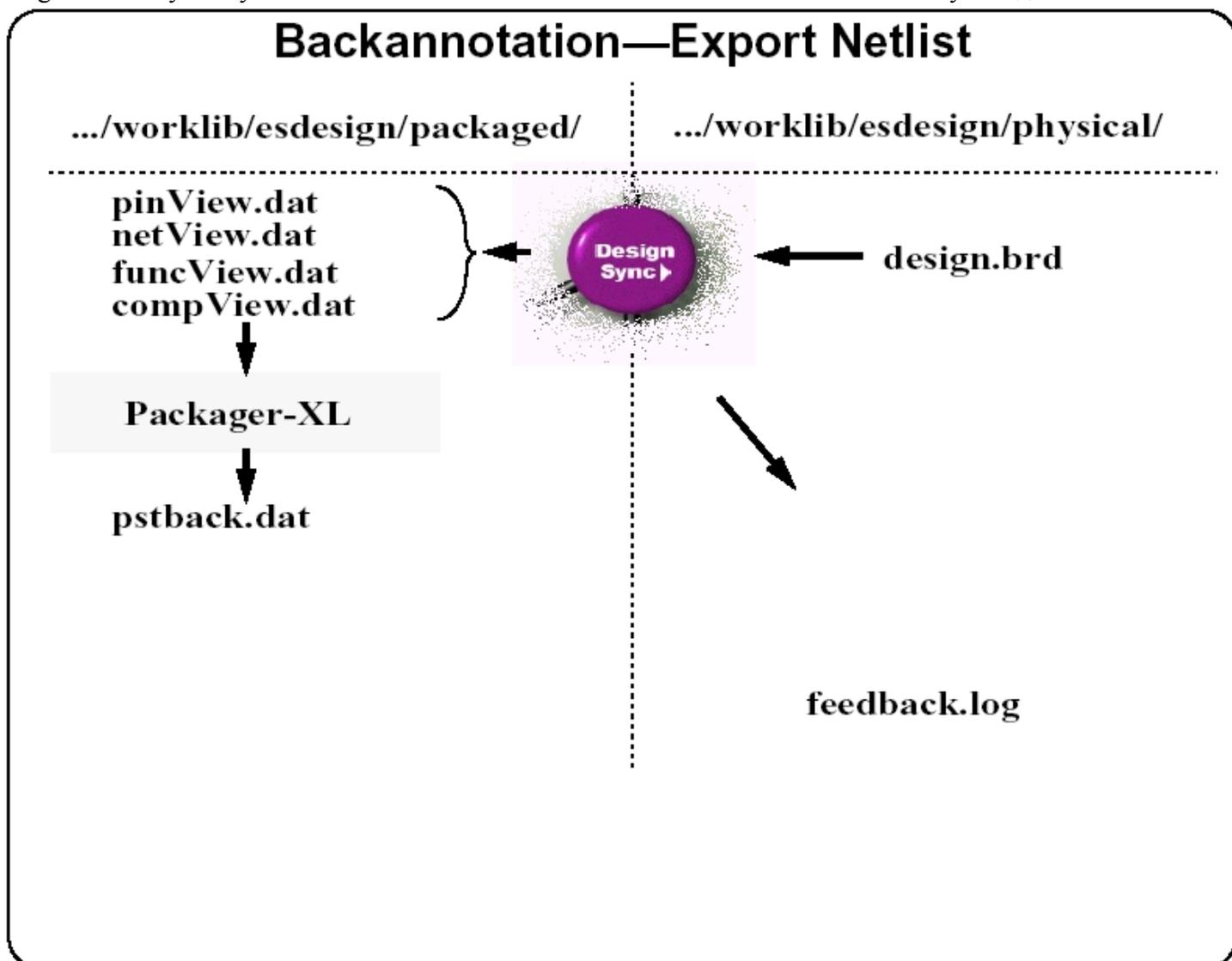
Все изменения деталей и соединений сделанные в рисунке Allegro во время процесса ECO фиксируются в докладе (*eco.txt*).



## Backannotation

Allegro может выполнять перестановку логических частей и выводов (gate и pin), которая может улучшить расположение компонентов и трассировку. Также возможно переименование reference designators чтобы следовать определенному порядку на законченной плате (например, слева направо, сверху вниз).

Данные процессы—перестановка логических частей и выводов, и переименование—представляют изменения в базе данных Allegro и должны быть переданы в схему. Backannotation может передавать только изменения в reference designator и physical pin number. Для правильной работы, schematic и physical layout должны совпадать. Если детали существуют в схеме, которой нет на плате или schematic connectivity не совпадает с physical layout, будут отмечены различия.



## Backannotation—Export Netlist

Команда **Export Netlist** создает файлы backannotation требуемые для обновления схемной информации Concept. Файлы:

— ***pinView.dat*** содержит reference designator, pin number и netname для каждого pin устройства в схеме.

— ***compView.dat*** содержит экземпляры свойств компонентов.

— ***netView.dat*** содержит свойства цепи.

— ***funcView.dat*** содержит свойства функции.

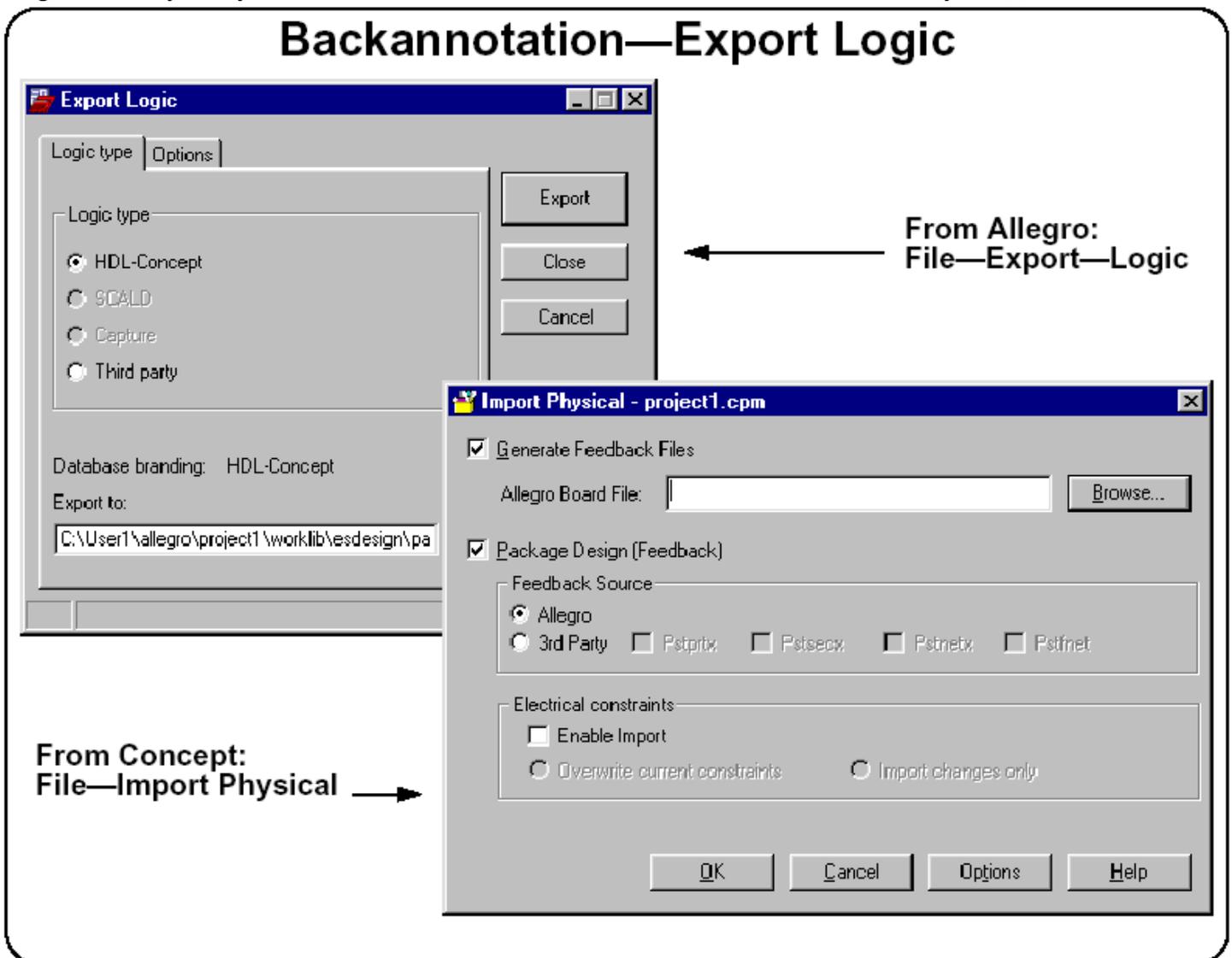
— ***cmdbview.dat*** содержит электрические ограничения.

— ***cmbcview.dat*** содержит базовый набор электрических ограничений.

До того, как вы обновите схему Concept вы должны изменить ее. Данный файл служит входным для Packager (когда запущен в режиме "feedback").

— ***pstback.dat*** - файл backannotation, который создается, когда вы запускаете packager. Используйте данный файл для обновления схемы.

## Backannotation—Export Logic



## Backannotation—Export Logic

**Export Logic** Allegro, основываясь на указание в файлах *pstxprt.dat* создает временный файл активной платы и необходимые файлы *.dat*.

- ✦ В Allegro, выберите **File—Export—Logic**.
- ✦ В Concept, выберите **File—Import Physical**.
- ✦ В Project manager, нажмите **Design Sync**.

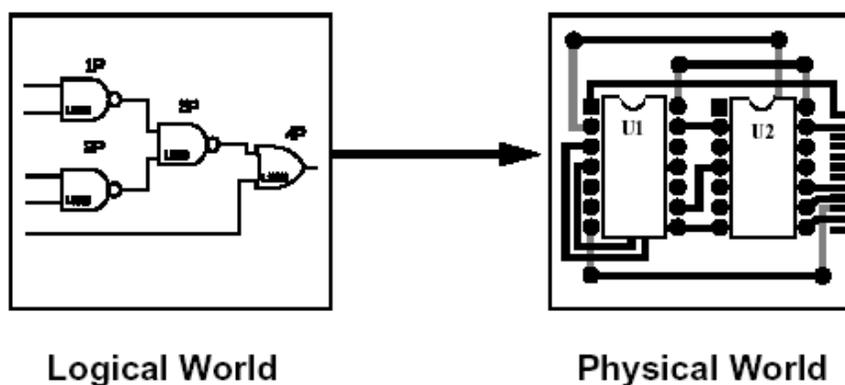
Allegro создает выходные файлы в своей рабочей папке. Также создается файл журнала *feedback.log*. Вы можете просмотреть его, используя команду **File—Viewlog**.

**Внимание:** Вы должны знать версию Concept, чтобы решить используете ли вы формат HDL или SCALD. Версии до Concept 5.0 используют формат данных SCALD.

## Schematic-Driven Layout

Packager-XL capabilities include:

- Component Definition Properties
- Component Instance Properties
- Schematic Instance Properties
- Pin Instance Properties
- Electrical Rules
- Net Properties (compiler input buffer limit of 255 characters)



Use the **Attributes** command to add part and net properties to the schematic.

## Schematic-Driven Layout

Чтобы влиять на расстановку компонентов и трассировку сигналов используются свойства, присоединенные к цепям и деталям.

**Component Definition Properties** содержатся в файлах *chips\_prt* или *ppt*. Эти свойства несут в себе информацию о требуемом physical package (JEDEC\_TYPE, ALT\_SYMBOLS, PINCOUNT). Схематические значения для этих свойств аннулируют значения, найденные в библиотечных файлах.

**Component Instance Properties** – свойства, относящиеся к действующему layout process (например, ROOM, TERMINATOR\_PACK, NO\_PIN\_ESCAPE, NO\_MOVE, FIX\_ALL, COMPONENT\_WEIGHT). Эти свойства появляются в файле *pstxprt.dat* для перехода к инструментам Allegro. Используйте указатель COMP\_INST\_PROP (*pxl.cmd* file), чтобы определить свойства копий компонентов, которые включены в файл *pstxprt.dat*.

**Schematic Instance Properties** управляют packaging of functions (gates).

**Pin Instance Properties** адресует требования трассировки сигнала.

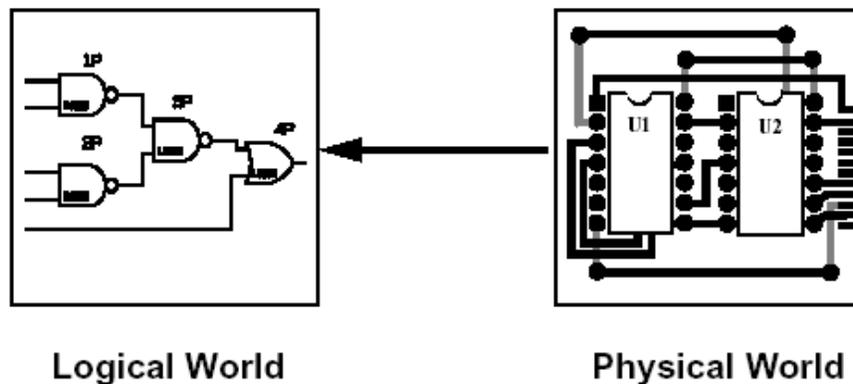
**Electrical Rules** адресуют требования монотонности сигнала, созданные в Constraint Manager.

**Net Properties** управляют трассировкой сигнала и свойствами (такими как line sizes и clearances, layer restrictions, high speed, priority, length requirements и crosstalk thresholds). Эти свойства появляются в файле *pstxnet.dat* для перехода к инструментам Allegro.

## Property Backannotation

- Component Instance Properties (*compView.dat*)
- Schematic Instance Properties (*funcView.dat*)
- Pin Instance Properties (*pinView.dat*)
- Net Properties (*netView.dat*)
- Electrical Rules (*cmdbView.dat* and *cmbcView.dat*)

**Note:** Properties added to Allegro will transfer back to the schematic.



**Note:** Component Definition Properties are NOT backannotated.

### Property Backannotation

Инструменты Allegro не могут произвести обратную аннотацию свойств Component Definition (вообще, потому что они не могут быть изменены в Allegro) за исключением *jedec\_type* (изменяемое с использованием *alt\_symbols*).

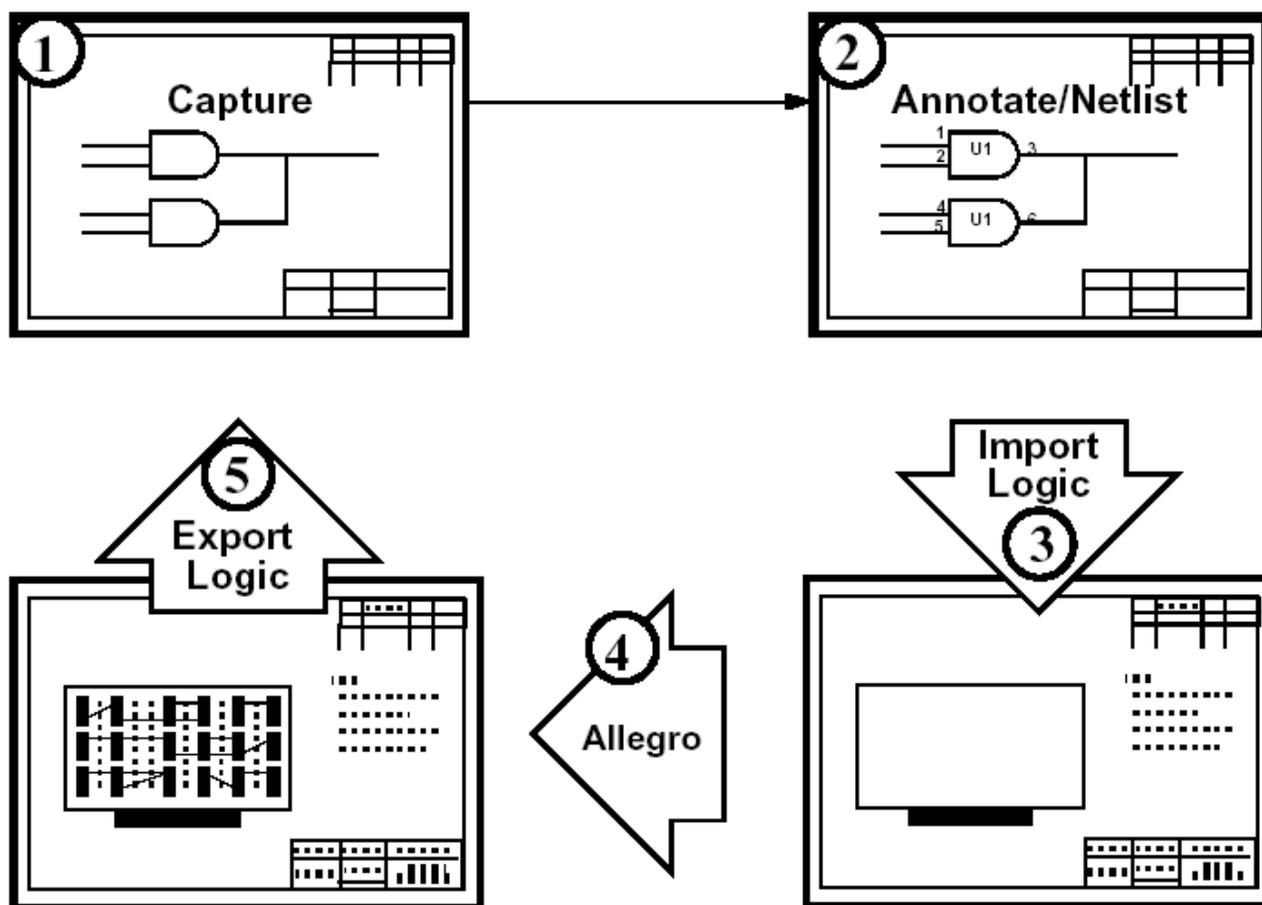
### Property Changes During ECO

Значения свойств в новой (отредактированной) схеме аннулируют существующие значения инструментов Allegro. Существующие атрибуты Allegro, не определенные в схеме остаются неизменными. Например:

★ Логический проектировщик использует атрибуты ECL, чтобы указать, что пять цепей - высокоскоростные. Позже, logic designer обнаруживает, что указал неправильные цепи. Атрибут убирается и прикрепляется к нужной цепи. После проведения ECO, проект Allegro будет содержать десять цепей ECL. Удаление атрибутов у пяти первых цепей не повлияет ни на их текущие задания в Allegro, ни обратная аннотация не удалит атрибуты из схемы.

Файл, который контролирует какие атрибуты будут backannotated при использовании Packager-XL называется `<cds inst dir>/tools/pcb/text/views/pxIBA.txt`.

## Capture Integrated Logic Design and Physical Layout



### Capture Integrated Logic Design и Physical Layout

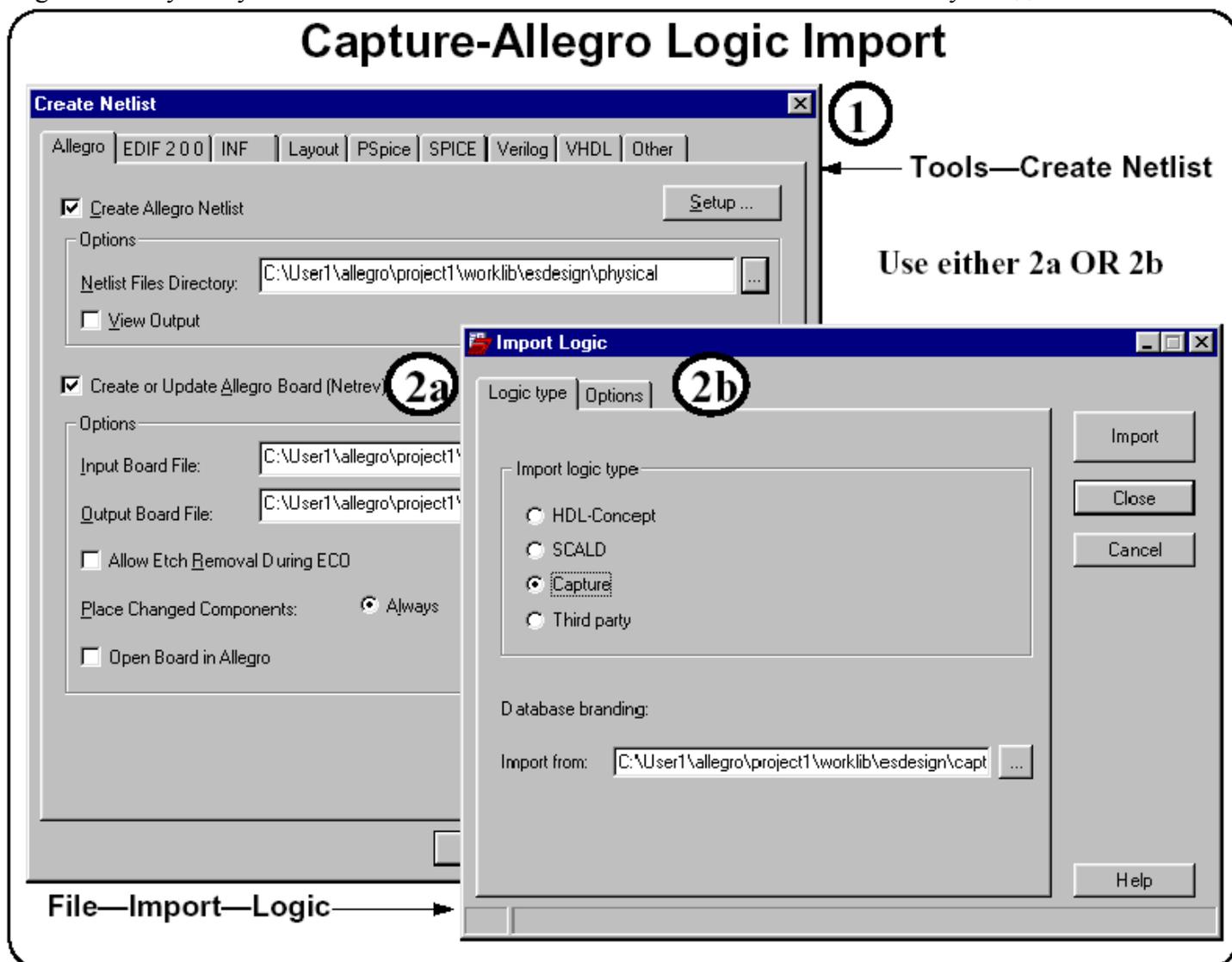
Данная диаграмма иллюстрирует обратную связь между инструментами Capture и Allegro.

#### Capture Front End

- 1. Capture:** Не требуется, чтобы схемы Capture находились в одной директории с проектом Allegro. Однако рекомендуется, чтобы они были вместе.
- 2. Annotate:** Программа Annotate преобразовывает logic devices в physical packages, приписывая reference designator и physical pin numbers каждому символу в схеме.
- 3. Allegro Netlister:** Allegro Netlister создает файлы передачи, используемые Allegro. По умолчанию, эти файлы создаются в директории с именем *allegro*.

#### Allegro

- 1. Import Logic:** После данного шага, проект будет содержать информацию о соединениях.
- 2. Allegro:** Расстановка, трассировка, замена pin и gate для оптимальных результатов трассировки; создание производственных файлов.
- 3. Export Logic:** Данная программа создает файлы backannotation, которые Capture использует для обновления схемы.



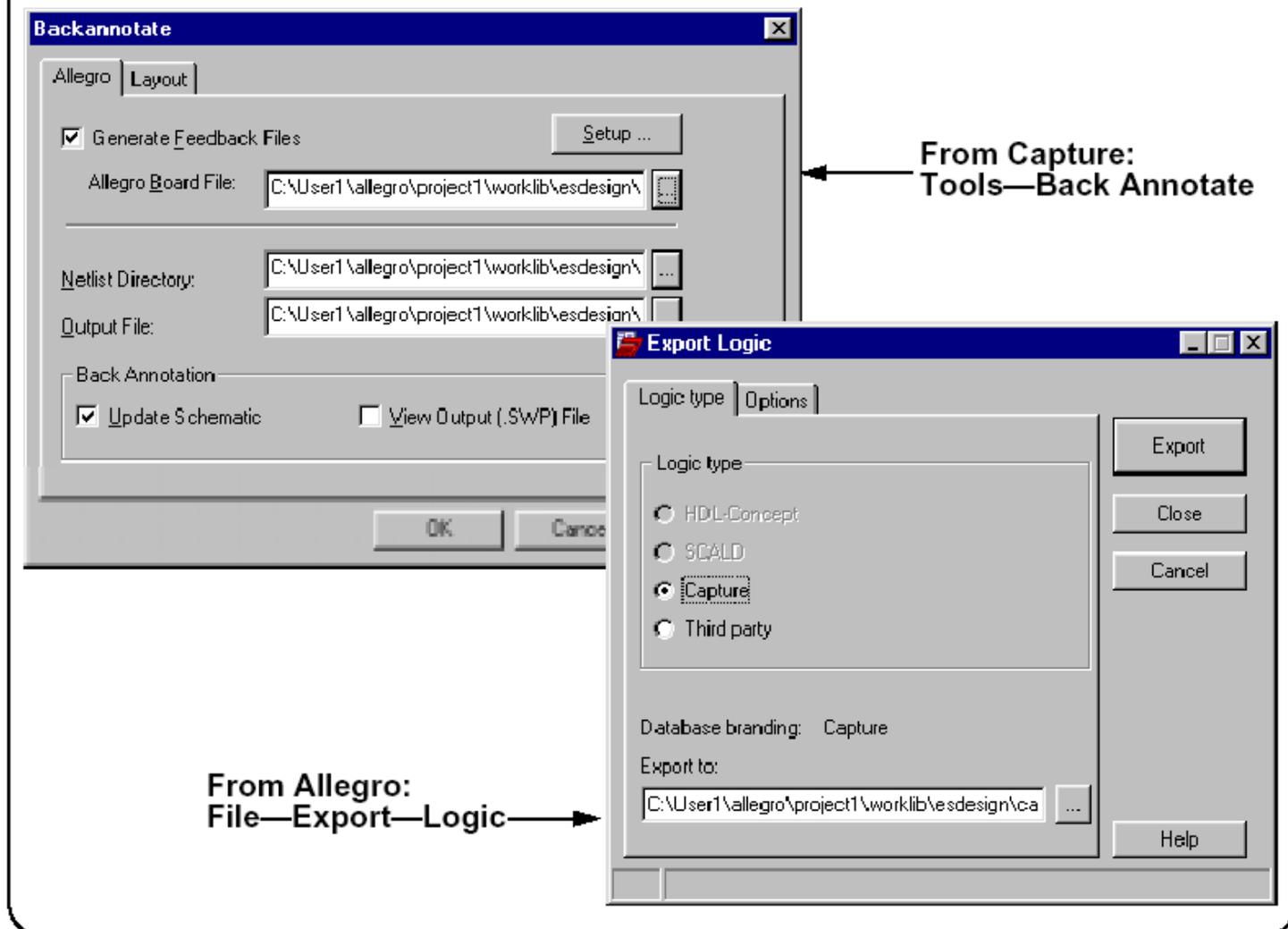
## Capture-Allegro Logic Import

После того как вы снабдили комментариями ваши схемы, вы должны использовать Allegro Netlister для создания файлов ввода для Allegro. Используйте опцию Tools—Create Netlist из меню Project в Capture и ярлык **Allegro** для создания трех файлов “pst”. Это те же три файла (*pstchip.dat*, *pstxnet.dat*, *pstxprt.dat*) созданные и используемые в процессе передачи Concept-to-Allegro.

В то же время с созданием файлов интерфейса Allegro, вы также можете “загнать” эти файлы в Allegro используя опцию **Create or Update Allegro Board(netrev)**(2a). Эта опция запустит программу Allegro *netrev*, которая прочитает файлы интерфейса и создаст новый проект Allegro или обновит существующий.

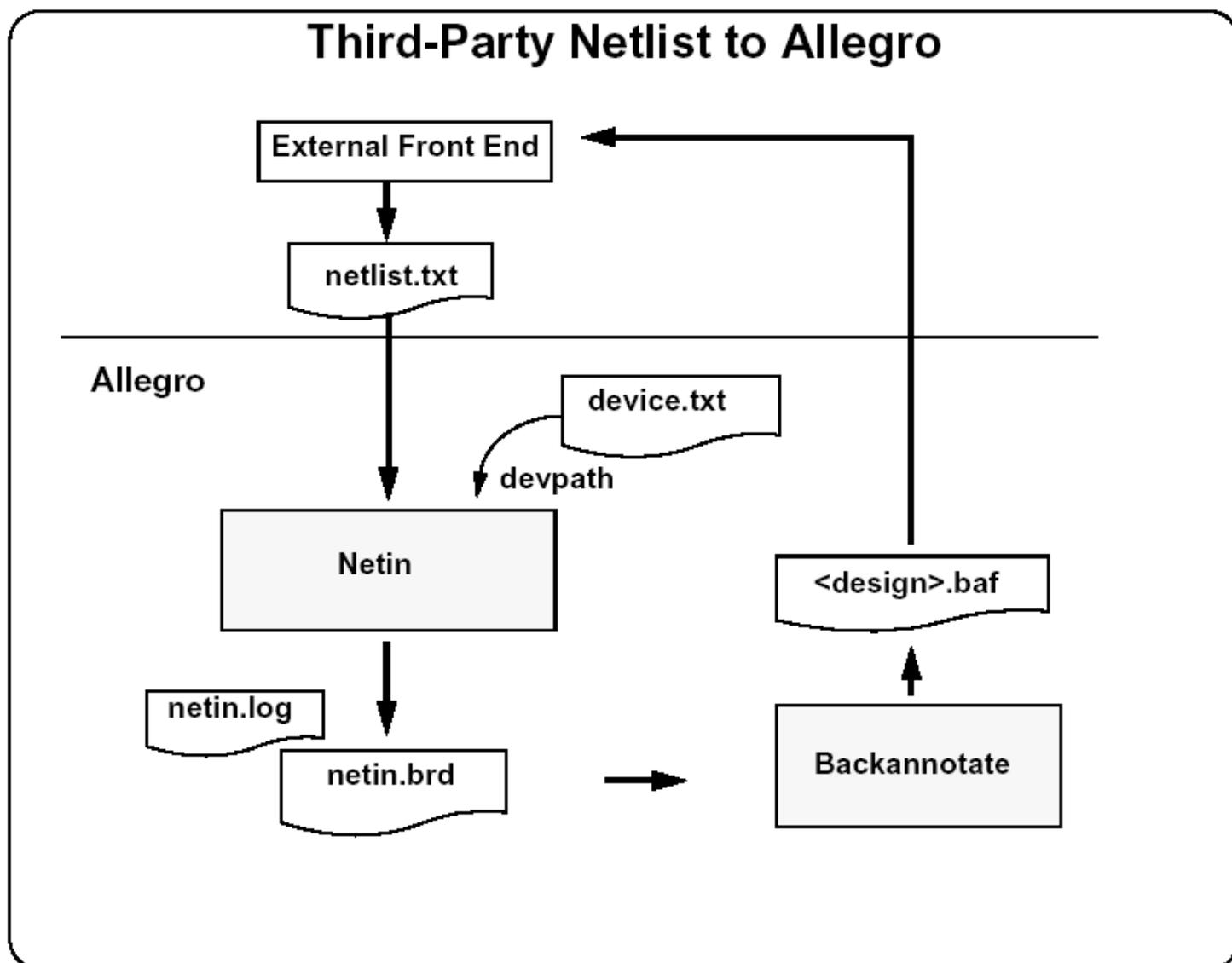
Если вы не захотите запускать программу netrev из Allegro Netlister внутри Capture, вы можете импортировать файлы интерфейса из самого Allegro. Используйте команду **File—Import—Logic**(2b) из верхнего меню Allegro и выберите опцию Capture. Используйте поле **Import From** для указания трех файлов интерфейса, созданных программой Capture Allegro Netlister.

## Allegro-Capture Backannotation



### Allegro-Capture Backannotation

Первый шаг в backannotating из Allegro в Capture, состоит в создании feedback files. Это те же четыре файла *compView.dat*, *funcView.dat*, *pinView.dat* и *netView.dat* используемые в процессе backannotation из Allegro в Concept. Это может быть сделано внутри Allegro путем использования команды **File—Export—Logic** или использованием опции **Generate Feedback Files** из команды Capture Backannotate. После того, как четыре feedback files были созданы из проекта Allegro, вы должны запустить форму процесса backannotation из Capture. Этот процесс прочитает созданные в Allegro feedback files, создаст выходной файл подкачки, который содержит всю необходимую backannotation information требуемую Capture и обновит схему.



## Third-Party Netlist to Allegro

Если вы не использовали инструменты интерфейса Cadence для создания схемы, вы должны использовать netlist и device files. Netlist содержит данные о деталях и соединениях. Device files и library files, которые описывают детали в netlist (один файл устройства – один тип устройства). Netlist считывается в проект Allegro используя процесс Netin (импорт цепей). Файл журнала (*netin.log*) записывает любые найденные ошибки в netlist или device files. Вы также можете создать файл backannotation для возврата данных обратно в third-party system. Инструмент Allegro использует переменную среды **DEVPATH**, чтобы расположить device files, требуемые во время процесса Netin.

Список поставщиков CAE, которые выпускают netlist, форматированный для Allegro.

- |                     |                   |
|---------------------|-------------------|
| ■ View Logic        | ■ CASE Technology |
| ■ Data IO/Futurenet | ■ Omation         |

Вы также можете создавать netlists с помощью текстового редактора, сценариев или некоторых программ-переводчиков.

Через команду **File—Import**, Allegro предлагает следующие встроенные интерфейсы:

**Redac**  
**PADS**

**Visula**  
**PCAD**

## Netlist Format

```

(NETLIST)
(Wed Dec 25 12:25:53 1996)
$PACKAGES
CAP400 ! 'CAP-22UF' ! '022UF' ; C21 C22 C23 C24 C25,
C26 C27 C28
CONN140 ! 'CONN140' ; J1
CRYSTAL ! 'OSC' ; Y1
DIP24_4 ! 'MEMORY' ; U15
SMDCAP ! 'CAP-.01UF' ! '01UF' ; C1 C2 C3 C4 C5 C6,
C7 C8 C9 C10 C11 C12 C13 C14 C15 C16 C17 C18 C19
C20
SMDCAP ! 'CAP-1UF' ! 1UF ; C29 C30 C31 C32 C33
SMDRES ! 'PRES0' ! 10 ; R1
SOIC16 ! '74F153' ; U10 U11 U12 U13
$A_PROPERTIES
ROOM BUFFER; U10 U11
ROOM ONE; C8 C9 R1
$NETS
A1 ; J1.2 U13.10 U12.10 U11.18 U10.10
A2 ; J1.3 U13.6 U12.9 U11.5 U10.9
A3 ; J1.4 U11.10 U12.8 U13.5 U10.8

$SEND
  
```

Parts List Section →

(Optional) →

Pin/Signal Section →

Line Continuation Character →

## Netlist Format (Формат файла цепей/соединений)

Базовые элементы составляющие netlist:

- ★ Секция **\$PACKAGES**: Показывает список packaged parts. Включает секцию **\$FUNCTIONS** если netlist содержит unpackaged parts (gates).

[package name] !device type [!value [!tolerance]]; refdes...

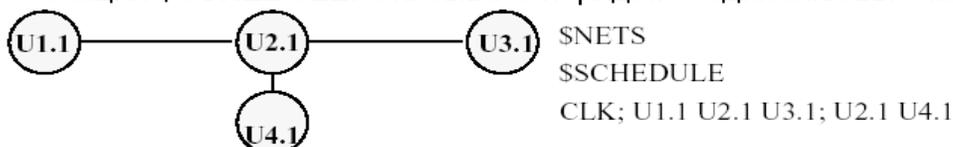
- ★ Секция **\$NETS**: Перечисляет каждую цепь с помощью имени и составляющих pins.

[netname];refdes.pin refdes.pin ...

- ★ Конец Описания **\$END**.

Дополнительные разделы, которые могут появиться в netlist:

- ★ Секция **\$SCHEDULE**: Описывает порядок соединения высокоскоростных цепей.



- ★ Секция **\$A\_PROPERTIES**: Описывает свойства цепи и детали, требуемые для рисунка. Вы можете удалить свойства с помощью ключевого слова **\$D\_PROPERTIES**.

- ★ Секция **\$ADD**: Добавляет детали или цепи в проект во время ECO.

- ★ Секция **\$DELETE**: Удаляет детали или цепи из проекта во время ECO.

## General Rules for Netlists

Field Name	length	Acceptable Characters
package name	27	a to z, 0 to 9, dash(-), and (_)
device type	30	All except ! and '
function designator	30	All except ! and '
reference designator	30	All except ! and '
pin number	30	All except ! and '
pin name	30	All except ! and '
net name	30	All except ! and '
property value	30	All except ! and '
tolerance	30	All except ! and '
user part number	30	All except ! and '
value	30	All except ! and '

### General Rules for Netlists (Основные правила)

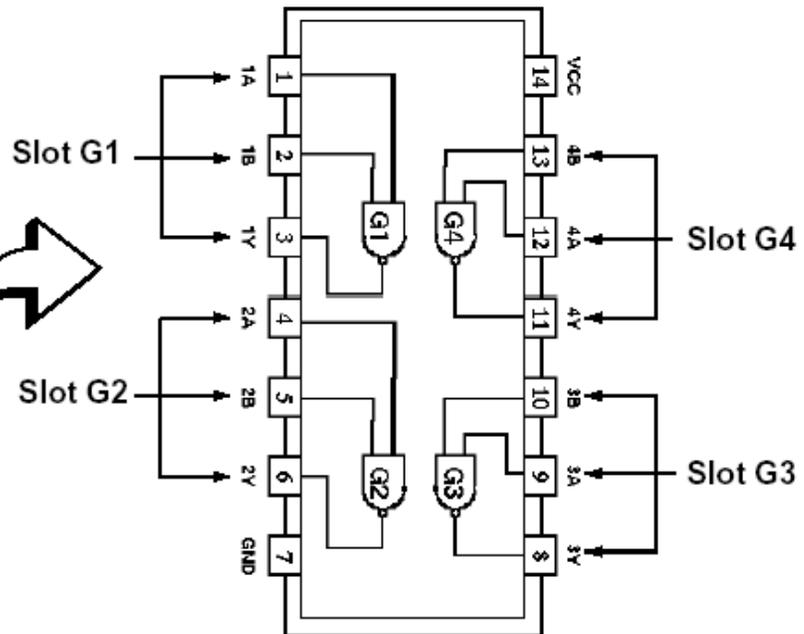
Таблица показывает максимальную ширину поля и разрешительные символы для каждого поля данных в each Allegro netlist. Другие правила:

- \* Поля данных не чувствительны к регистру.
- \* Каждая запись данных должна иметь не более 78 символов в строке. Удлиняйте записи путем добавления запятой после последнего примера в строке. Запятая действует как символ продолжения.
- \* Можете включать комментарии в круглых скобках; они не учитываются процессом Netin. (Не пишите комментарии внутри полей данных.)

## Device Files

filename = 7400.txt

```
(Netlist contains device type 7400)
PACKAGE DIP14_3
CLASS IC
PINCOUNT 14
PINORDER 7400 A B -Y
PINUSE 7400 IN IN OUT
PINSWAP 7400 A B
FUNCTION G1 7400 1 2 3
FUNCTION G2 7400 4 5 6
FUNCTION G3 7400 9 10 8
FUNCTION G4 7400 12 13 11
POWER +5V; 14
GROUND GND; 7
END
```



### Things to remember:

- Device file names must be lowercase, with a *.txt* extension.
- Contents of device files are not case sensitive.
- Use parentheses for comments.

## Device Files

Вы должны использовать device files если вы импортируете стороние netlist data в Allegro.

Инструменты создания схем Cadence: Concept и Capture, приводят описания электрических компонентов вместе с данными связности. Сторонние netlists не содержат описаний электрических компонентов и следовательно требуется использование device files. Как и symbol files, которые приводят описание physical component, device files приводят электрические описания (physical descriptions). Они включают pin spacing, body size, информацию о padstack, electrical descriptions определяют input и output pins, power pins и gate assignments.

### Что нужно помнить при создании device files:

- ✦ Имена Device file должны быть из строчных букв, с расширением *.txt*.
- ✦ Содержимое device files не чувствительно к регистру.
- ✦ Используйте круглые скобки для вставки комментариев.
- ✦ Единственная обязательная строка в device file :  
— PINCOUNT

## Package Properties in Device Files

Syntax:

**PACKAGEPROP** <property\_type> <property\_value>

For example:

PACKAGEPROP alt\_symbols '(T:soic14; B:soic14\_pe)'

PACKAGEPROP terminator\_pack

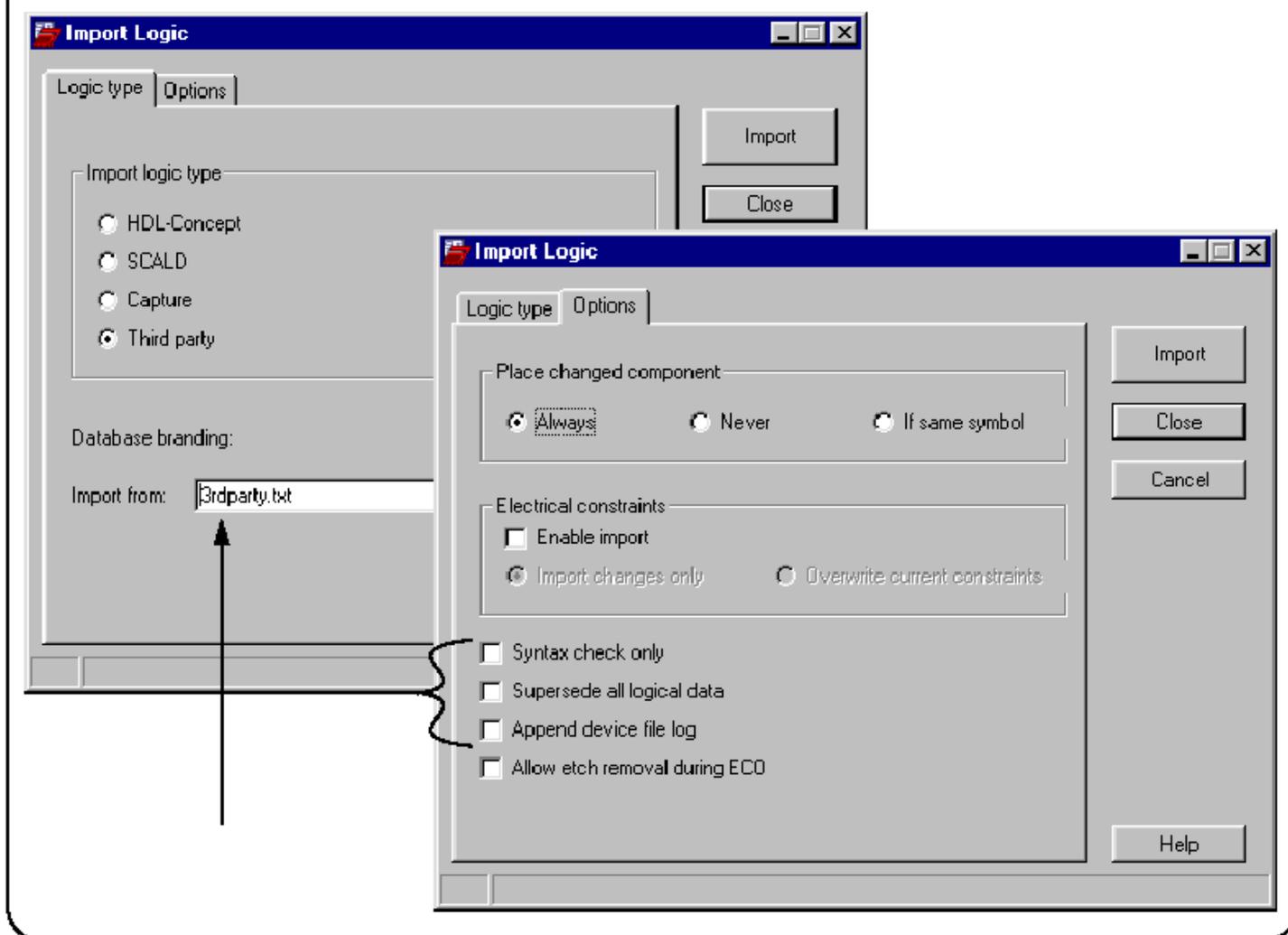
PACKAGEPROP value 50ohm

### Package Properties in Device Files

Вы можете добавлять свойства package в device files. Общие примеры:

- \* **alt\_symbols** определяет альтернативные package symbols, которыми вы можете заменить основные package symbol во время ручной расстановки элементов.
- \* **terminator\_pack** используется программой terminator assignment, чтобы согласовать правильный terminator с соответствующей цепью ECL. Не требуется дополнительного значения. Когда PACKAGEPROP появляется, он показывает планировщику ECL, что устройство - terminator.
- \* **value** используется программой terminator assignment, для создания согласования между цепью ECL и соответствующей termination package. (Цепь ECL должна иметь атрибут LOAD\_TERM\_VALUE.)

## Loading a Third-Party Netlist



### Loading a Third-Party Netlist

Вы не можете создать плату путем передачи логики проекта. Вам надо обновить существующую плату в Allegro.

1. Перед загрузкой логики проекта, вначале установите слои и размеры платы.
2. Выберите **File—Save** (или **File—Save As**, как вам необходимо).
3. Выберите **File—Import—Logic**.
4. В секции Logic Type, выберите **Third Party**.
5. Введите или найдите netlist *filename.txt* в поле **Input From**. (Имя файла, показанное в рисунке - пример.) Если netlist находится не в рабочей директории Allegro, укажите полный путь.
6. Определите, какие рабочие параметры (если есть) third-party использовать (они находятся в закладке Options):
  - Syntax Check Only(Только проверка синтаксиса)
  - Supersede All Logical Data(Заменить все логические данные)
  - Append Device File Log(Прикрепить файл журнала)
7. Если вы желаете сохранить выбранные опции в диалоговом окне, нажмите **Apply**.
8. Нажмите **OK**.

**Import—Logic** считывает и компилирует netlist и создает файл *netin.log*.

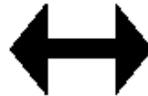
## Netin Checking

### Netlist

```
(Netlist)
$PACKAGES
! 7400 ; U1 U2
! 54als244 ; u3 u4 u5

$NETS
clock ; u1.1 u2.20
enable ; u3.1 u5.19
signal1 ; u4.3 u5.6
signal3 ; u4.5 u2.9

$END
```



### Device File

```
(Netlist contains device type 7400)
PACKAGE DIP14_3
CLASS IC
PINCOUNT 14
PINORDER 7400 A B -Y
PINUSE 7400 IN IN OUT
PINSWAP 7400 A B
FUNCTION G1 7400 1 2 3
FUNCTION G2 7400 4 5 6
FUNCTION G3 7400 9 10 8
FUNCTION G4 7400 12 13 11
POWER +5V; 14
GROUND GND; 7
END
```

## Netin Checking

Помимо проверки синтаксиса netlist и device files, процесс Netin проверяет следующее:

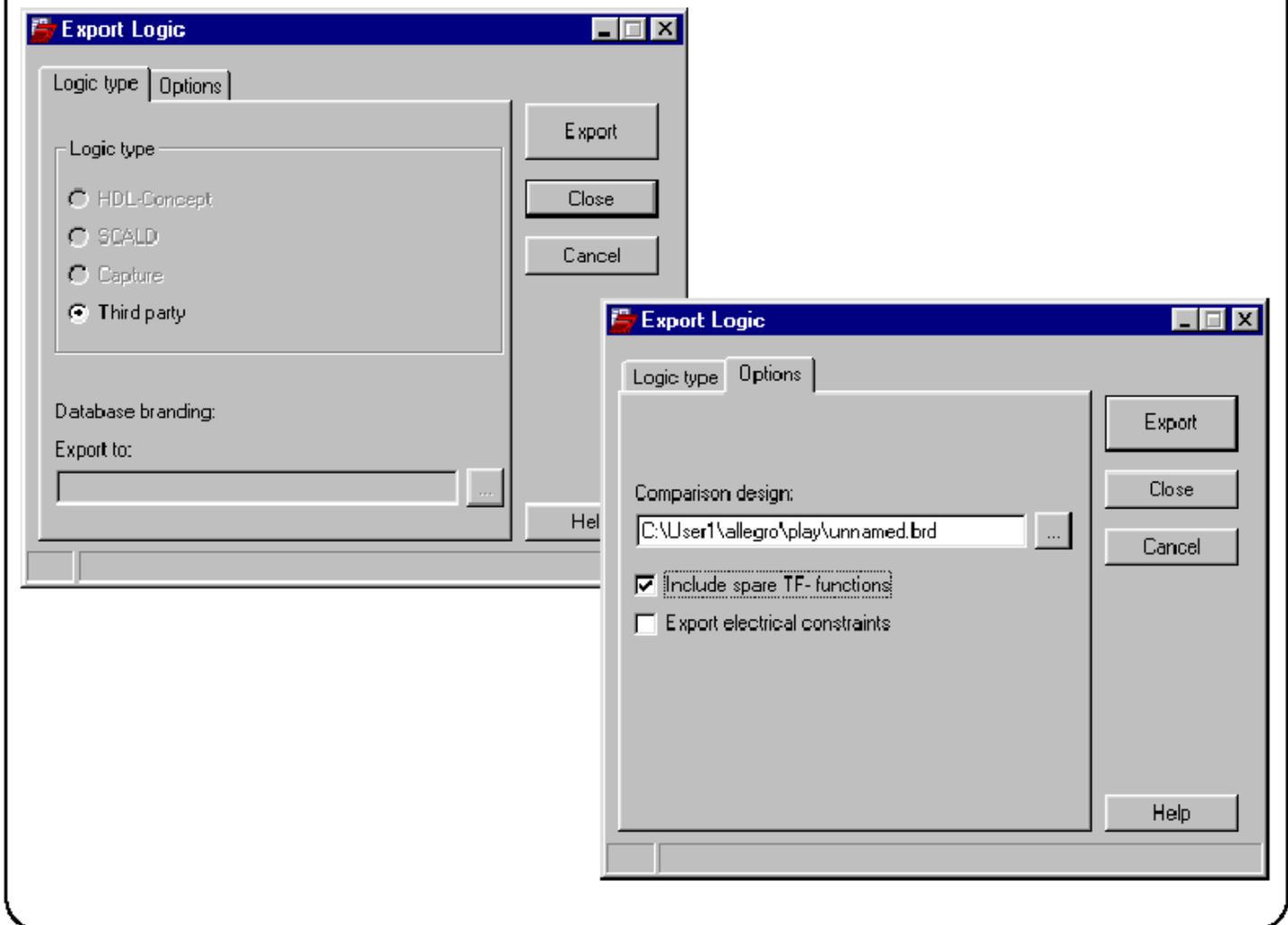
- ✦ **netlist content:** Reference designators в секции \$NETS должны присутствовать в секции \$PACKAGES.
- ✦ **device file content:** Сравнивает физические номера pin в function, power/ground и NC с объявлением pincount.
- ✦ **netlist to device file:** Сравнивает номера pin reference designator в netlist с числом pin для связанных типов устройства. Например:

```
pin number U1.20 not in device file for 74f00.txt ... pin ignored.
```

Также сравнивает power, ground и NC statements с netlist.

Pins в package symbol должны совпадать с pins, указанными вами в device file. Любые несовместимости вызовут сообщения об ошибках.

## Third-Party Backannotation



### Third-Party Backannotation

**File—Export—Logic** создает файл *<проект>.baf* из активной платы. Этот файл содержит reference designator, показывающие возможные изменения после gate/pin swap или переименования reference designator.

Необязательные Include Spare TF–Functions позволяют вам включать неиспользуемые вентили в файл выхода. Неиспользуемые вентили добавятся в конец файла backannotation.

**Важно**

Вы должны будете сохранить версию проекта перед началом ЛЮБЫХ изменений в backannotation. К данным изменениям относятся pin swapping, gate swapping или переименование reference designator.

## **Лабораторные**

Лабораторная 3-1 Concept to Allegro

Лабораторная 3-2 Importing a Third-Party Netlist

Лабораторная 3-3 Capture to Allegro

## Глава 4: Design Rules (Правила Проекта)

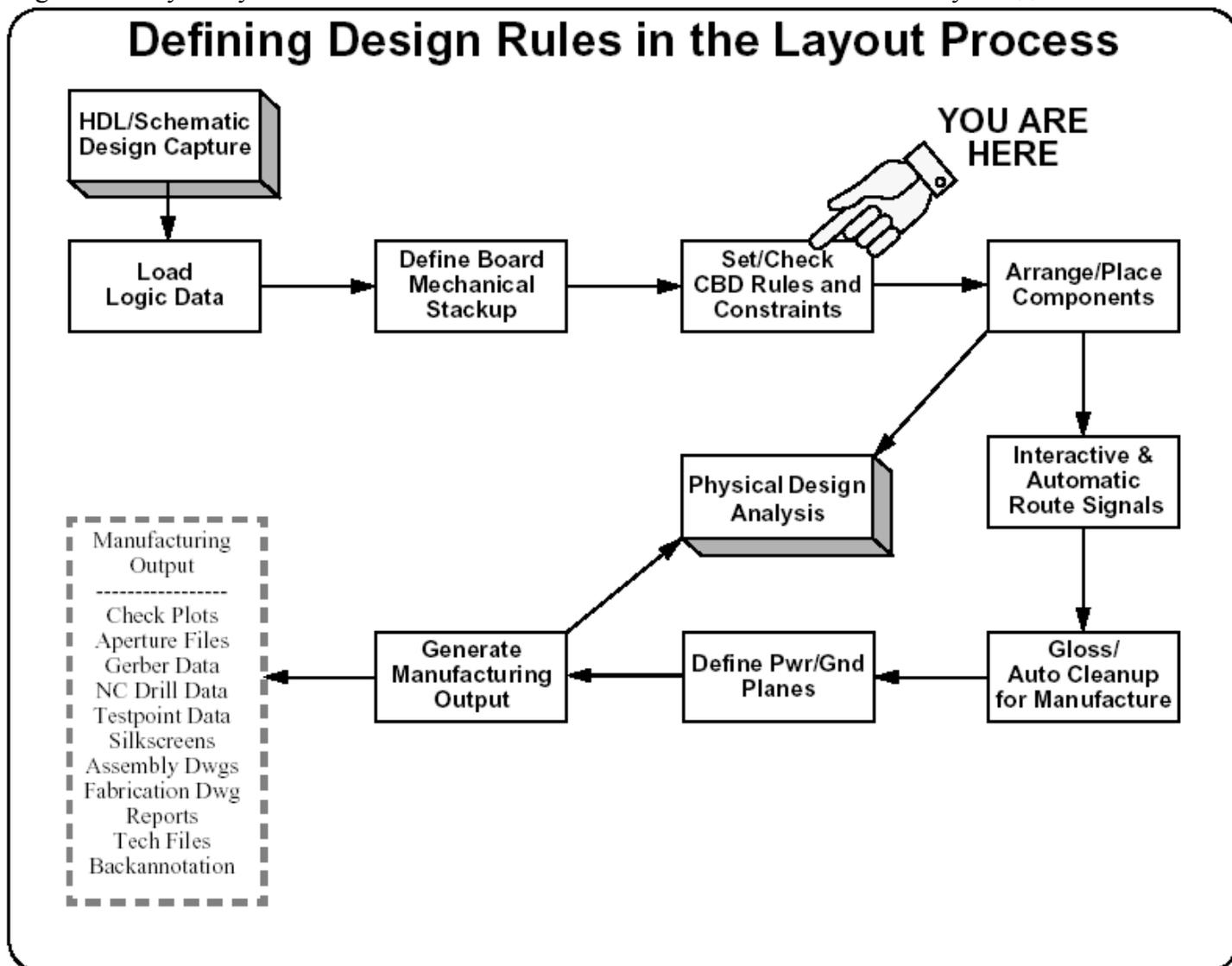
### Цели

В данной главе вы научитесь:

- ✦ Создавать и применять правила проектирования.
  - Стандартные правила
  - Расширенные правила
- ✦ Узнаете о Constraint Manager.
- ✦ Присоединять свойства и изучать их действие.
- ✦ Использовать технологические файлы.

### Термины и Определения

Термин	Определение
Constraint	Правило проектирования, которое прикрепляется к цепи или pin (такие как <i>Line to Thru</i> , <i>Pin Spacing</i> , <i>Minimum Line Width</i> или <i>Max Via Count</i> ).
Constraint Set	Для удобства, Allegro собирает ограничения в постоянные группы, называемые наборами ограничений. В Allegro есть три типа наборов ограничений: Spacing, Physical и Electrical. Вы можете создать несколько наборов ограничений spacing, physical и electrical и применить их на базе комплексности требований проекта.
Net Class	Один или более сигналов, сгруппированные вместе (приписанные к одному набору ограничений) для того, чтобы получить специальное рассмотрение во время physical layout.
Property	Специальная инструкция, как элемент (net, function, reference designator, pin и т.д.) обрабатывается автоматическим или ручным инструментом. Большинство ограничений могут быть прикреплены как индивидуальные свойства (за исключением spacing constraints), хотя не все свойства могут быть определены как ограничения.
Technology File	Файл ASCII, который может быть считан в раскладе Allegro. Этот процесс упрощает передачу файлов проекта, параметров чертежа и информацию о сечениях между раскладами.



## Defining Design Rules in the Layout Process

Процесс проектирования печатной платы продолжается. Вы прошли стадии:

- ✦ Загрузка логических данных
- ✦ Установление механических данных платы

Ваши механические данные платы были установлены, когда вы создали файл *master.brd*. Теперь можно выбрать правила проекта и добавить ограничения. В этой главе рассмотрены четыре типа правил проекта:

- ✦ Правила о расстояниях
- ✦ Физические правила
- ✦ Ограничения проекта
- ✦ Электрические ограничения

## Introduction to Design Rules

There are four types of Design Rules:

- **Spacing Rule Set:** Clearances between lines, pads, vias, and copper areas (shapes)
- **Physical Rule Set:** Line width and layer restrictions
- **Design Constraints:** Package checks, Soldermask checks and Negative Plane Island checks
- **Electrical Constraint Sets:** Performance characteristics (crosstalk and propagation delay)

There are two levels of detail for Design Rules:

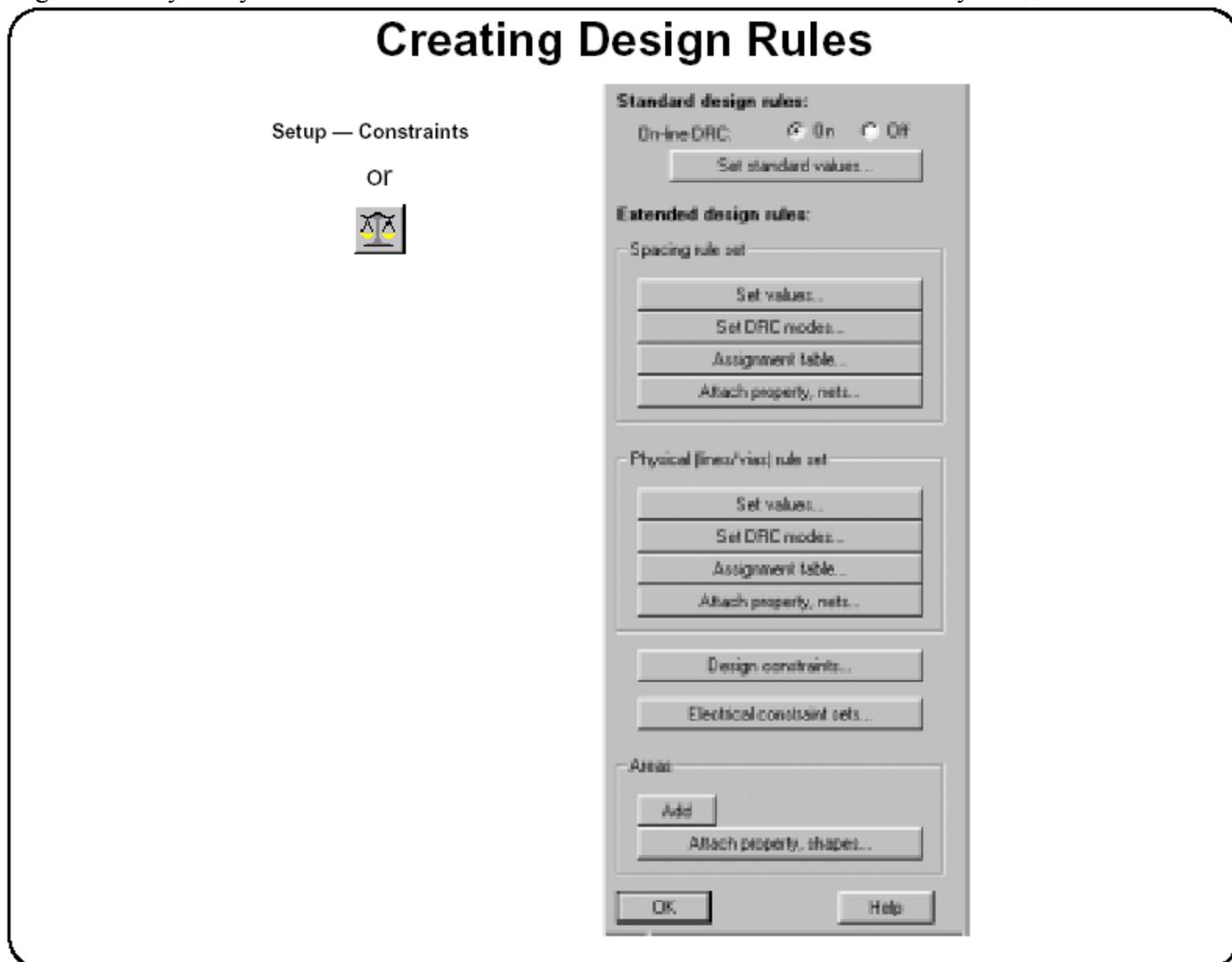
- **Standard Rules:** Describe the majority of nets in a design. These global rules are applied to all nets (all nets are created equal).
- **Extended Rules:** Are performance related, and are made on a net-by-net basis.
  - Timing and Speed considerations (net length and propagation delay)
  - Noise and Distortion concerns (crosstalk, reflection, impedance)

## Introduction to Design Rules (Введение в правила проектирования)

Существует четыре типа правил проектирования:

- ★ **Spacing Rule Set (Группа правил о расстояниях):** Промежутки между проводниками, контактными площадками и полигонами.
- ★ **Physical Rule Set (Группа физических правил):** Ширина печатного проводника и ограничения слоев.
- ★ **Design Constraints (Ограничения проекта):** Проверка Package, проверка Soldermask и островов металлизации на Negative Plane
- ★ **Electrical Constraint Sets (Группа электрических ограничений):** Существует два уровня детализации правил проектирования:
  - ★ **Standard Rules (Стандартные Правила):** Описывают большинство цепей в проекте. Данные глобальные правила применяются ко всем сетям.
  - ★ **Extended Rules (Расширенные Правила):** Относятся к производительности и созданы на базе net-by-net.
    - Установки времени и скорости (длина цепи и задержка распространения)
    - Шум и искажения сигналов (crosstalk, reflection, impedance)

В Allegro имеется набор предопределенных правил, таких как *Line to Thru Pin Spacing* или *Minimum Line Width*. Вы можете определять значения для каждого правила внутри набора правил. Набор правил – группа правил, которые были связаны вместе для того, чтобы облегчить пользователю работу по присвоению значений.



## Creating Design Rules (Создание правил проектирования)

Для доступа к форме Constraints Master, используйте команду **Setup—Constraints** из верхнего меню или выберите иконку **Constraint**.

Заметьте, что форма содержит две главные секции:

- ★ **Standard Design Rules** – По умолчанию, все цепи в базе данных проекта принадлежат к определенному по умолчанию набору правил, который вы определяете с помощью команд **Set Standard Values** в этой секции. Используйте эту опцию, если вам нужен один набор правил о расстояниях и физике для всех сигналов во всем раскладе.

- ★ **Extended Design Rules** – По мере того, как ваш проект становится все более комплексным, вам потребуется быть более точным в том, какие сети требуют специального рассмотрения и отличия их потребностей от правил по умолчанию.

Вверху формы Constraints Master имеется переключатель **On-Line DRC**. Используйте эти кнопки для разрешения или блокировки online проверки DRC. Данная опция влияет на все наборы правил с режимами DRC, установленными как Always.

Для увеличения производительности во время интенсивного редактирования, вы можете временно блокировать проверку DRC. Затем, после завершения редактирования, включите проверку DRC, и запустите DRC (используя форму Status или программу batch\_drc).

## Standard (Default) Design Rules

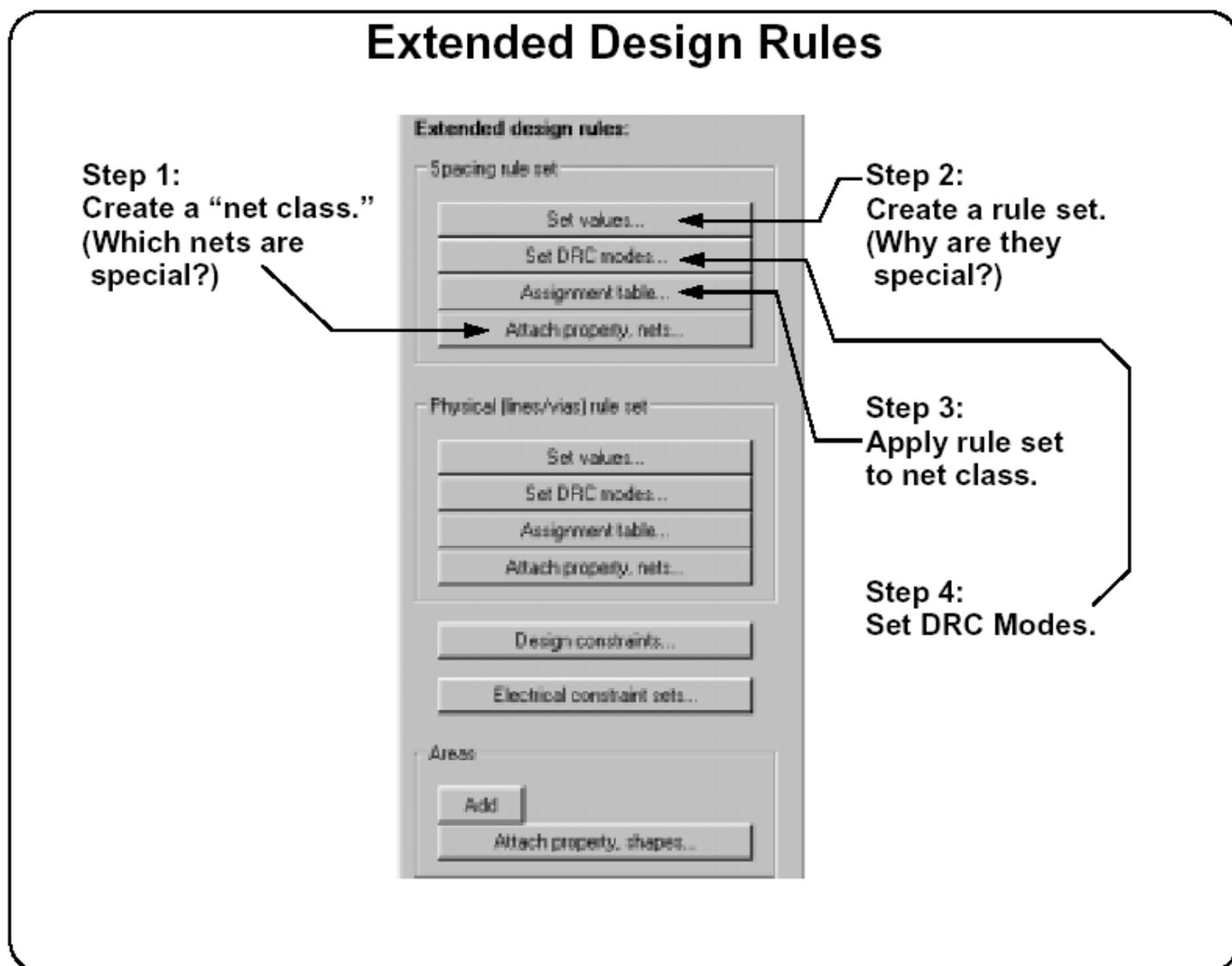
The image shows a dialog box titled "Default Values Form" with the following fields and values:

Subclass:	ALL ETCH
Line To Line:	5 MIL
Line To Pad:	5 MIL
Pad To Pad:	5 MIL
Line Width:	5 MIL
Etch on Subclass:	Allowed
Same Net DRC:	Off
Default Via:	VIA

Buttons: OK, Cancel, Reset, Help

### Standard (Default) Design Rules

Стандартные правила проектирования определяют глобальные значения по умолчанию для clearances и line widths. Если требования вашего проекта такие, что все цепи имеют одинаковую ширину и промежутки на всех слоях, тогда вам будет достаточно формы Default Values без доступа к остальным формам ограничений. Если специальные правила относятся к специальным цепям, вы должны использовать Extended Design Rules.



## Extended Design Rules

По мере того, как ваш проект становится комплексным, вам потребуется определить, какие цепи требуют специального рассмотрения и отделить требования к ним от стандартных правил.

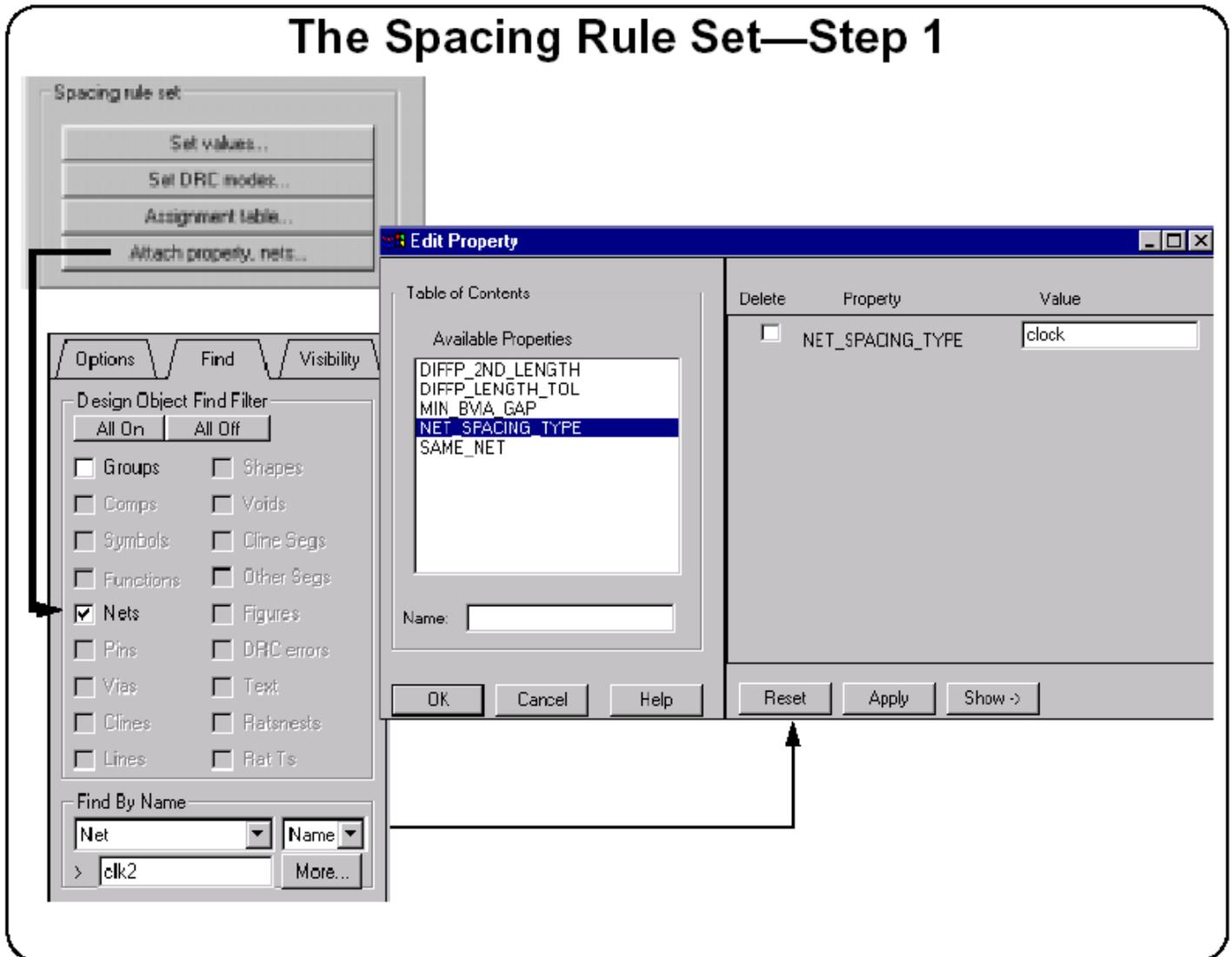
Первым делом определите, какие цепи особенные или отличаются и не подходят к правилам по умолчанию. Это делается при помощи кнопок **Attach Property, Nets** в секциях Spacing, Physical или Electrical Rule Set (в зависимости от типов определяемых ограничений).

После того как вы определили, которая цепь особенная, следующим шагом будет определить, почему или как они отличаются. Это делается при помощи кнопок **Set Values** в секциях Spacing, Physical или Electrical Rule Set (в зависимости от типов определяемых ограничений).

Следующий шаг – применить новый набор правил, созданный в шаге 2 к сетям, определенным в шаге 1. Это выполняется при помощи кнопки **Assignment Table** (не требуется для Electrical Rule Sets).

Заключительный шаг - **Set DRC Modes**. DRC modes определяет, когда она работает.

## The Spacing Rule Set—Step 1



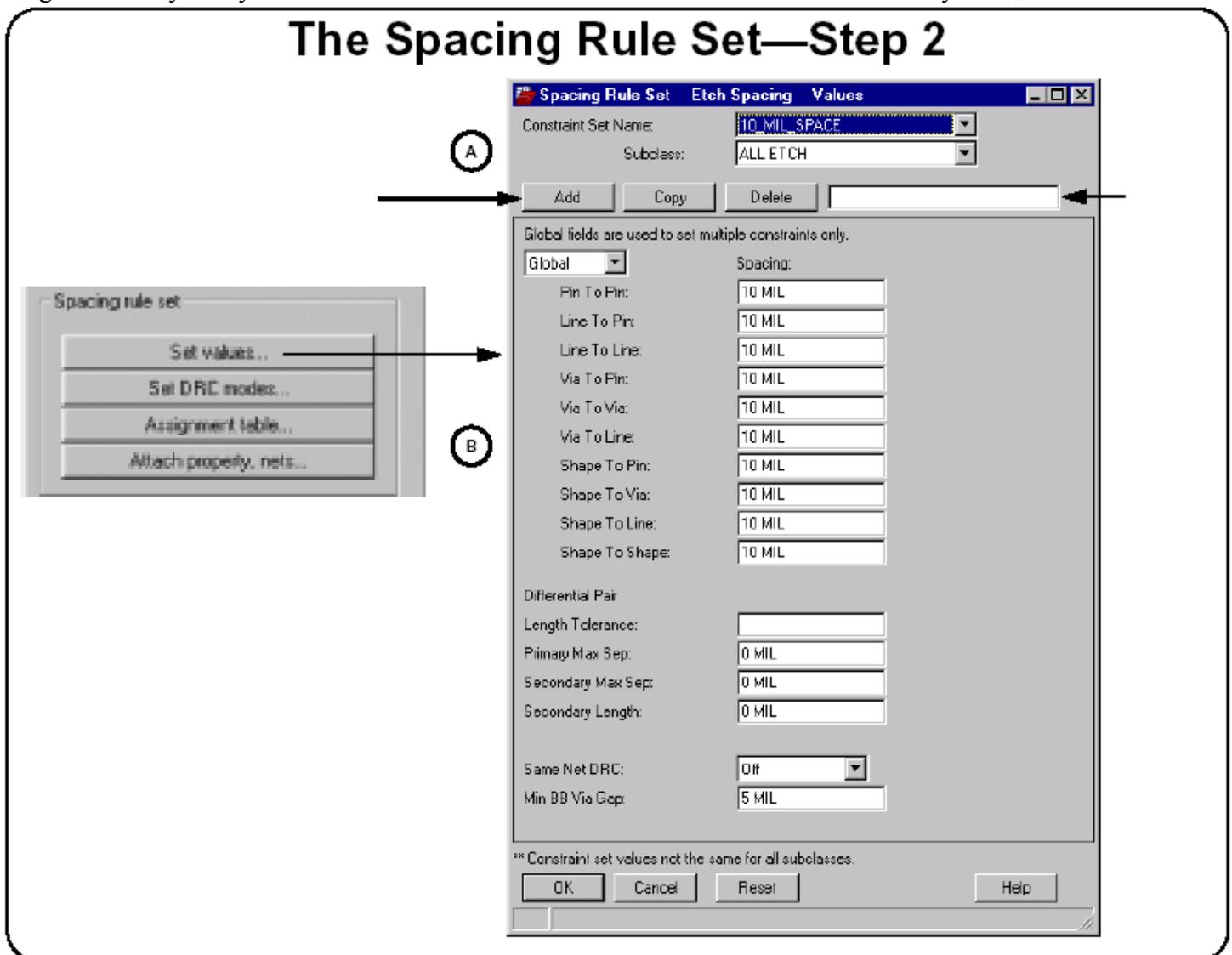
### The Spacing Rule Set—Step 1 Attach Property—Nets (Прикрепление свойств к цепи)

#### Creating a Special Class of Nets (Создание специального класса цепей)

Если ваши расширенные проектные правила предъявляют свои требования к промежуткам для особенных цепей, опция **Attach Property, Nets** в секции Spacing Rule Set позволяет вам прикрепить свойства, для опознавания данных цепей. Используйте Find Filter для определения имеющихся цепей, и выберите свойство NET\_SPACING\_TYPE и формы Edit Property. Значение, присвоенное вами свойству NET\_SPACING\_TYPE, потом применяется к выбранным цепям. Создайте значение, которое представляет многозначную группу или класс цепей (такие как clock, data, address, critical, high speed и т.п.).

Прикрепляя свойство NET\_SPACING\_TYPE вы определяете, какие сети требуют специального рассмотрения.

## The Spacing Rule Set—Step 2



### The Spacing Rule Set—Step 2 Set Values (Установка значений)

#### Creating a Rule Set (Создание набора правил)

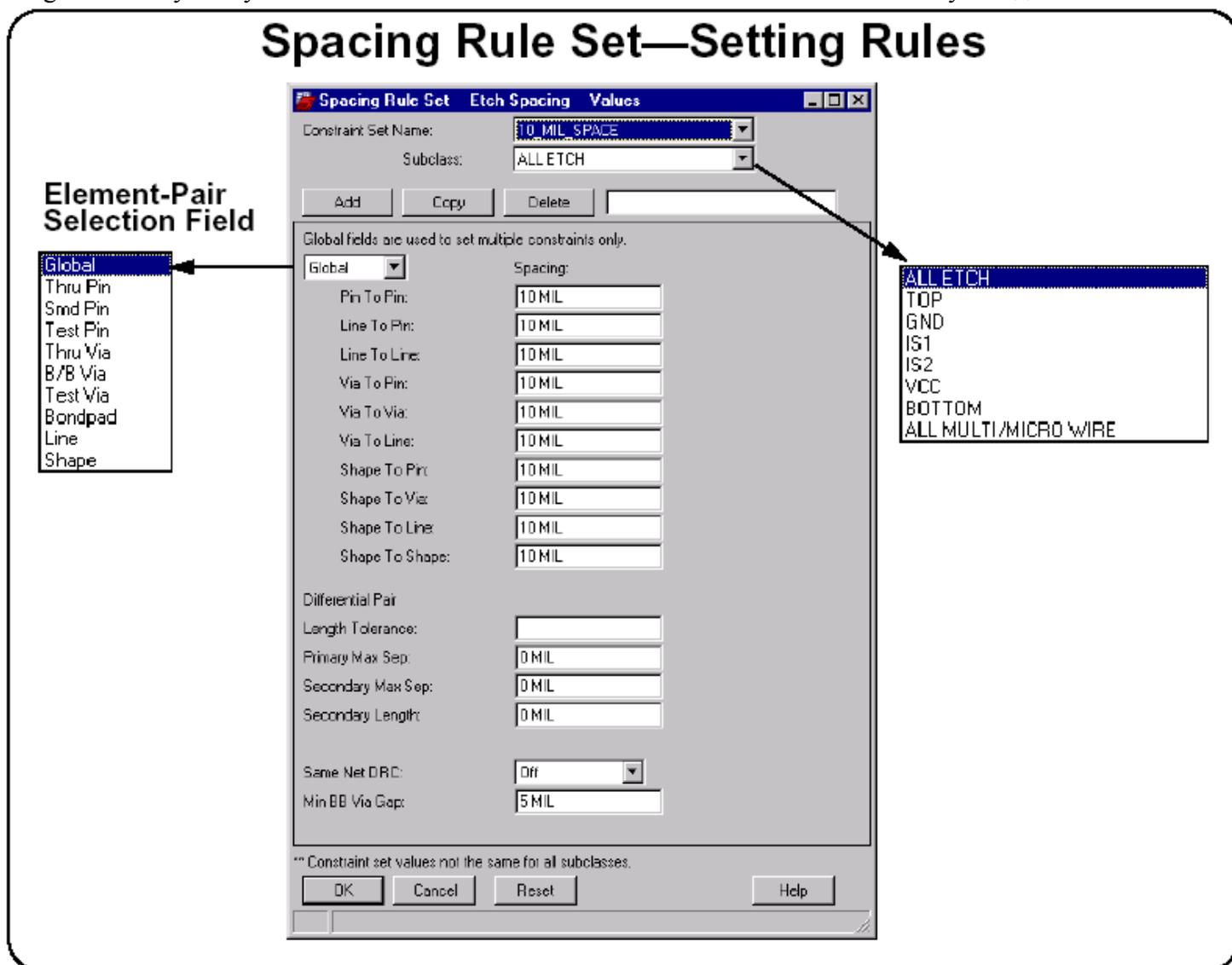
Теперь, когда вы определили, которые цепи требуют специального рассмотрения, используйте команду Set Values для создания набора правил, определяющего следующие требования.

★ **Секция А:** Введите имя создаваемого набора правил и нажмите **Add**. В данной секции вы также можете удалять или копировать наборы правил. Максимальная длина - 31 символ. Дозволяются все специальные символы кроме ! @ ? '. Будьте осторожны, используя звездочку (понимается как символ группы).

★ **Секция В:** Определите требуемые значения промежутков между line, pin, via и shape вводя их значения в поле справа от каждой пары элементов.

**Same Net DRC: On** или **Off**. Проверяет ограничения промежутков между линиями соединения имеющих одинаковые имена.

## Spacing Rule Set—Setting Rules



### The Spacing Rule Set—Setting Rules

#### Setting Rules for Specific Layers (Определение правил для конкретных слоев)

Вы можете устанавливать значения промежутков для каждого слоя ETCH. Используйте кнопку скроллинга в поле Subclass для выбора конкретного слоя. Вводимые вами значения промежутков применяются только к текущему слою.

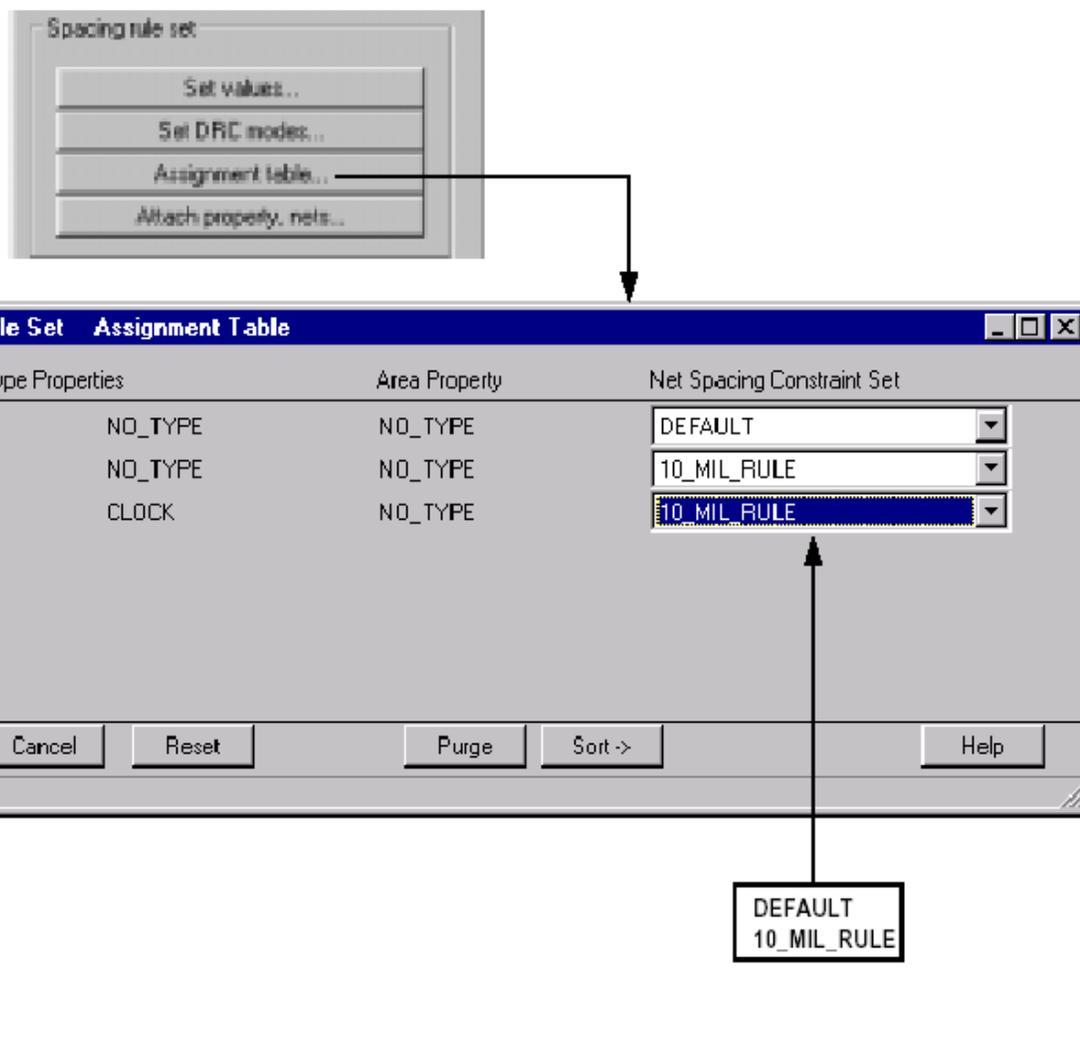
Выбор **ALL ETCH** устанавливает значения промежутков для всех подклассов ETCH. Используйте это свойство, если все (или большинство) ваших слоев следуют одинаковым правилам промежутков.

#### Choosing Element Pair Combinations (optional)

Вы можете установить отдельные значения промежутков для всех комбинаций lines, pins, vias и shapes (copper areas), включая особенные комбинации для каждого типа pin (thru, test, smd) и via (thru, test, blind/buried).

Выбор **Global** устанавливает одинаковые значения промежутков для всех типов pin и via. Используйте эту опцию, если вам не нужны разные значения промежутков для разных типов pins и vias.

## The Spacing Rule Set—Step 3

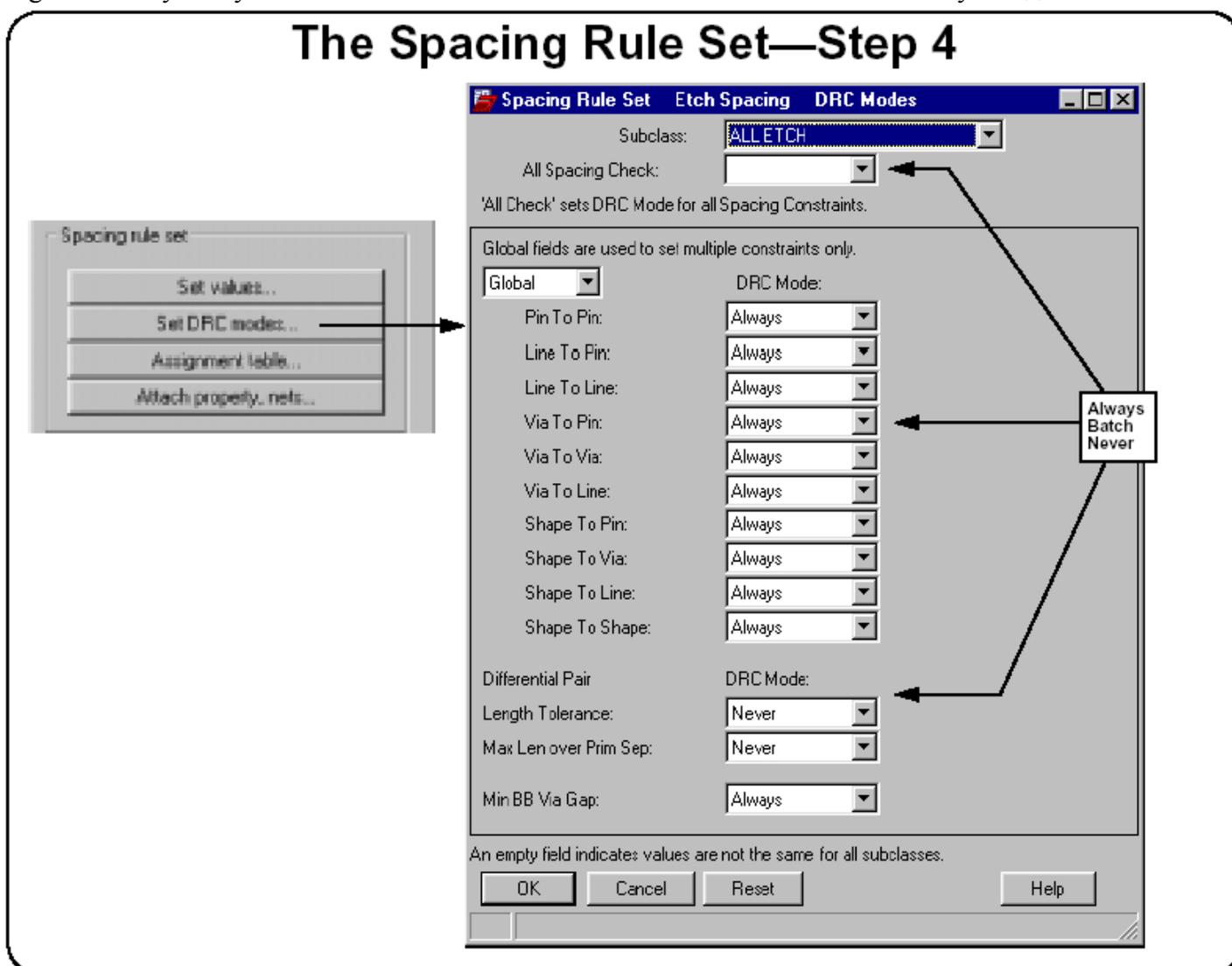


### The Spacing Rule Set—Step 3 Assignment Table (Таблица присваиваний)

#### Applying the Rule Set to the Net Class

Теперь, когда вы создали класс цепей и набор правил, вы должны присвоить набор правил, классу цепей, используя Assignment Table. Assignment Table отображает все текущие комбинации классов цепей. **NO\_TYPE** стоит для класса по умолчанию (см. Standard Design Rules). Используйте эту форму для соотнесения набора правил и отдельных комбинаций net classes. В показанном примере вы видите три таблицы записей. Каждая запись представляет уникальную комбинацию классов цепей *default* и *clock*. Первая запись (NO\_TYPE to NO\_TYPE) означает, что если две цепи принадлежащие *default* net class расположены рядом, тогда применяется правило промежутков *default*. Вторая запись (CLOCK to NO\_TYPE) представляет две смежные цепи; одна принадлежит классу *clock* и другая принадлежит классу *default*. В этом случае, правило 10\_MIL\_RULE применяется потому, что цепи clock nets чувствительны к шуму. Третья запись (CLOCK to CLOCK) означает, что если две цепи, принадлежащие классу *clock* смежные, тогда применяется правило 10\_MIL\_RULE. (Вы можете применить, установленный по умолчанию промежуток *default* 5-mil или любой другой набор правил промежутков.).

## The Spacing Rule Set—Step 4



### The Spacing Rule Set—Step 4 Set DRC Modes (Установка режима DRC) Which Rules Get Checked and When (Где, когда и какие правила активны)

Используйте поле All Spacing Check для установки режима DRC для всех значений к одному, потом переключите каждый отдельный режим ограничений, как необходимо. Возможно три режима DRC:

- ✦ **Batch** означает, что значения промежутков только помечаются при запуске DRC. Правила, установленные как Always также проверяются в пакетном режиме. Эта опция может улучшить производительность некоторых интерактивных операций.

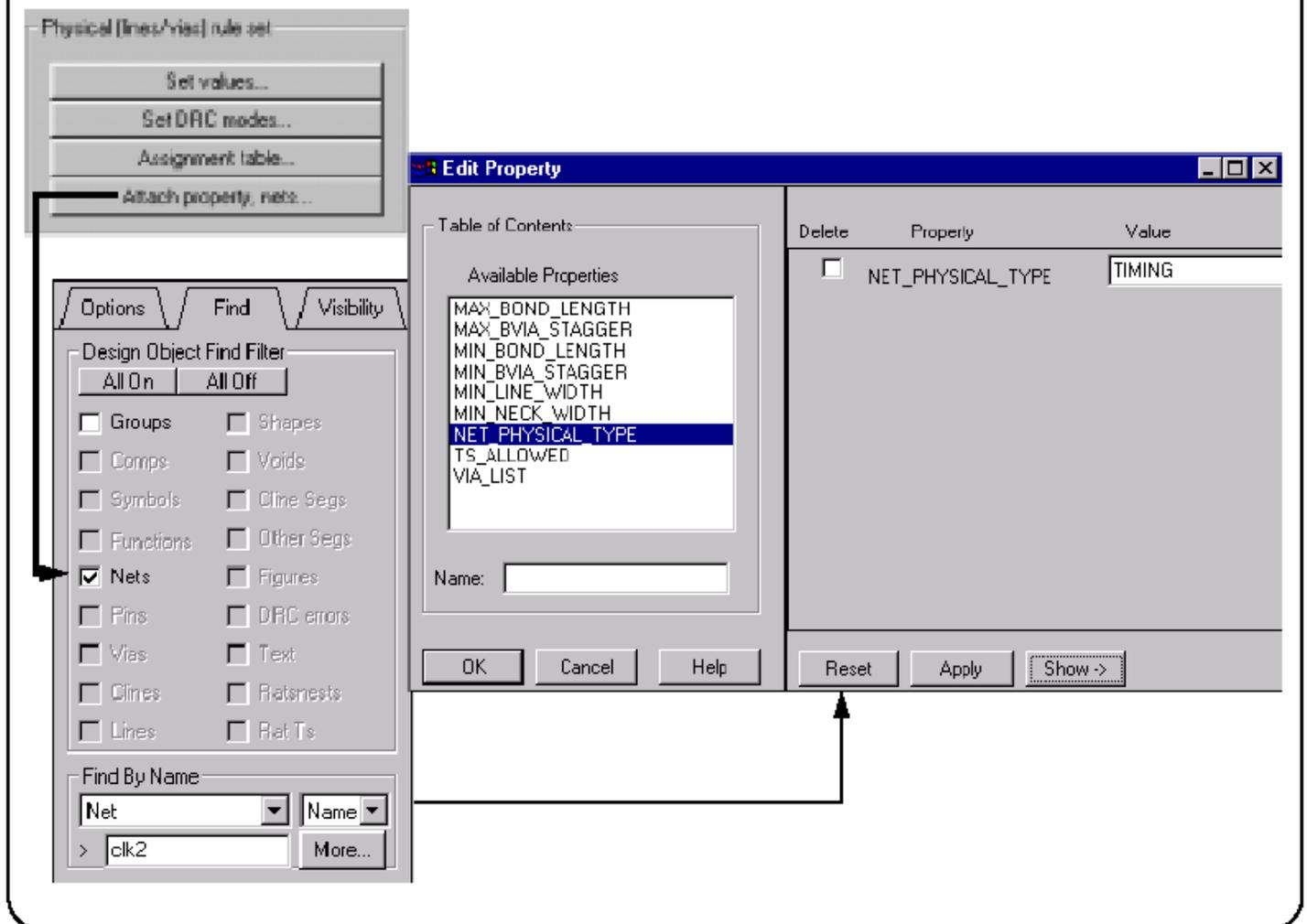
- ✦ **Never** означает, что ограничения никогда не проверяется. Используйте эту опцию, когда используемое ограничение не подходит под требования вашего проекта.

- ✦ **Always** означает, что введенные вами значения - предмет "online" проверки.

По умолчанию, режимы DRC для всех ограничений (кроме Differential Pair) выбраны как Always.

**Внимание:** Режимы DRC применяются для всех наборов правил (нельзя выбрать разные режимы DRC для каждого набора промежутка).

## The Physical Rule Set—Step 1



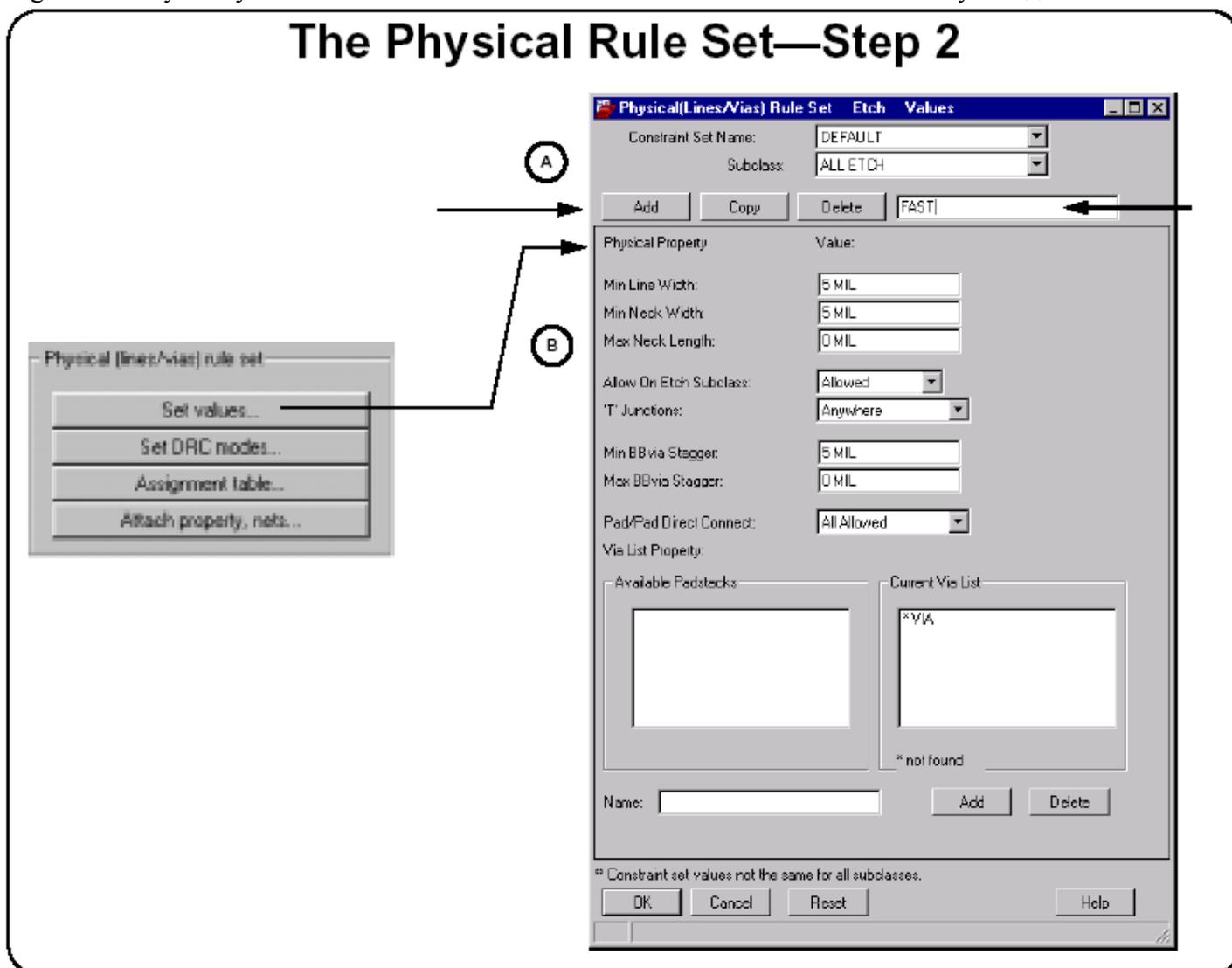
### The Physical Rule Set—Step 1 Attach Property—Nets (Присоединение свойств цепям)

#### Creating a Special Class of Nets (Создание особых классов цепей)

Если для ваших расширенных правил требуется другая ширина проводника для особенных цепей, команда **Attach Property, Nets** в секции Physical Rule Set позволяет вам прикрепить свойство, которое опознает эти цепи.

Используйте Find Filter для определения участвующих цепей, и выберите свойство NET\_PHYSICAL\_TYPE из формы Edit Property. Значение, присвоенное вами свойству NET\_PHYSICAL\_TYPE, потом прикладывается к выбранным цепям. Используйте значение, которое представляет группу или класс многозначительных цепей (такие как clock, data, address, critical, high speed и т.п.).

## The Physical Rule Set—Step 2



### The Physical Rule Set—Step 2 Set Values—Creating a Rule Set (Создание набора правил)

Теперь, когда вы определили, какие цепи требуют особого рассмотрения, команда Set Values позволяет вам создавать соответствующее правило для определения этих требований.

★ **Секция А:** Введите имя набора физических правил, который вы хотите создать и нажмите кнопку **Add** слева. В этой секции вы можете также добавлять и удалять наборы правил. Максимум 31 символ. Дозволены все специальные символы, кроме !@? '.

★ **Секция В:** Определите минимальную требуемую ширину проводника.

**Min Line Width** Определяет ширину проводников.

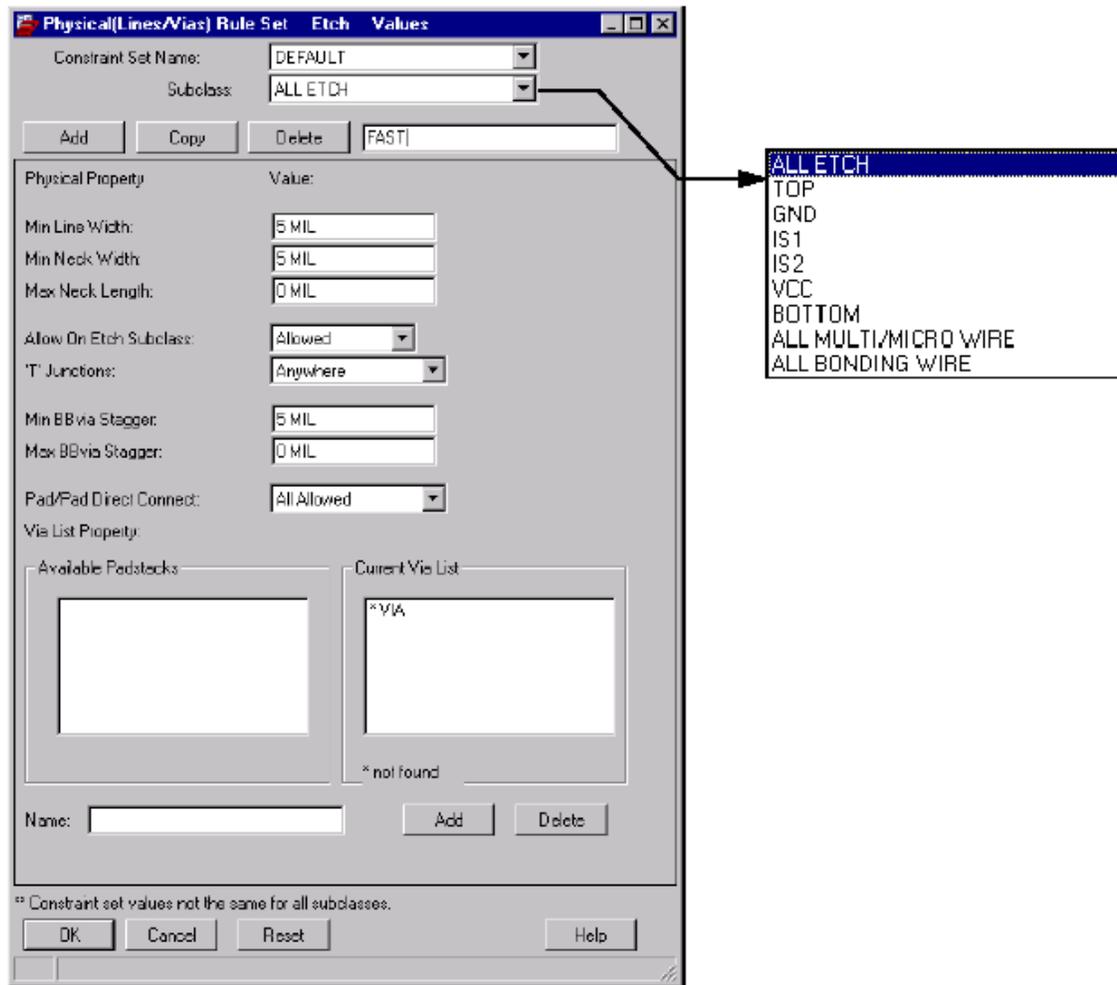
**Min Neck Width** Определяет ширину на участке сужения (только для интерактивной трассировки).

**Max Neck Length** Максимальная длина суженного сегмента проводника.

**Pad/Pad Direct Connect** Опции All Allowed, Via/Pin Allowed, Via/Via Allowed и Not Allowed. Определяет, могут ли появиться соединения без необходимости в проводниках (между контактными площадками).

**Via List Property** Показывает список всех padstacks в вашем проекте. Нажмите на имя padstack чтобы переместить его из списка доступных Padstacks в список Current Via.

## The Physical Rule Set—Etch



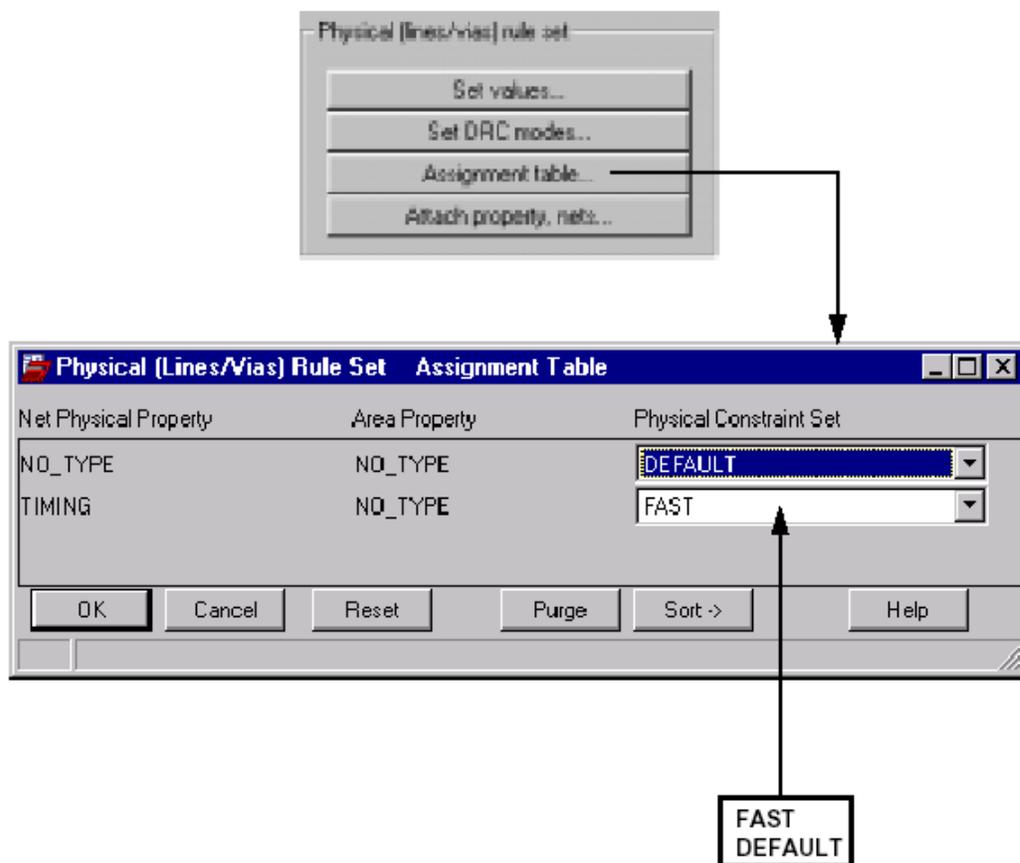
## The Physical Rule Set—Etch (Физические правила для проводящих слоев)

### Setting the Etch Subclass (Выбор слоя проводников)

Вы можете установить значения line width для каждого слоя ETCH. Используйте кнопку скроллинга, в поле Subclass для выбора определенного слоя. Вводимые вами значения относятся только к текущему слою.

Выбор ALL ETCH устанавливает физические значения для всех подклассов ETCH. Используйте данную опцию, если все (или большинство) ваших слоев имеют одинаковые физические правила.

## The Physical Rule Set—Step 3



### The Physical Rule Set—Step 3 Assignment Table (Таблица присваиваний)

#### Applying the Rule Set to the Net Class (Присвоение набора правил классу цепей)

Теперь, когда вы создали net class и набор правил, можно присвоить набор правил классу цепей, используя Assignment Table.

Assignment Table отображает все физические классы цепей. NO\_TYPE стоит для класса по умолчанию (см. Standard Design Rules). Используйте эту форму для того, чтобы поставить в соответствие набор физических правил к определенному классу цепей.

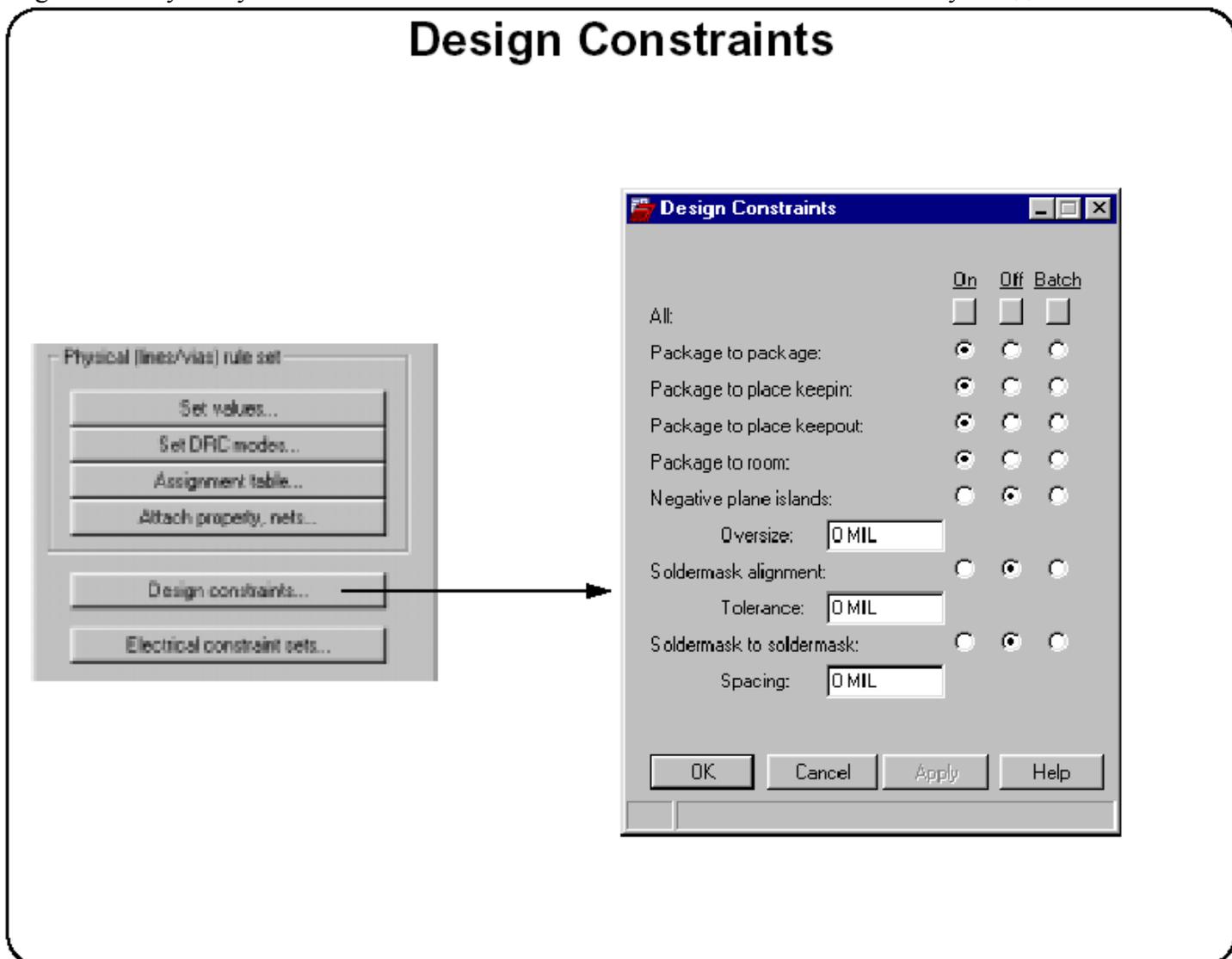
Первая запись (NO\_TYPE) означает, что *определенный по умолчанию* net class управляется набором физических правил DEFAULT.

(см. Standard Design Rules).

Вторая запись (TIMING) означает, что *timing* net class управляется набором физических правил FAST.

Используйте кнопку **Purge**, чтобы убрать не назначенные физические net classes из таблицы.

## Design Constraints



### Design Constraints

Форма Design Constraints используется для установки режима проверки расстановки, паяльной маски и островов металлизации. Правила проверки запускаются или не запускаются во всем проекте: это значит, что данные ограничения проверяются на глобальном уровне.

#### **Package to Package, Package to place keepin и Package to place**

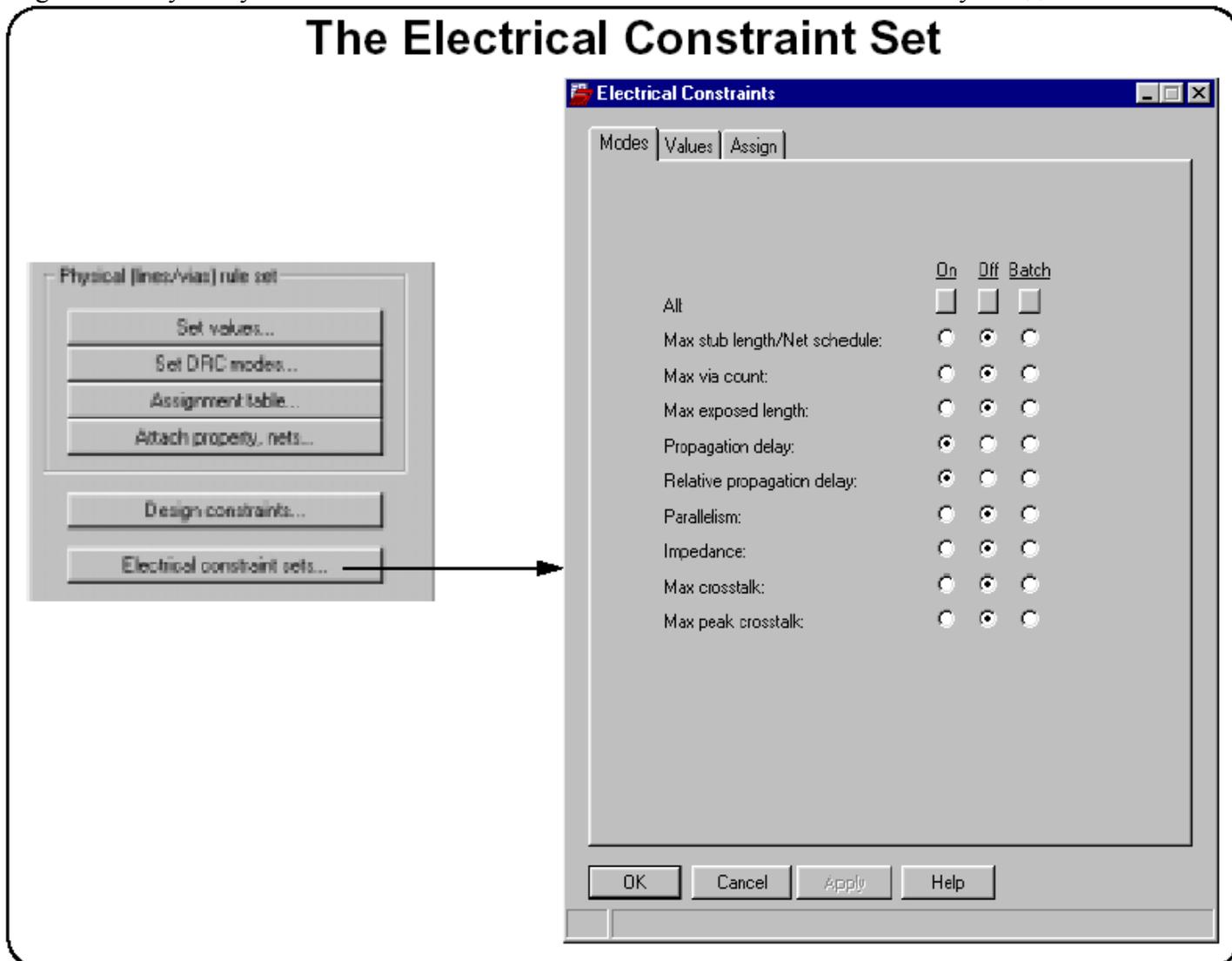
**keepout** проверяют границы детали на печатной плате по отношению к границам другой детали, к расположению форм keepin и keepout. Если ограничение включено, DRC будет запущен, если имеется какое-либо налегание форм соответствующих типов друг на друга. Для запуска DRCs для **Package to room**, вы должны также прикрепить свойство ROOM\_TYPE со значением HARD.

Ограничение **Negative plane islands** используется для проверки изоляции при использовании отрицательной области металлизации. Это обычно происходит в последовательности перекрывающих тепловых барьеров и/или anti-pads и создает разрыв. Значение **Oversize** используется для увеличения геометрии pad до того, как завершена проверка форм островов безопасности.

Ограничение **Soldermask alignment** проверяет зазоры между pad, soldermask и part soldermask.

Ограничение **Soldermask to soldermask** проверяет наличие минимального промежутка между любыми типами soldermask определенными в проекте (pin/via/part soldermask).

## The Electrical Constraint Set



### The Electrical Constraint Set (Группа электрических ограничений)

Если вашему проекту требуются высококачественные свойства и анализ непрерывности сигнала определенных цепей, используйте секцию Electrical Constraint Set для нахождения этих цепей и определения правил.

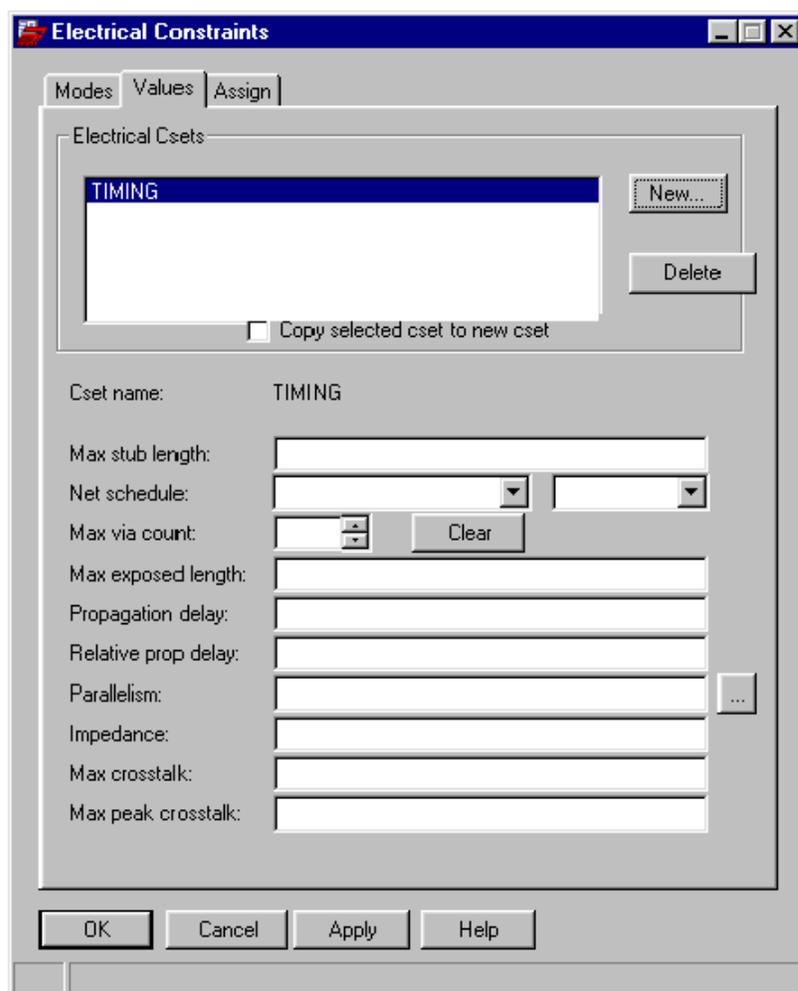
Используйте Modes Folder Tab, чтобы выбрать режим DRC для Electrical Constraints.

Возможны три режима DRC:

- ✦ **On** означает, что вводимые вами электрические значения являются предметом “online” проверки.
- ✦ **Off** означает, что электрические ограничения никогда не проверяются. Используйте это свойство, когда используемые электрические ограничения не соответствуют требованиям вашего проекта.
- ✦ **Batch** означает, что электрические значения только отмечаются при проверке DRC всего проекта.

**Внимание:** Режимы DRC применяются для всех наборов электрических правил (нельзя выбрать разные режимы DRC для каждого набора электрических правил).

## The Electrical Constraint Set—Setting Values



### The Electrical Constraint Set— Setting Values (Группа электрических ограничений – Установка значений)

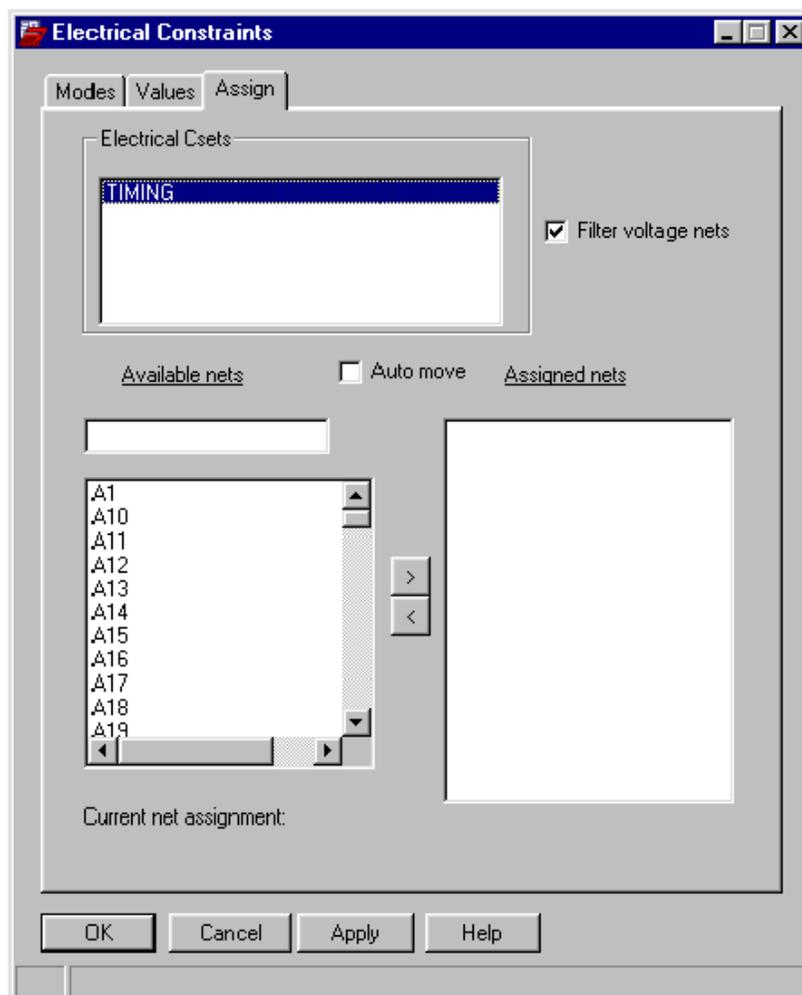
Ярлык **Values** используется для создания новых наборов электрических ограничений и определяет правила для набора ограничений. Секция формы **Electrical Csets** показывает список всех доступных на данный момент наборов электрических ограничений. Чтобы создать новый набор, выберите кнопку **New** и введите новое имя в появившуюся форму.

Вы можете скопировать существующий набор ограничений в новый, выбрав опцию **Copy selected cset to new cset**. Если вы не используете эту опцию, по умолчанию создается новый набор ограничений без установленных значений.

Для установки или изменения значений набора электрических ограничений, вначале выберите желаемое имя в секции **Electrical Csets**. Текущие значения будут отображены в нижней секции формы. Вы теперь можете изменять любые требуемые значения.

Для сохранения внесенных изменений, нажмите кнопку **OK** снизу формы. Если вы не хотите сохранять изменения, нажмите кнопку **Cancel** чтобы закрыть форму без изменения базы данных.

## The Electrical Constraint Set—Assigning Nets



### The Electrical Constraint Set—Assigning Nets (Группа электрических ограничений – Назначение цепей)

После создания электрических ограничений и выбора значений, следующий шаг – определить цепи, которые должны использовать наборы ограничений. Закладка **Assign** используется для завершения этого шага.

- ★ Выберите набор электрических ограничений из секции **Electrical Csets** в который вы хотите установить цепи.

- ★ Выберите цепи из секции **Available nets** и переместите их в секцию **Assigned nets** используя кнопку “>”. Используйте опцию **Auto move**, чтобы избежать лишних нажатий кнопки “>”.

С включением этой опции, когда вы выбираете цепь, она автоматически перемещается в другую секцию. Это работает для перемещения цепей из секции **Available nets** в секцию **Assigned nets** и обратно.

Если вы включите опцию **Filter voltage nets**, то цепи, к которым прикреплено свойство “Voltage” не появятся в секции **Available nets**.

Чтобы сохранить совершенные изменения, выберите кнопку **OK** внизу форму. Если вы не хотите сохранять изменения, выберите кнопку **Cancel**, чтобы закрыть без обновления базы данных.

## Introducing the Constraint Manager

### The Next Step in Correct-by-Design

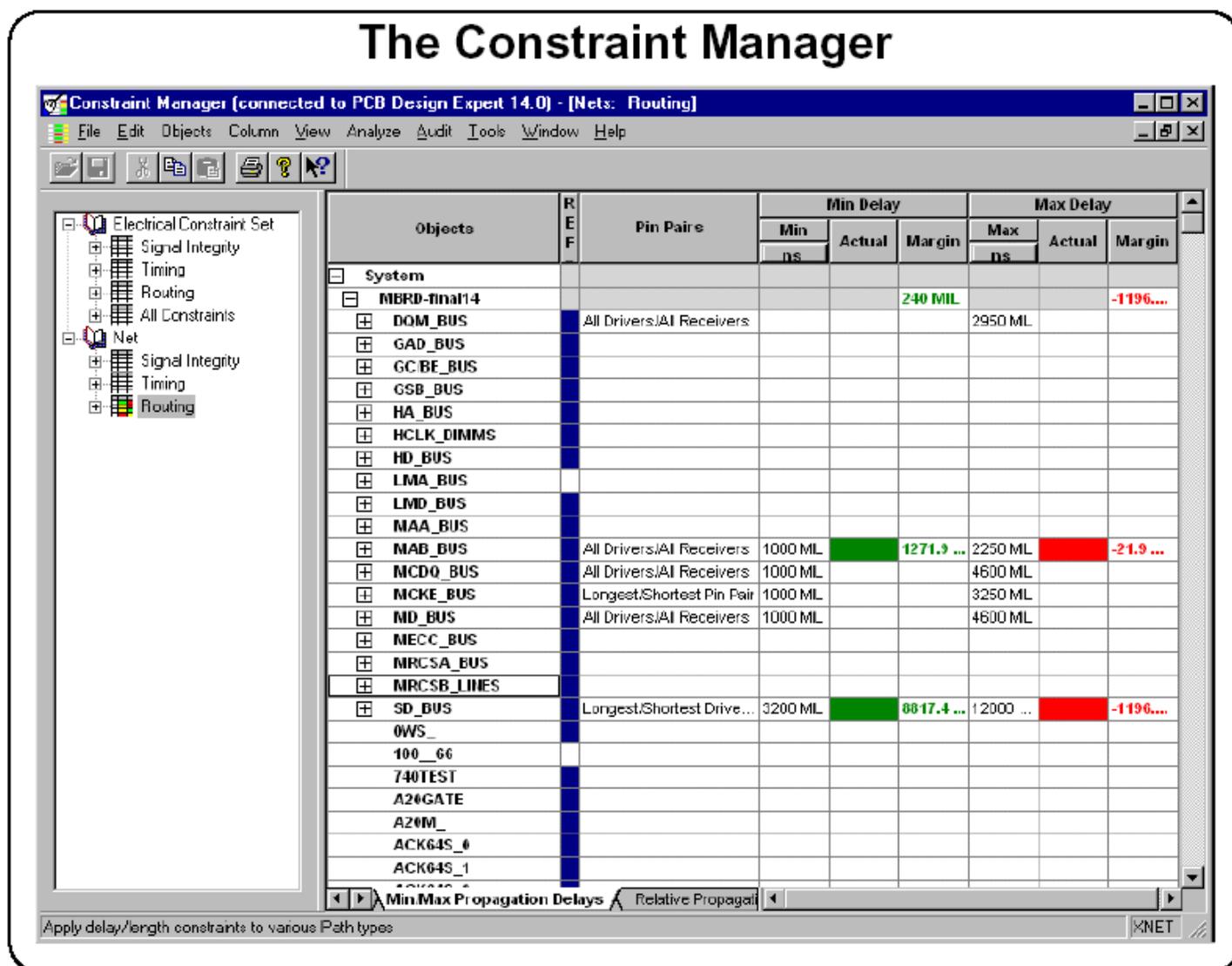
- Design Process Issues
- The Constraint Manager
- Constraint Manager—Key Features
- Constraint Manager—the ECSet
- Constraint Manager—Object Hierarchy
- Design Flow Using Constraint Manager

## Introducing the Constraint Manager

Constraint Manager – межплатформенное приложение, используется для управления высокоскоростными электрическими ограничениями через инструменты Cadence PCB. Constraint Manager позволяет вам создавать, просматривать и утверждать ограничения на каждом этапе процесса проектирования, от начала проекта (в Concept HDL), планирования общей топологической структуры (в SPECSTRAQuest Expert) до реализации проекта (в Allegro, Advanced Package Designer Expert или SPECSTRA). Вы можете также использовать Constraint Manager с SigXplorer Expert для исследования топологии схемы.

### Design Process Issues (Процесс проектирования)

- ✦ Комплексные проекты становятся сильно насыщены ограничениями.
  - У более чем 50% сигналов высокоскоростные правила.
  - Множество ограничений обычно существует на каждой цепи.
  - Существующие принципы работы делают трудным управление большим числом ограничений.
- ✦ Ограничения должны управляться иерархически.
  - Связывать целые классы сигналов одними правилами.
  - Аннулировать ограничения на отдельных цепях.
- ✦ Управление ограничениями должно иметь место на всем протяжении проекта.
  - Требуется общий метод ввода, управления и проверки ограничений в проекте.



## The Constraint Manager (Менеджер ограничений)

✦ Единая, мощная среда для ввода, редактирования, управления и контроля электрических ограничений.

✦ Единый механизм управления ограничениями для всего процесса проектирования

✦ Иерархическое управление ограничениями

В Constraint Manager, вы работаете с объектами и наборами электрических ограничений (ECSets). Вы определяете один или более ECSets, удовлетворяющий требованиям вашего проекта в области электрических ограничений. Потом вы приписываете соответствующие ECSet объектам вашего проекта, меняя присвоенные ECSet (или переопределяя текущие ECSet) по мере изменения требований вашего проекта.

ECSet могут касаться любого числа объектов в вашем проекте. Объекты и ECSets могут быть характерны для всего проекта или могут относиться к определенной цепи в проекте.

## Constraint Manager—Key Features (Ключевые свойства)

- ✦ Табличный графический интерфейс.
- ✦ Одновременный захват ограничений во всем проекте.
  - Ограничения могут быть использованы в схеме и базах данных PCB одновременно и независимо.
  - Design Sync синхронизирует ограничения проекта между базами данных.
- ✦ Поддерживает ограничения системного уровня.
- ✦ Тесная интеграция с инструментами проекта.
  - Таблица обновляется по мере помещения проектов или трассировки цепей.
  - Инструменты анализа могут обновлять данные таблицы интерактивно.
  - Отсутствует отдельная база данных ограничений.

Constraint Manager – графический табличный интерфейс пользователя для определения и контроля ограничений. Constraint Manager проводит обновление базы данных Allegro для поддержки таких объектов, как Xnets, diff pairs, и buses. Шаблон топологии и электрическое ограничение становятся одним целым, и представляют большой сдвиг на пути управления и хранения высокоскоростных ограничений.

Шаблон топологии будет использоваться для разработки ограничений на базе анализа. По назначению nets/Xnets в базе данных Allegro, создается соответствующий набор электрических ограничений, и ему приписываются nets/Xnets. Для поддержки связности Xnet, модели непрерывности сигналов становятся частью базы данных Allegro, с signal integrity models, хранящимися в базе данных.

## Constraint Manager—the ECSet

Набор Электрических ограничений (ECSet)

- ✦ Все электрические ограничения теперь видны в ECSet
  - ✦ Применяется к Bus, Differential Pair, Xnet или Net, чтобы управлять расстановкой и трассировкой
  - ✦ Свойства уровня цепей, теперь исключение, а не управляющее действие. Набор электрических ограничений (ECSet) – коллекция ограничений и их определенных значений, которые отражают требования конкретного проекта. Вы можете использовать любые электрические ограничения, включая информацию, относящуюся к топологии, в ECSet.
- Следующие правила применяются к ECSets:
- ✦ Все ECSets действуют под соответствующем Проектом или Системой и могут быть отнесены только к объектам внутри того же Проекта или Системы.
  - ✦ ECSets могут относиться к любому числу объектов цепи (bus, diff pair, Xnet или net), но объект может относиться лишь к одному ECSet.
  - ✦ Вы не можете удалить ECSet, не удалив вначале все объекты цепей, относящиеся к ECSet.

## Constraint Manager—Object Hierarchy

INHERITANCE	
System	Mutli-PCB Configuration
Design	Single PCB
Bus	Named collection of Diff Pairs, XNets, or Nets
Diff Pair	Pair of XNets or Nets to be routed differentially
XNet	eXtended Net comprised of Nets connected through resistors or connectors
Net	Basic connectivity as defined in schematic
Match Group	Named collection of XNets, Nets, and/or Pin Pairs for match delay requirements
Pin Pair	Pair of Pins implying a connection that must be on the same XNet or Net
OVERRIDES	

### Constraint Manager—Object Hierarchy (Иерархия объектов)

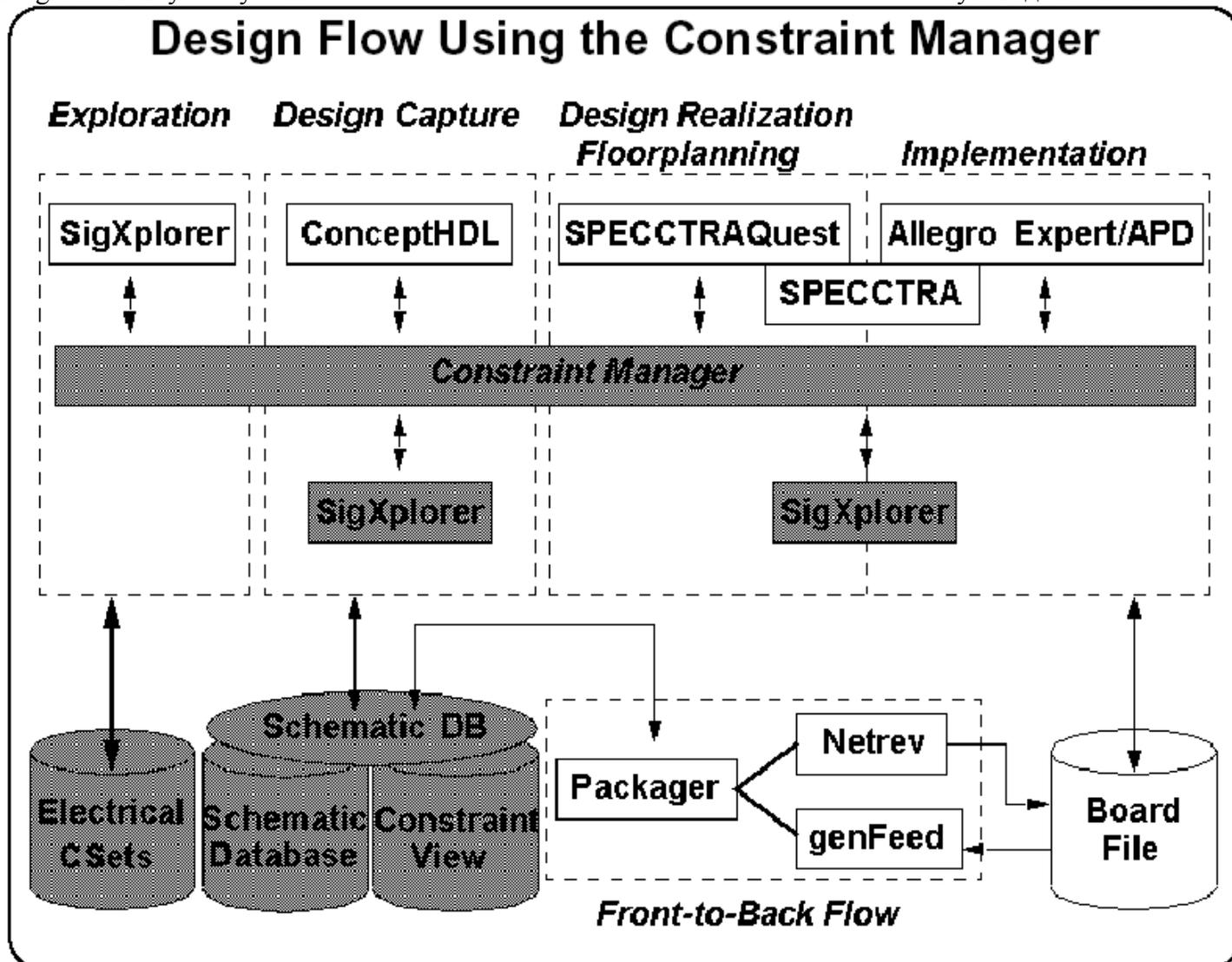
The Constraint Manager устанавливает ранг старшинства объектам вашего проекта; главный объект - System, самый младший - pin-pair.

✦ Самый главным объект - System.

— В большинстве случаев это один проект, но может быть собрание проектов.

— Вся информация System, включая Ограничения, хранится в новой структуре базы данных (.scf).

✦ Соединения между границами PCB могут управляться в Constraint Manager. Ограничения, которые вы определяете для верхнего объекта иерархии, наследуются следующим нижестоящим объектом. Ограничения, которые вы определяете на нижних уровнях иерархии объектов, аннулируют такие же ограничения, определенные на вышестоящем уровне иерархии.

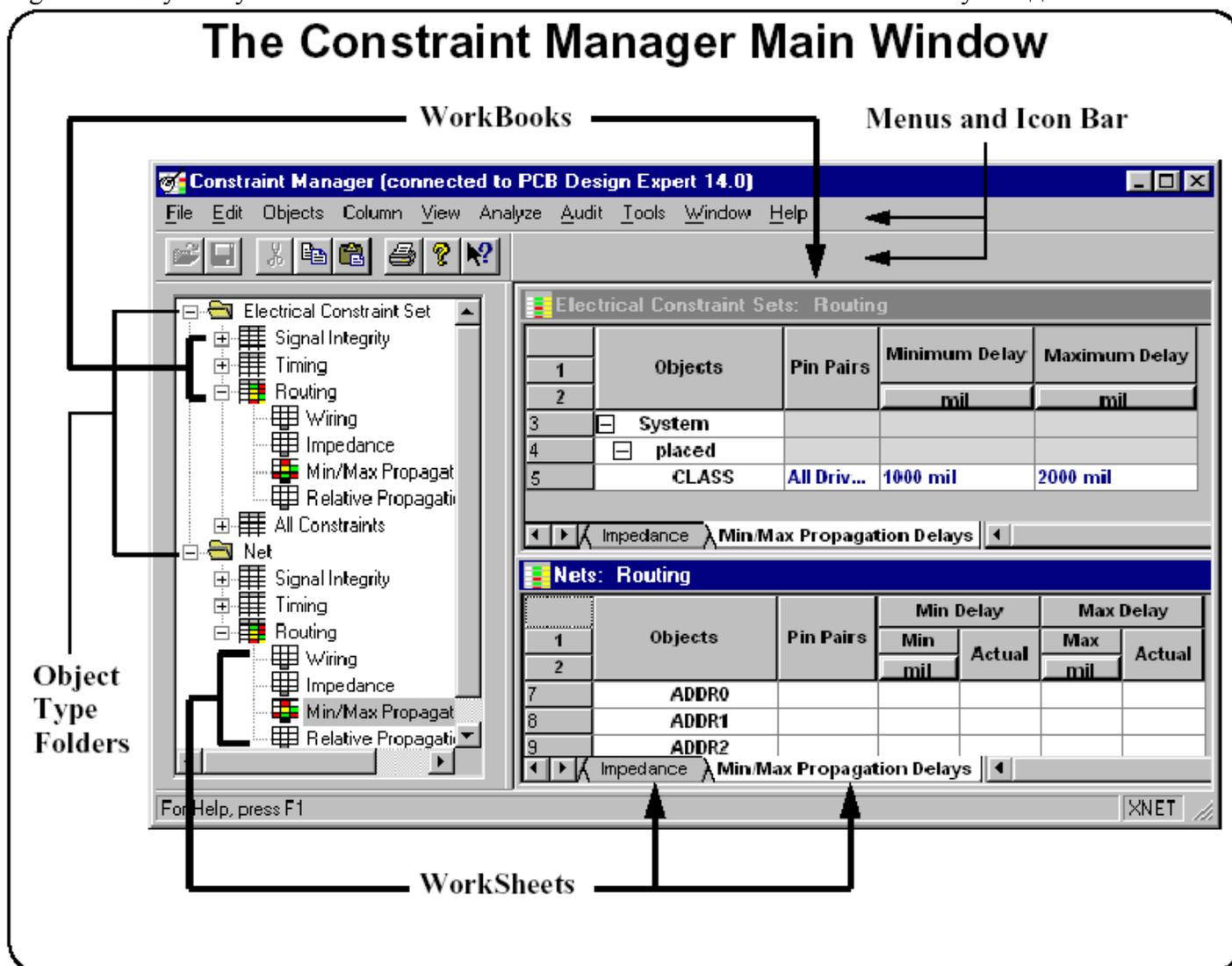


## Design Flow Using the Constraint Manager (Использование Constraint Manager в процессе проектирования)

Типичный процесс проектирования, используемый в Constraint Manager, содержит следующие фазы. Каждая фаза в процессе проектирования требует разных инструментов. Constraint Manager представляет собой общую среду для управления высокоскоростными электрическими ограничениями, через инструменты процесса проектирования.

Phase	Tools Used
Exploration	SigXplorer
Capture	Concept HDL
Floorplanning	SPECCTRAQuest/Allegro/APD/SPECCTRA
Implementation	SPECCTRAQuest/Allegro/APD/SPECCTRA

**Внимание:** Не все фазы в процессе проектирования обязательны. Например, новый проект может быть производным от предшествующего. В этом случае, могут не понадобиться фазы exploration и floorplanning. Информация о базах данных платы и схемы синхронизируется, с помощью Design Sync. Design Sync будет синхронизировать только те ограничения, которые были изменены, позволяя, таким образом, командам проектировщиков работать одновременно.



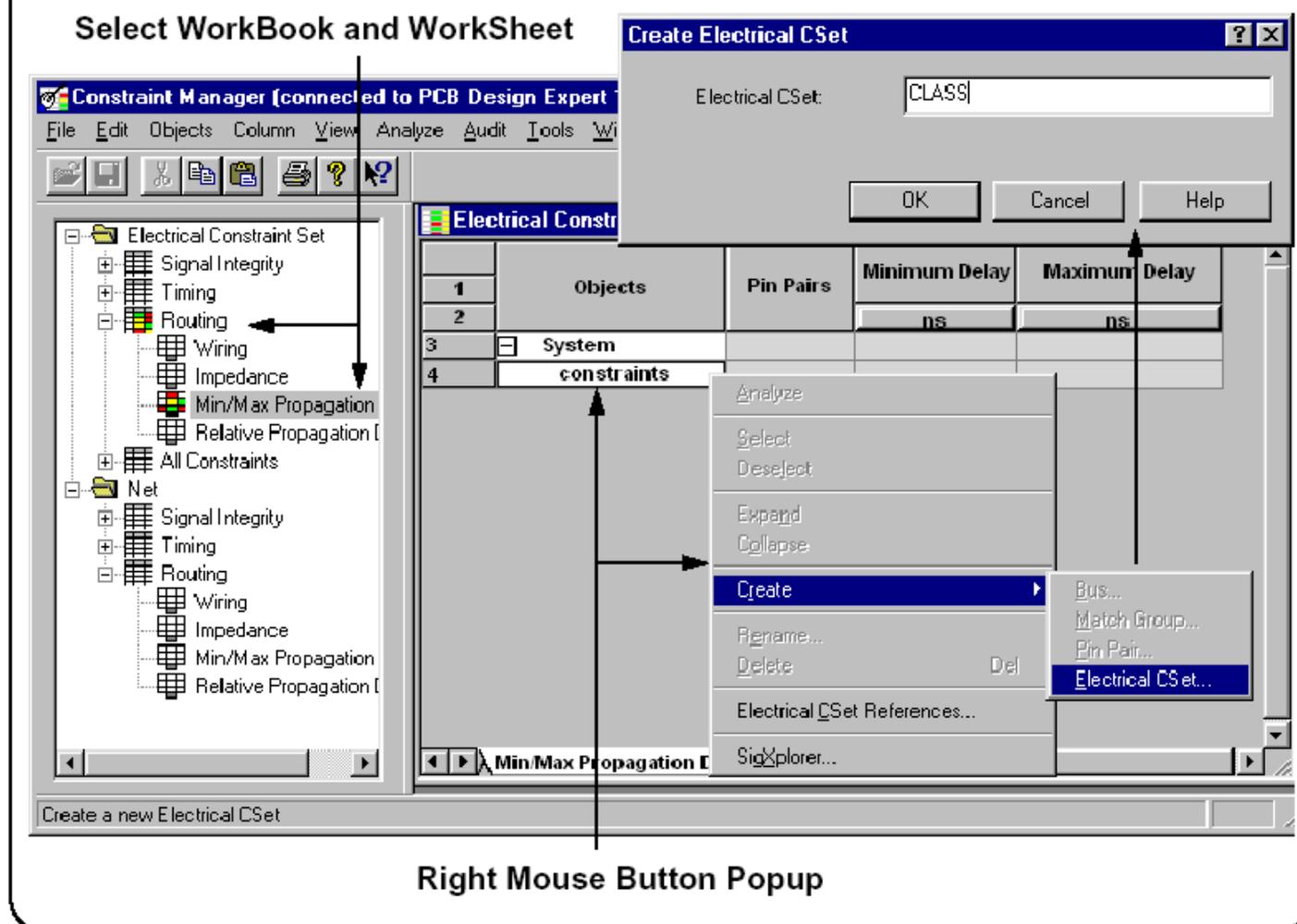
## The Constraint Manager Main Window (Главное окно Constraint Manager)

В дополнение к типовым меню и панели иконок, окно Constraint Manager содержит несколько важных зон:

- ★ **Object Type Folders** – Две папки для использования в Constraint Manager Window: папка *Electrical Constraint Set*, где вы определяете общие правила и создаете общие группы объектов и папка *Net*, где вы создаете группы и правила, привязанные к конкретной цепи.
- ★ **Work Books** – Формирует объекты по разделам проекта: *Signal Integrity*, *Timing* и *Routing*. Дополнительно, рабочая область *All Constraints* доступна в папке *Electrical Constraint*, которая объединяет ограничения из всех подобластей, для предоставления вам глобального обзора.
- ★ **WorkSheets** – Содержат ограничения базового уровня. Существуют predetermined WorkSheets и ограничения, доступные для каждой рабочей области. Например, в *Routing* WorkBook, имеется WorkSheet с именем *Min/Max Propagation Delays*, где вы устанавливаете *Minimum Delay* и *Maximum Delay*, дозволённых при *Routing*.

Активная workbook и активный worksheet, внутри активной workbook выделяются цветом в workbook selector.

## Creating an Electrical Constraint Set

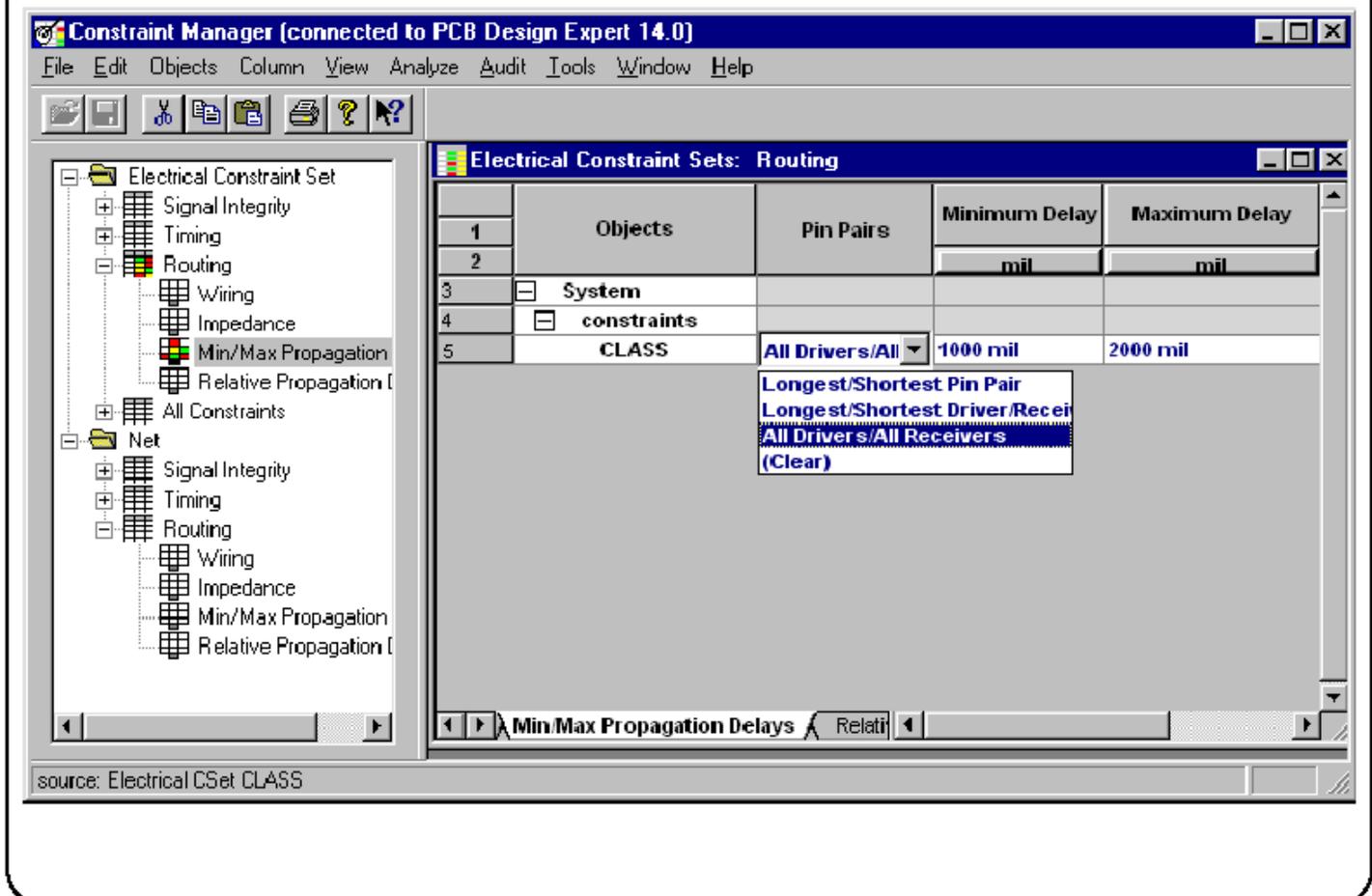


### Creating an Electrical Constraint Set (Создание набора ограничений)

Набор электрических ограничений (ECSet) – собрание ограничений, и их определенных значений, которые отражают требования конкретного проекта. Предпочтительнее создать ECSet, поскольку один набор может быть применен ко многим объектам, таким как nets, designs или даже целой системе. Показана серия шагов, которые могут быть использованы при создании ECSet.

- ✦ Выберите соответствующие Workbook и Worksheet под папкой Electrical Constraint Set folder. В данном примере, были выбраны Routing Workbook и Routing Worksheet.
- ✦ Выберите меню **Objects—Create—Electrical Cset** или выберите объект с помощью правой кнопки мыши, потом выберите **Create—Electrical Cset**. В этом примере, ограничения проекта были выбраны правой кнопкой мыши.
- ✦ В Create Electrical Set, введите имя нового создаваемого ECSet.

## Setting the ECSet Values

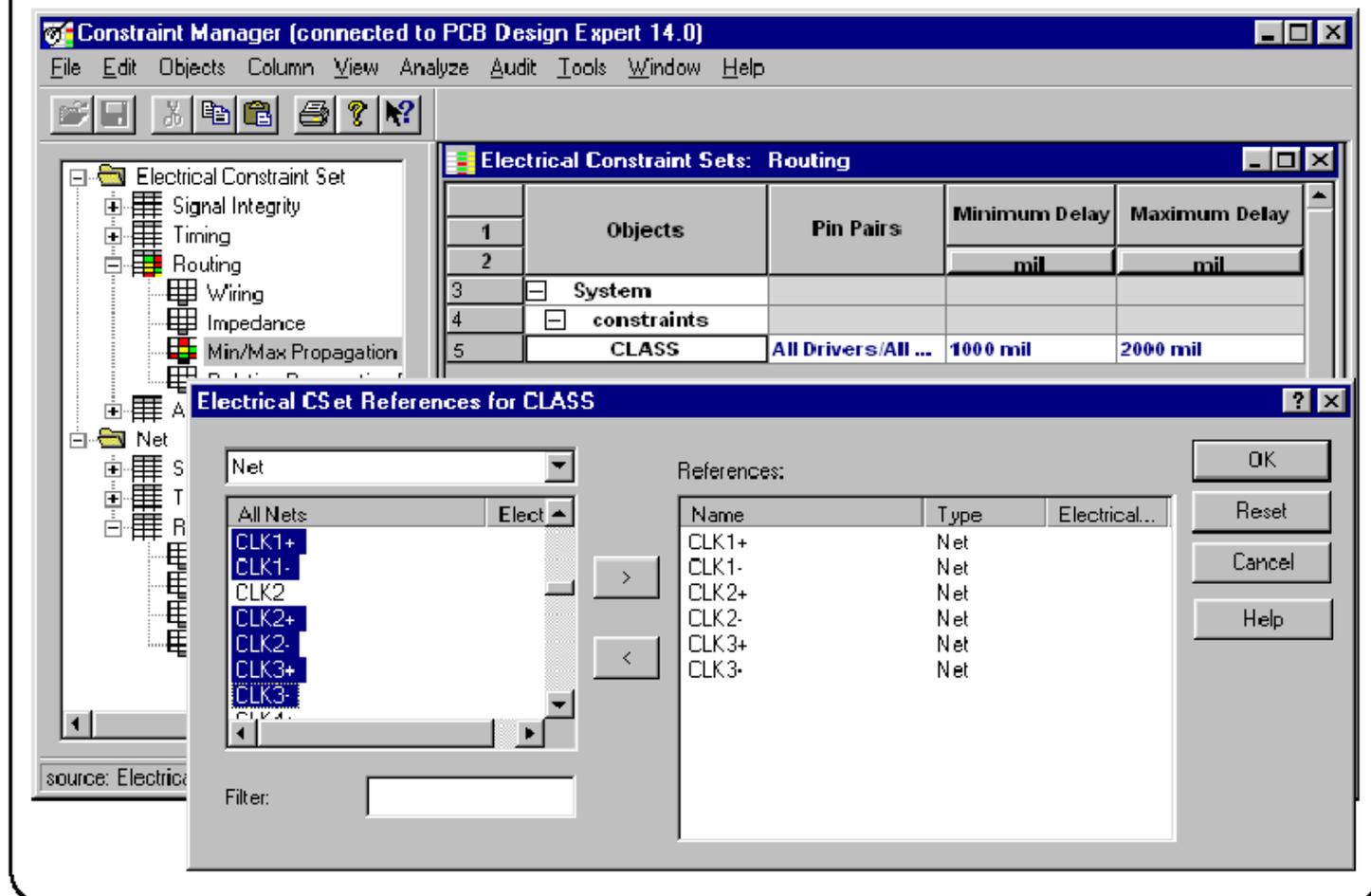


### Setting the ECSet Values (Присвоение значений)

После создания Electrical Constraint Set, вашим следующим шагом будет выбор значений для параметров набора. Значения, которые вам требуется определить будут различаться, в зависимости от выбранных Workbook и Worksheet. В данном примере, после выбора Routing Workbook и Min/Max Propagation Delays Worksheet, значения, которые нужно определить находятся в определении Pin Pair, Minimum Delay и Maximum Delay.

## Assigning the ECSet to Objects

### Objects—Electrical CSet References



### Assigning the ECSet to Objects (Назначение наборов правил объектам)

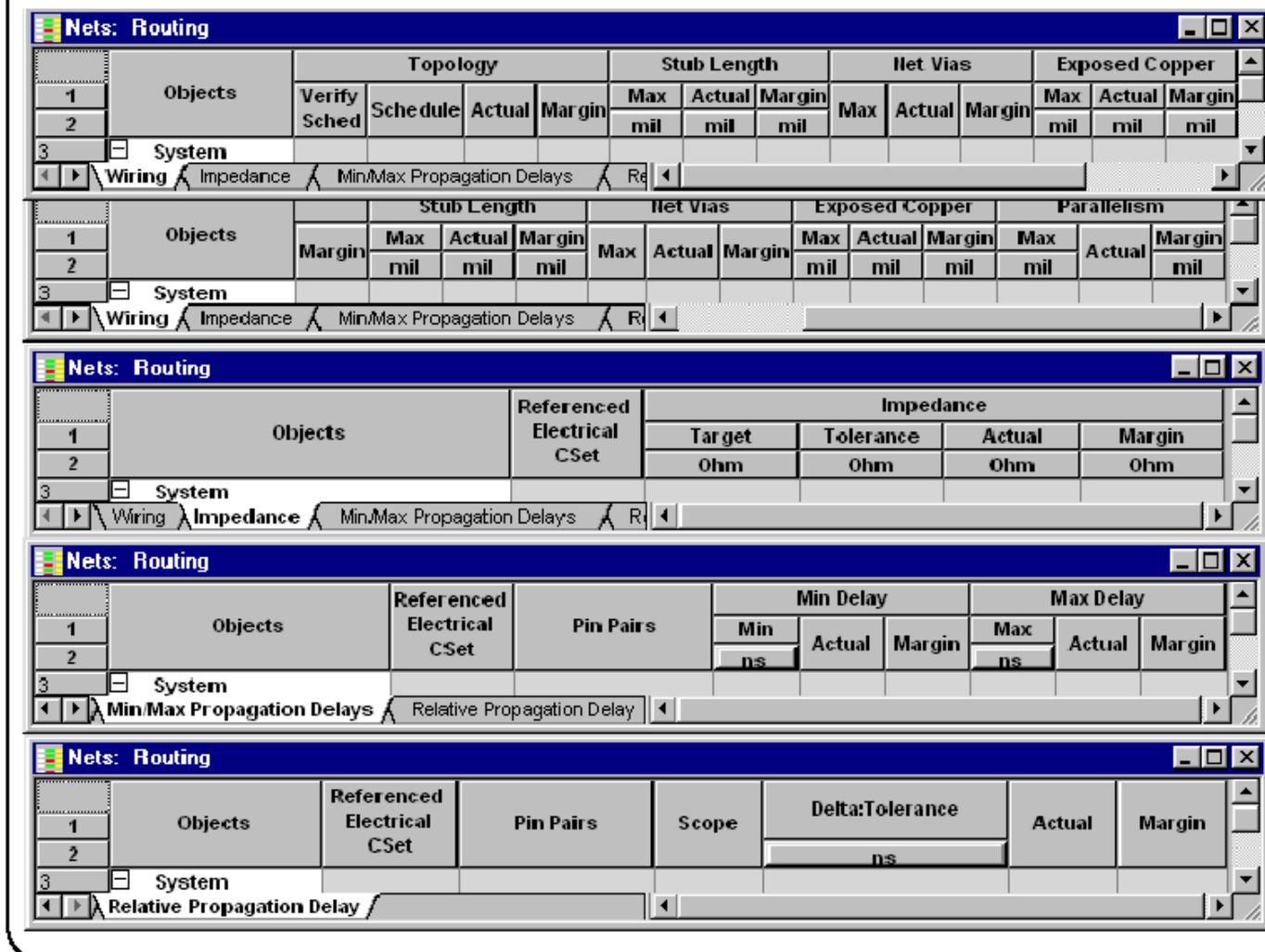
После создания ECSet и установки значений, вам нужно соотнести объекты внутри проекта к ECSet. Вы можете использовать меню **Objects—Electrical Cset References** или выбрать, используя правую кнопку мыши на имени ECSet, в колонке Objects **Electrical Cset References**.

Появится форма **Electrical Cset References**. Выберите тип задаваемого объекта. Вы можете выбрать Bus, Diff Pair, Net или XNet. Список доступных объектов будет показан в окне скроллинга под типом выбранного объекта.

Потом выберите имена, которые должны быть приписаны к текущему ECSet. Вы можете использовать стандартные опции кнопок мыши Windows NT Explorer, включая single select, shift-select и ctrl-select.

После выбора и отметки требуемых объектов, используйте кнопку ">" для перемещения выбранных объектов в список **References**. Вы можете также использовать кнопку "<" для удаления объектов из списка **References**, если вы случайно ошибетесь.

## The Routing WorkBook



### The Routing WorkBook (Рабочая область трассировки)

Routing WorkBook содержит четыре отдельных подобласти (Worksheets).

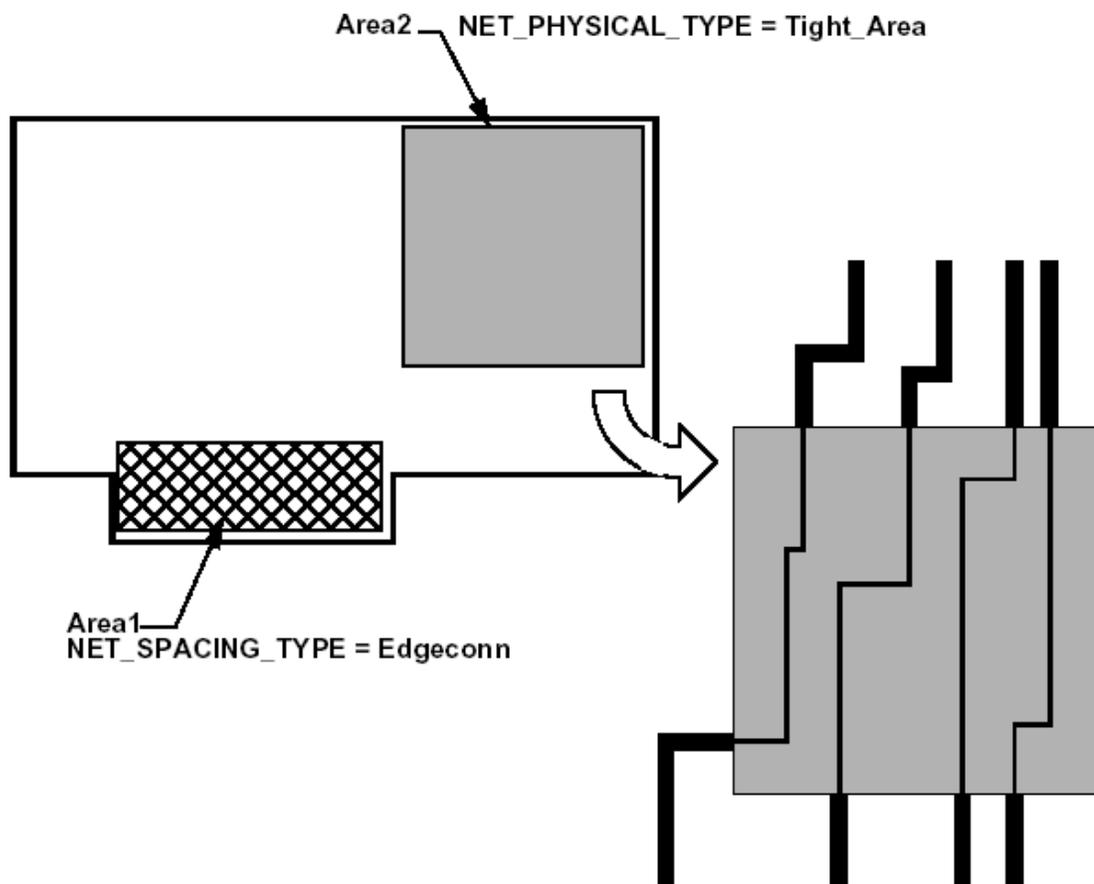
**Wiring** Worksheet используется для контроля за физической трассировкой. Ограничения, содержащиеся в этом WorkSheet: *Topology* (Verify Schedule и Schedule), *Stub Length*, *Net Vias*, *Exposed Copper* и *Parallelism*.

**Impedance** Worksheet используется для контроля импеданса. Ограничения, содержащиеся в этом WorkSheet: *Target Impedance* и *Tolerance*.

**Min/Max Propagation Delays** Worksheet используется для контроля min и max задержки распространения сигнала (Propagation Delay). Ограничения, содержащиеся в этом WorkSheet: *Pin Pairs*, *Min Delay* и *Max Delay*.

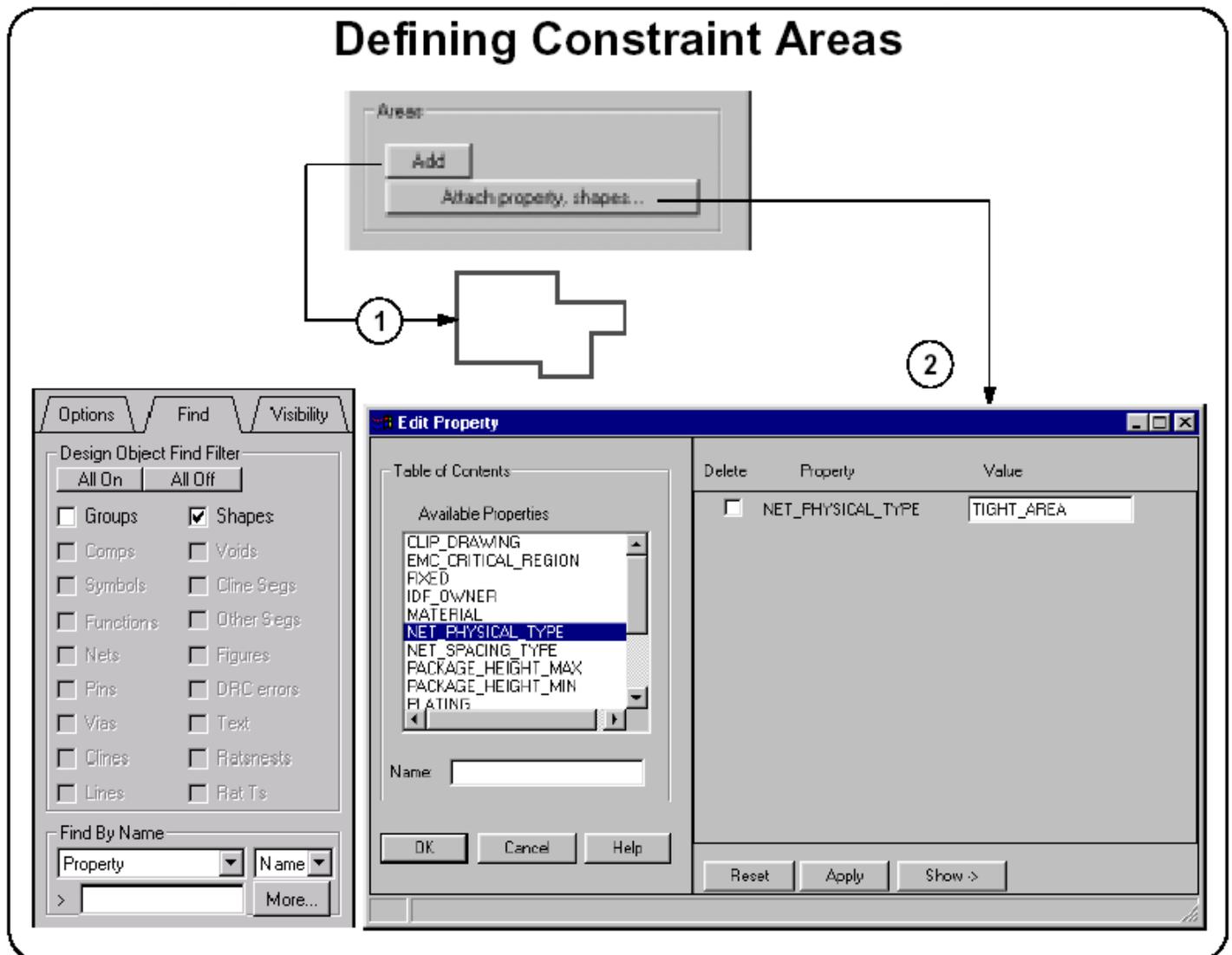
**Relative Propagation Delay** Worksheet используется для контроля взаимного (relative) или сравнительного (match) propagation delay. Ограничения, содержащиеся в этом WorkSheet: *Pin Pairs*, *Scope* и *Delta:Tolerance*.

## Constraint Areas



### Constraint Areas

Constraint area – область на плате, которая имеет свой собственный прикрепленный физический или пространственный набор ограничений. В показанном примере, форма, названная *Area1*, имеет прикрепленное свойство называемое *Edgeconn*. В этой зоне требуется via-to-surface mount pin расстояние в 100 mils. Вам нужно создать набор правил, который устанавливает это пространственное требование, и потом приписать его к этой зоне. Форма, подписанная как *Area2* – зона плотной разводки. Используйте свойство *NET\_PHYSICAL\_TYPE*, чтобы назвать зону *Tight\_Area*. Вам также нужно создать набор правил, который определяет line width в 5 mils, и приписать его этой зоне. Прописывая, что все цепи, входящие в эту зону автоматически будут “уменьшаться” до нужной ширины, возвращаясь к своей настоящей при выходе (не включая high-speed или controlled impedance signals), можно увеличить число завершенных соединений при трассировке этой зоны. Зона ограничений может также быть встроена в package symbol. Symbol Editor позволяет определять форму зоны ограничений и приписывать имя набора ограничений зоне. Правила в Constraint area действуют на все слои. Используя Assignment Tables, вы определяете набор правил, которых придерживается цепь при входе в зону ограничений.



## Defining Constraint Areas (Создание областей ограничений)

### Шаг 1: Add the Area Shape (Определение формы области)

Используйте команду **Add** в форме Constraints Master для определения геометрии зоны. Когда вы выберете кнопку **Add**, форма Options устанавливается к классу Board Geometry, подкласс *Constraint\_Area* (автоматически). Это слой, в котором хранится форма зоны. Нажмите левую кнопку для выбора многоугольника. Используйте форму Options для контроля режимов line/arc lock.

### Шаг 2: Attach a Physical and/or Spacing Property to the Area

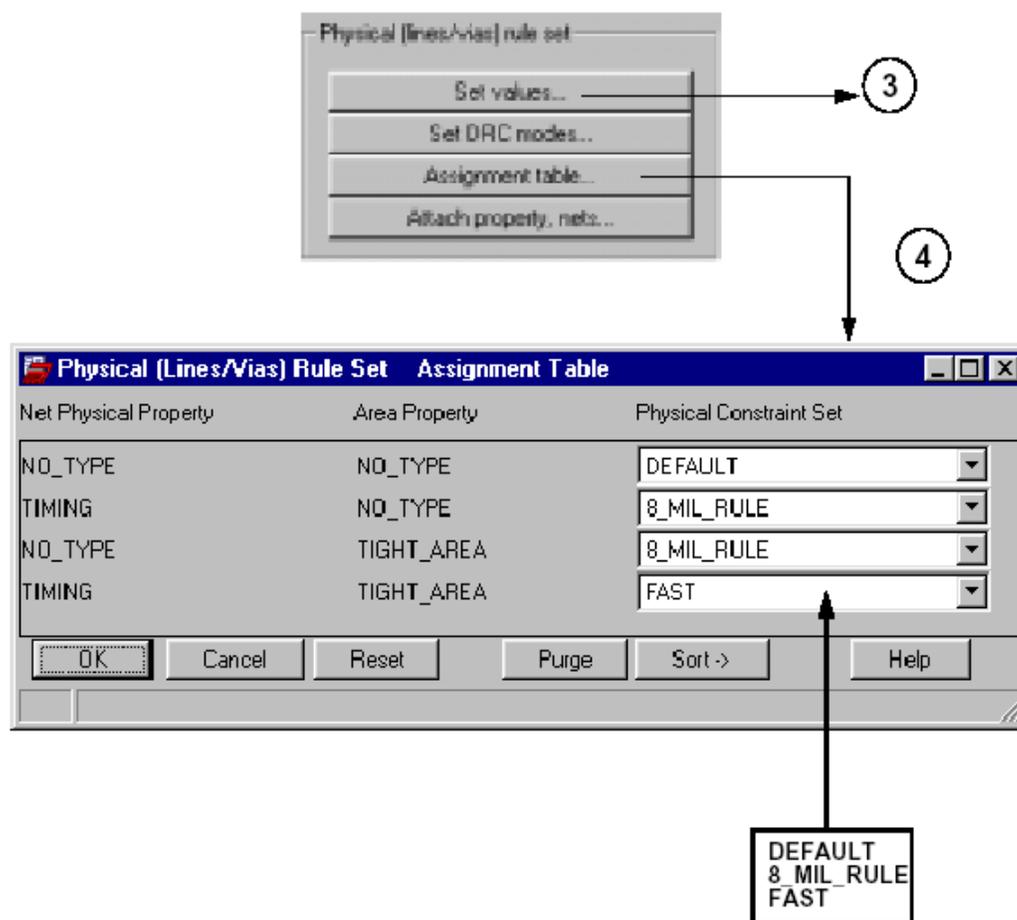
Когда форма зоны закончена, прикрепите физическое и/или пространственное свойство используя команду **Attach Property, Shapes**.

Выберите многоугольник зоны и используйте форму Edit Property для выбора *Net\_Physical\_Type* или *Net\_Spacing\_Type* (или обоих) из списка. Прикрепите значение, или "имя", которое выражает то, что вы стараетесь выполнить в той зоне (например, *Tight\_Area*).

**Внимание:** Find Filter для выбора многоугольной формы содержит только шаблоны или прямоугольники. (Если вы используете команду **Add—Line** для определения зоны, вам не потребуется входить в подкласс *Constraint\_Area*.)

Нельзя прикреплять электрические ограничения к зонам ограничения constraint.

## Defining Constraint Areas—Rule Set



## Defining Constraint Areas—Rule Set (Создание областей ограничений – Набор правил)

### Шаг 3: Define the Required Rule Set (Объявление необходимого набора правил)

Создайте физический или пространственный набор правил, который вы приписываете зоне ограничений (например, 12MIL LINE или 10MIL SPACE). Этот процесс рассматривался в предыдущих секциях этой главы. Вернитесь и повторите команды Set Values и Set DRC Mode для физических и пространственных наборов правил.

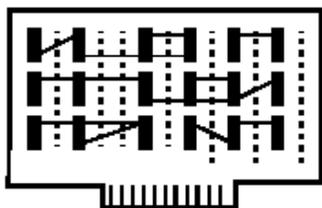
### Шаг 4: Assign the Rule Set to the Constraint Area (Присвоение набора правил области)

Таблицы присвоения физических и пространственных правил содержат ячейки "Area Property" для пространственных и/или физических свойств, прикрепленных вами в Шаге 2. Используйте эти таблицы для определения, применяет или нет цепь, набор правил зоны ограничений или содержит свои начальные правила.

**Внимание:** Когда две или более зоны ограничений перекрываются, DRC выбирает наиболее консервативное значение ограничения между указанными ограничениями.

## Technology Files

### File — Export — Techfile



Board A

```
techfile -w <layout> <techfile name>
```

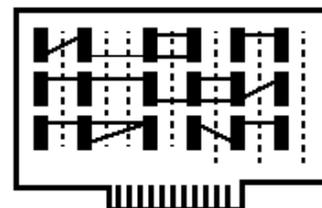
WRITE



READ



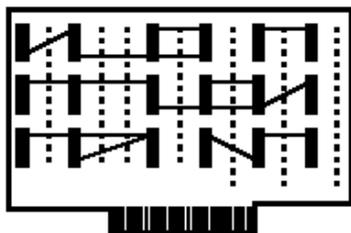
### File — Import — Techfile



Board B

```
techfile -r <techfile> <layout>
```

### Tools — Technology File Compare



```
techfile -c <techfile> <layout>
```

COMPARE



Techfile Library



Locked

## Technology Files

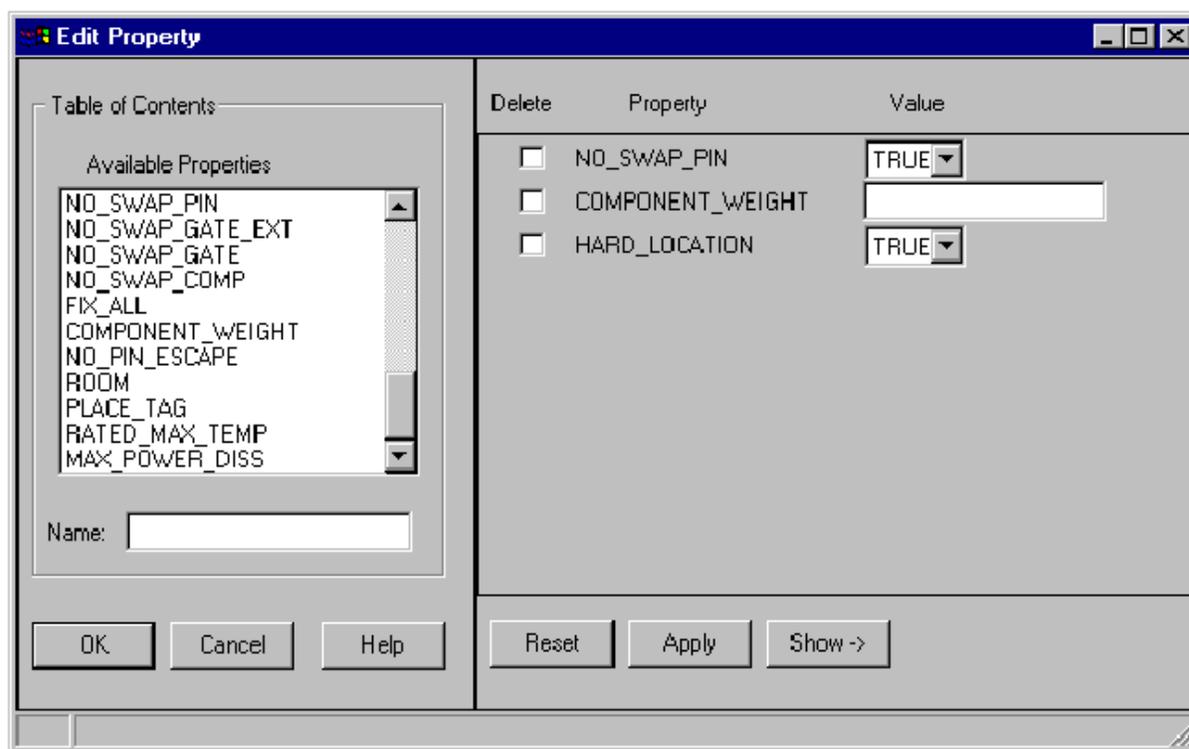
После завершения проекта Allegro, вы можете хранить правила проекта, сечения и параметры чертежа в формате ASCII, называемом Technology File. Этот файл содержит компоненты пользователя, параметры чертежа и слоев, а также определения физических, пространственных и электрических наборов правил для проекта. Вы можете взять Technology File (techfile) из одного проекта Allegro и считать его в другом проекте Allegro. После того, как вы создали techfile, он может храниться в библиотеке с остальными techfiles, служа совокупностью ресурсов для нескольких проектных технологий (таких как 4-layer standard trace (4-х слойная стандартная), 6-layer fineline (6-ти слойная с тонкими проводниками) и 8-layer ultra-fineline (8-ми слойная с ультратонкими)). Вы можете заблокировать библиотечные techfiles, чтобы предотвратить изменения правил проекта во время проектирования.

Вы можете сравнить проект Allegro с techfile, чтобы определить разницу между производственными правилами и законченным раскладом.

Операции Techfile могут быть запущены из интерфейса пользователя.

# Properties

## Edit — Property



## Properties

Когда вы выбираете команду **Edit—Property**, вы должны вначале определить элементы для приписки свойств. Используйте форму Find Filter для выбора элементов. Используйте секцию Find By Name/Prop формы Find Filter для определения элементов с существующими свойствами. Allegro отображает доступные свойства для элемента того типа.

Два примера типов элементов и их свойств:

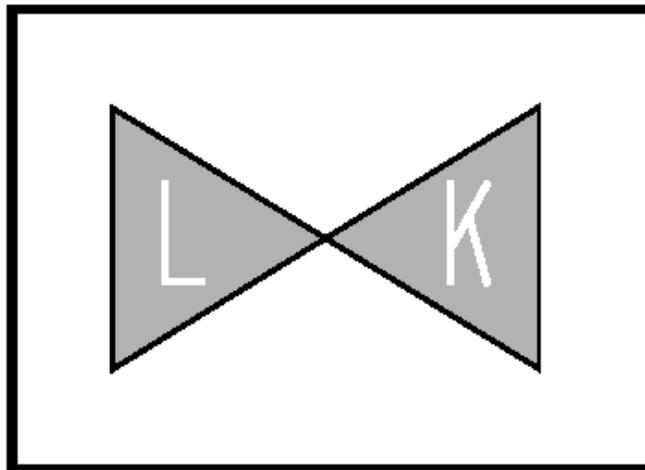
- \* Компоненты и их свойства
- \* Цепи и их свойства

После определения элемента, появляется форма Edit Property. Форма Edit Property позволяет вам приписывать свойства элемента проекта или удалять, или изменять текущие значения приписанного свойства. Выберите свойства, которые вы хотите прикрепить из листа скроллинга и нажмите на кнопку **Apply**. Некоторые свойства требуют значения (например, min\_line\_width), другие - нет. Для удаления существующего свойства нажмите кнопку **Delete** рядом с выбранным свойством.

### Важно

Существует перекрытие между свойствами и наборами ограничений (наборы ограничений – просто группы свойств). Свойства аннулируют значения наборов ограничений.

## DRC Marker Display



To display DRC markers *filled*, at the Allegro command line enter:

```
set display_drcfill
```

(or set in environment file).

### DRC Marker Display (Маркеры DRC)

У маркеров DRC имеется два символа, один на каждой стороне “бабочки”, которые определяют тип нарушения ограничений. Каждый символ – ключ к тому, чтобы определить тип существующего нарушения. В показанном примере, “L” означает “Line.” “K” означает “Keepout” (такой как routing keepout). Следовательно, в этом случае, это нарушение line to routing keepout. Другими словами, кусок etch имеется в зоне, которая была определена как routing keepout area.

## **Лабораторные**

Лабораторная 4-1 Standard Design Rules

Лабораторная 4-2 Extended Design Rules - Spacing

Лабораторная 4-3 Extended Design Rules - Physical

Лабораторная 4-4 Using the Constraint Manager

Лабораторная 4-5 Extended Design Rules - Areas

Лабораторная 4-6 Technology Files

Лабораторная 4-7 Properties

## Глава 5: Component Placement

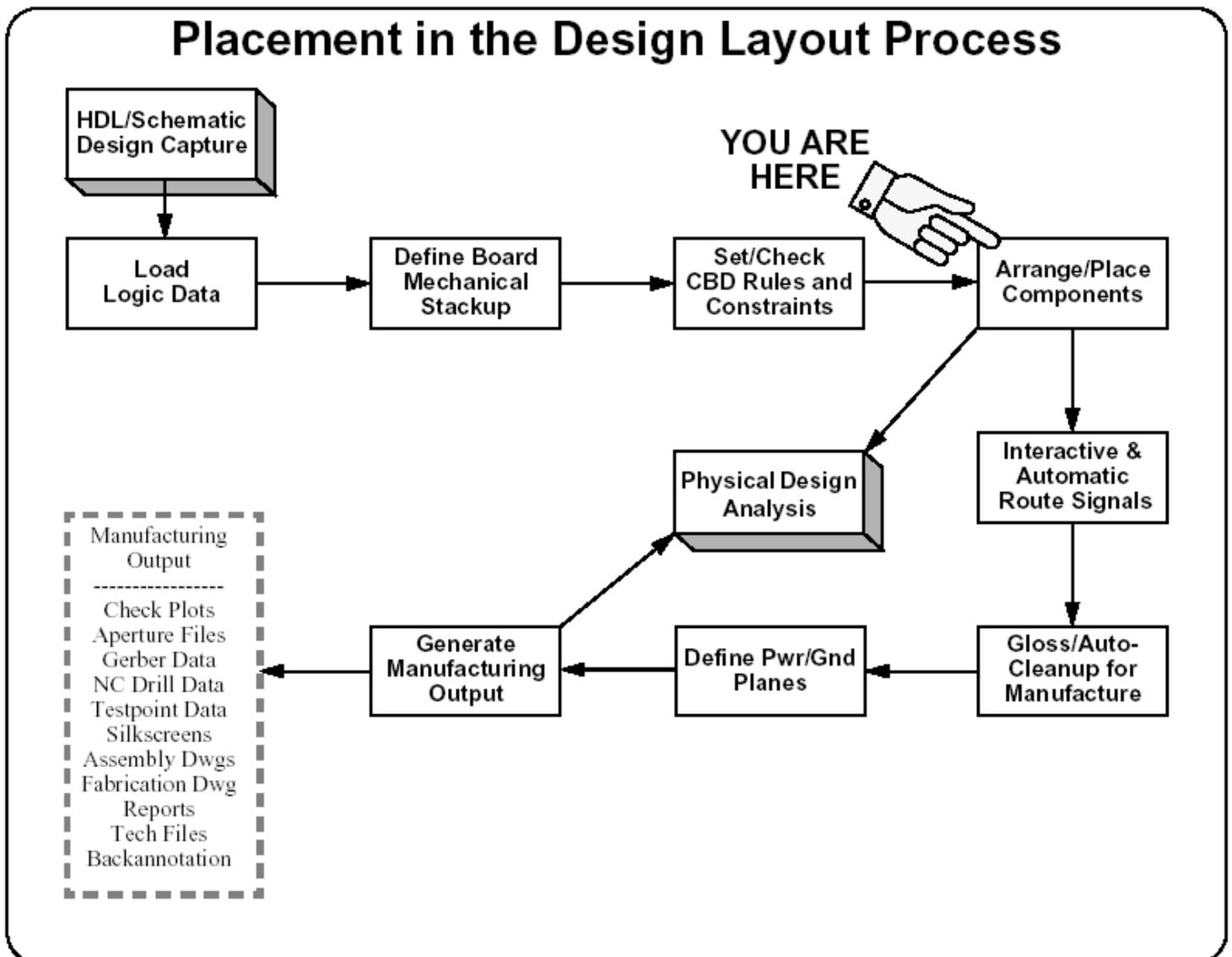
### Цели

В этой главе вы:

- ✦ Приобретете базовые навыки расстановки.
  - Создания общей топологической структуры расстановки компонентов.
  - Связывания предварительно установленных packages с логической базой данных.
  - Интерактивного выбора, постановки и передвижения компонентов.
  - Использования программы SPECCTRA для автоматической расстановки компонентов.
- ✦ Изучите особенности расстановки.
  - Выбор альтернативных package symbols.
  - Использование pin и gate swapping (замена равнозначных выводов и функциональных блоков).
  - Отправка измененных данных обратно в схему.
  - Как изменять padstacks с файлом проекта Allegro (.brd).
  - Как “обновлять” символы в файле проекта Allegro для соответствия обновленным версиям в библиотеке.

### Термины и Определения

Термин	Определение
Function	Вентиль, инвертор или логический элемент внутри физически упакованного компонента. Несколько функций могут существовать в одном package.
Gate Swapping	Перестановка эквивалентных логических функций внутри и поперек physical packages.
Pin Swapping	Перестановка эквивалентных input pins внутри одной логической функции или вентиля.
Ratsnest	Электрическая связь между выводами.
Room	Область платы, в которой заданы правила размещения и трассировки компонентов.



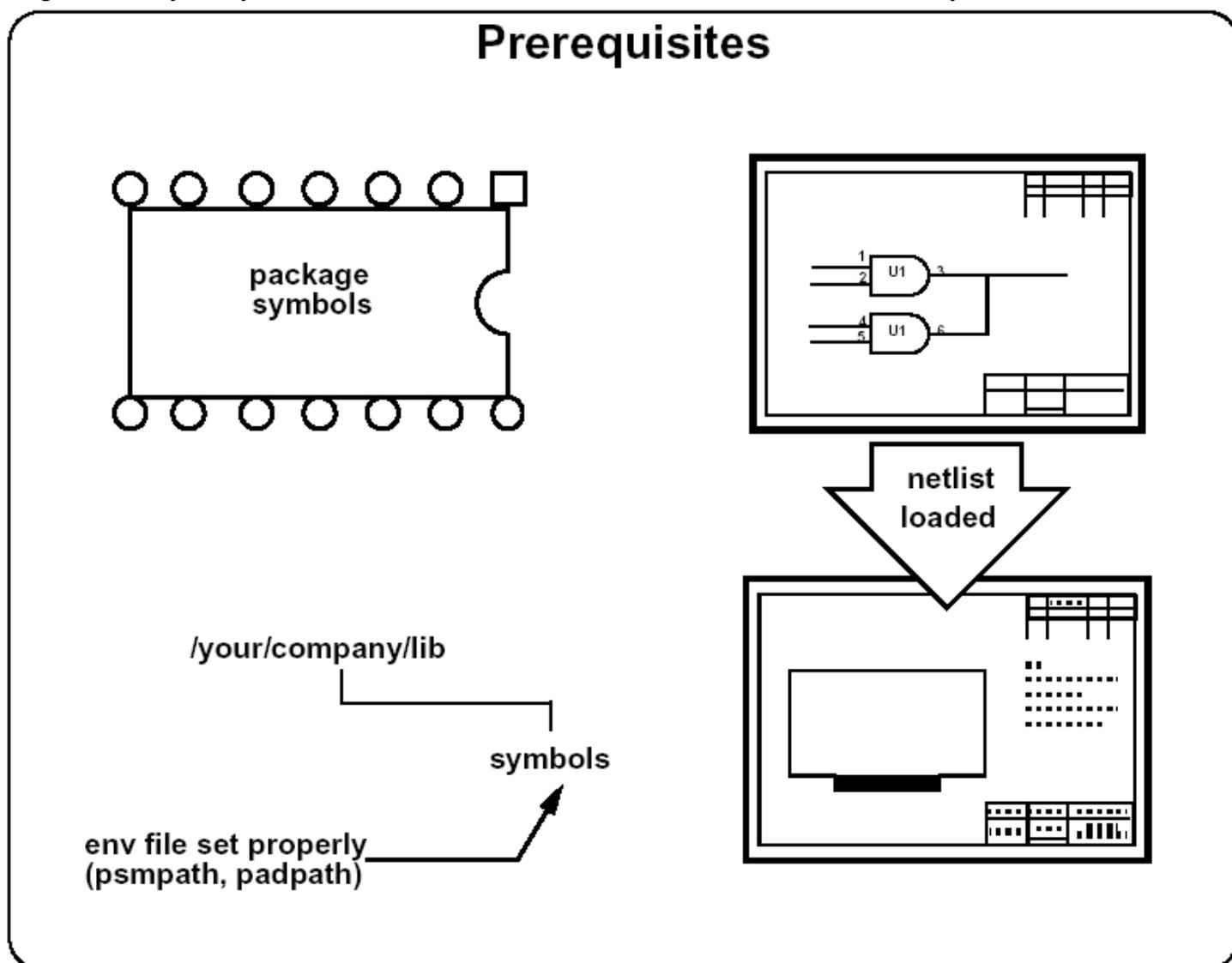
## Placement in the Design Layout Process

Процесс проектирования Physical PCB продолжается. Вы завершили следующие фазы:

- ✦ Load Logic Data
- ✦ Define Board Mechanical Data
- ✦ Define Design Rules

Теперь можно интерактивно и/или автоматически расставлять компоненты в проекте. В этой главе мы обсудим несколько типов расстановки:

- ✦ Интерактивная расстановка компонентов
- ✦ Автоматическая расстановка компонентов
- ✦ Pin и gate swapping (замена равнозначных выводов и функциональных блоков)



## Prerequisites (Предпосылки)

Предпосылки к ручной расстановке:

- ★ **Symbols:** Должны существовать package symbols требуемые для деталей в netlist. Укажите расположение package symbols в переменной пути поиска библиотек. Вы можете определить этот путь в файле *env*.
- ★ **Netlist:** Необходимо загрузить схематическую базу данных в файл проекта Allegro (*.brd*). Смотрите *Logic Import* для дополнительной информации.
- ★ **Alternate Package Symbols:** Если планируется выбирать альтернативные package symbols во время ручной расстановки, определения альтернативных symbol должны содержаться в соответствующих файлах определения частей.
- ★ **Floorplanning:** Вы можете создать "блочную диаграмму" логических функций, которые должны быть расположены на плате, используя *Rooms (области)*. Определите это свойство частей внутри схем Concept или Capture или вы можете добавить ее в third-party netlist до того, как считана база данных.
- ★ **Package Keepouts:** если ваш главный файл проекта не содержал package keepouts добавьте их до того, как начнете расставлять компоненты, выбрав **Setup—Areas—Package Keepout**.

## Interactive Placement

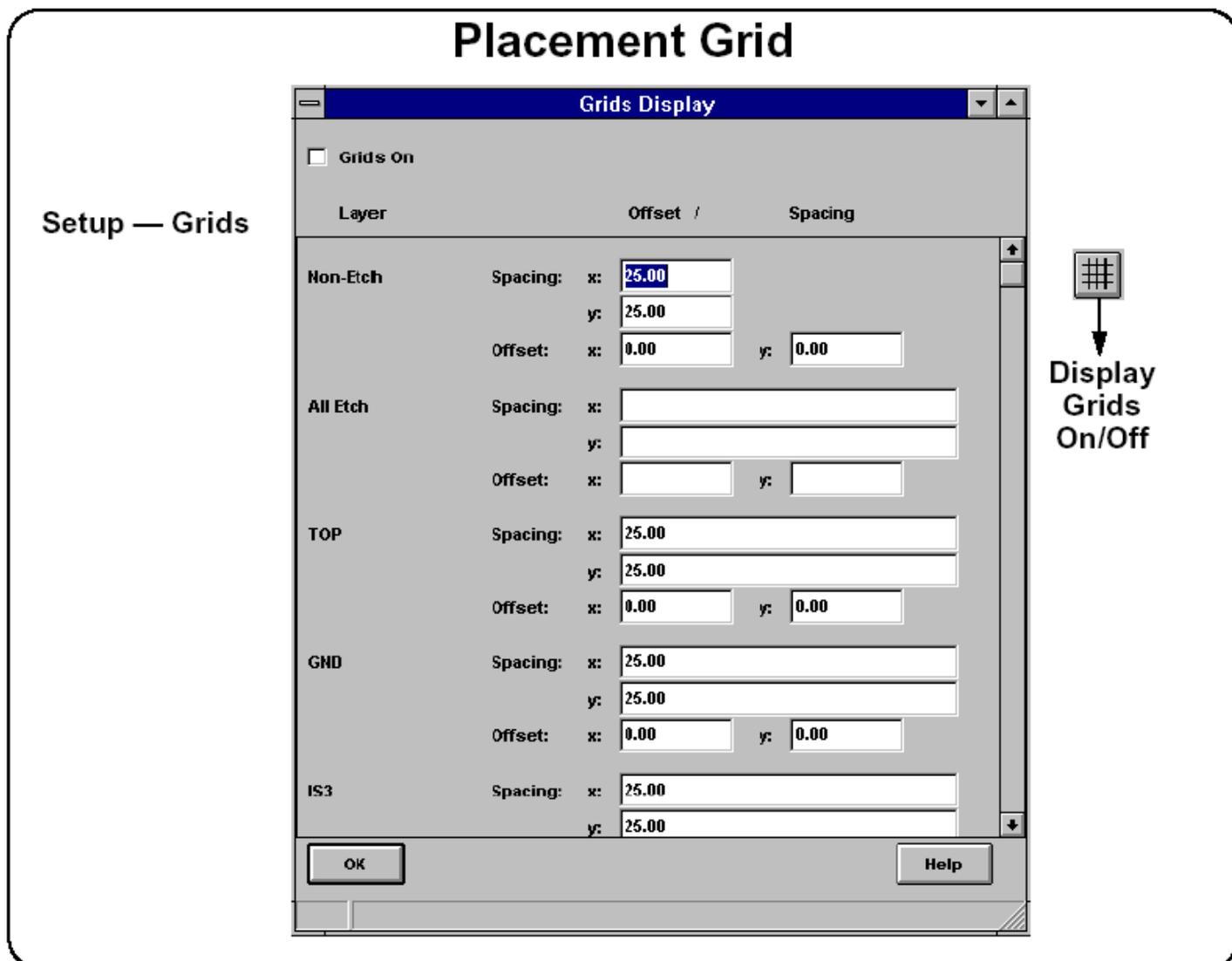
Place — Manually



Place  
Manually

### Interactive Placement (Ручная расстановка)

Показанная иконка панели инструментов относится к интерактивной расстановке. Если она не присутствует у вас в окне Allegro, вы можете добавить эту иконку выбрав **View—Customization—Toolbar**.



## Placement Grid (Сетка расстановки)

Координатная сетка расстановки - сетка *Non-Etch* (это не сетка, используемая для трассировки). Начало отсчета package symbol (определяется во время создания symbol) устанавливается по сетке Non-Etch.

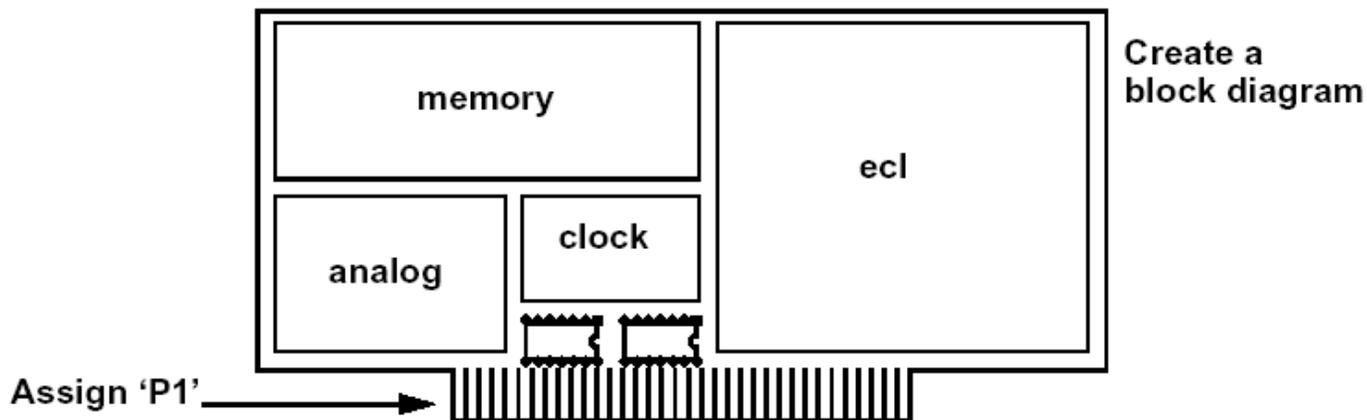
Выберите **Setup—Grids**, чтобы установить промежутки для ручной расстановки на сетке Non-Etch. Начало отсчета сетки— начало отсчета файла проекта Allegro (x0, y0). Используйте форму Grid, чтобы установить видимость сетки (ON или OFF).

Вы можете использовать иконку **Grid Toggle**, чтобы включить или выключить видимость сетки. Обычно, не стоит пытаться удержать все компоненты со сквозными отверстиями на расстановочной сетке 100- или 50-mil (это улучшает circuit testing (тестирование переходных отверстий платы и проводников на замыкания)). В случае плотного монтажа, не исключается 25-mil сетка расстановки (или меньше).

Также устанавливается route grid (сетка разводки) для выполнения соединений pin-to-pin. Сохранение сетки расстановки совместимой с route grid уменьшит число "off-grid" pins (пин не в сетке).

## Strategy

- Create rooms for floorplanning.
- Assign reference designators to “preplaced” devices.
- Place IO bound devices.
- Place critical logic functions.
- Place noncritical functions.
- Evaluate and revise placement.
- Place bulk decoupling and bypass caps.
- Use reports to aid placement process.



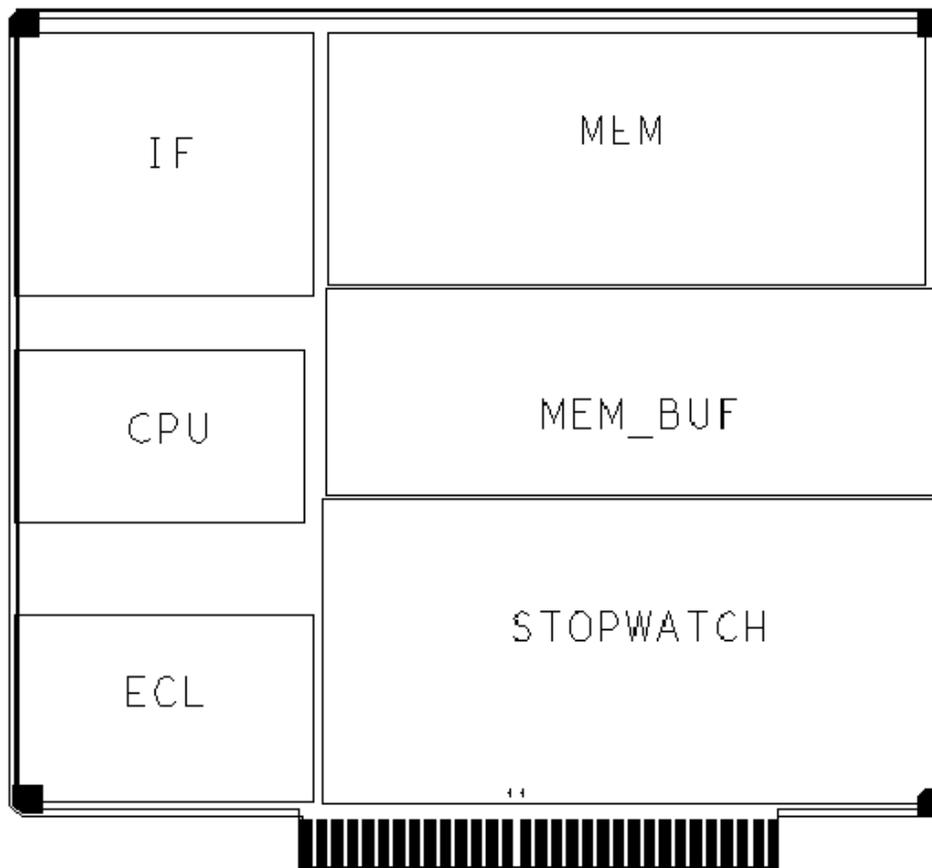
### Strategy (Стратегия проектирования)

1. **Floorplanning:** Вы можете создать “блочную диаграмму” логических функций используя *Rooms*.
2. **Assign fixed IO devices:** Используйте команду **Assign**, чтобы сопоставить любые package symbols с reference designators в базе данных (таких как P1, J2). Этот процесс также применяется к любым механически связанным устройствам предварительно расположенным в файле проекта (таким как LEDs).
3. **Place IO bound devices:** Расположите компоненты, цепи которых связаны с объединительной платой так, чтобы уменьшить длину проводников.
4. **Place critical logic functions:** Расставьте clock circuits, memory arrays, buffers, controllers и address buses. (Смотрите Floorplanning на следующей странице.)
5. **Place less critical circuits:** Расставьте data buses и random logic, вручную или автоматически.
6. **Evaluate и revise placement:** Используйте ratsnest display, net highlighting, interactive или automatic gate и pin swapping, density evaluations, interactive net scheduling, DFA и инструменты Signal Analysis.

7. **Place bulk decoupling caps:** Выполните этот шаг в последнюю очередь. Если embedded split planes требуются для большинства voltages, group filter caps и связанных ICs соответственно.

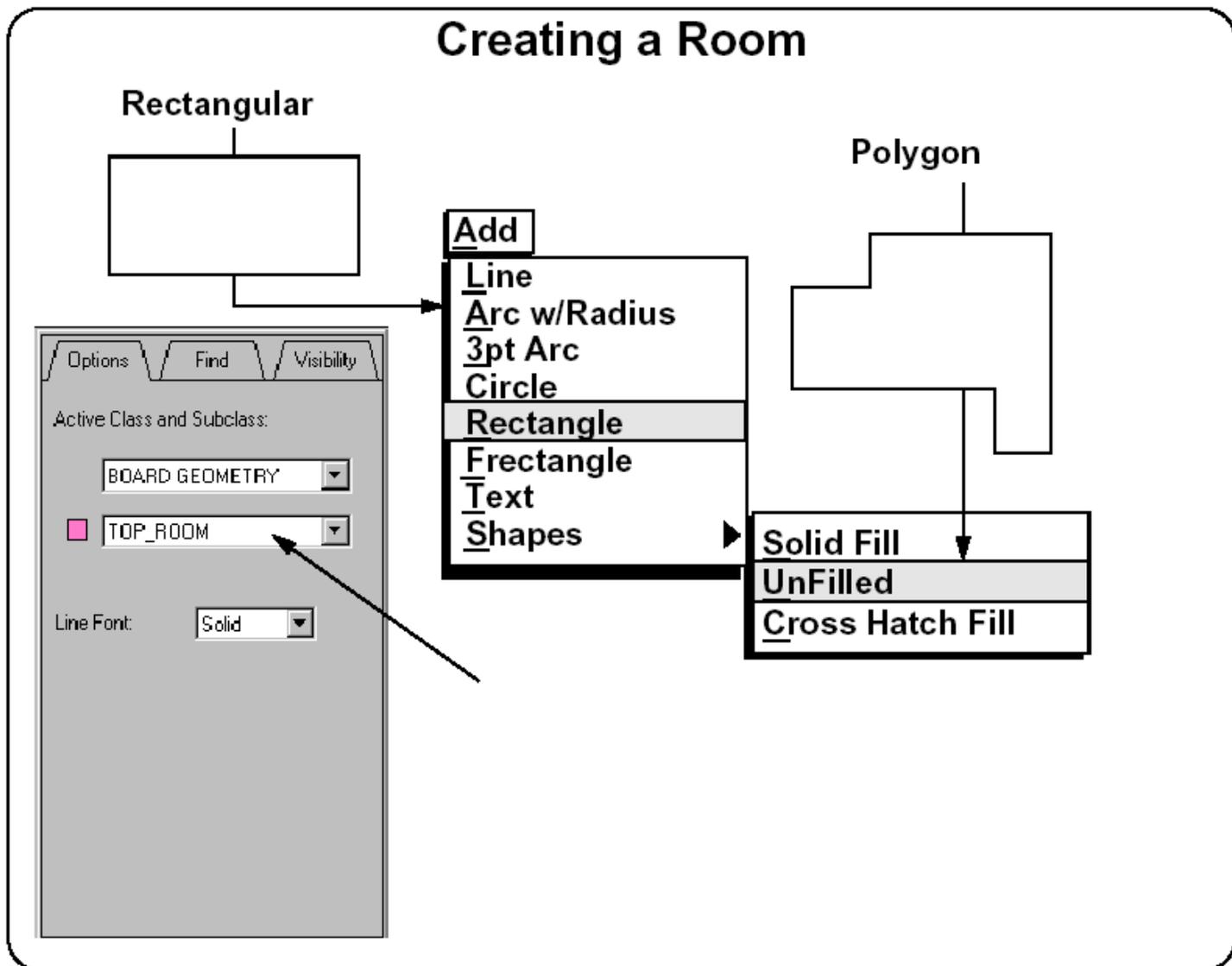
**Внимание:** Некоторые отчеты баз данных могут быть полезны во время процесса расстановки (например, nets list, components list, bill of materials и список расставленных или нерасставленных компонентов). Также можно использовать отчеты ECL length для отметки потенциальных проблем с длиной цепи до трассировки.

## Floorplanning with Rooms



### Floorplanning with Rooms

Комнаты - зоны ограничения, которые обеспечивают необходимый метод группирования компонентов. Можно вмешиваться в автоматическую расстановку совершаемую с конкретными компонентами и устанавливать их в специальные комнаты. Можно прикреплять свойства комнат к компонентам во время создания схемы, создания netlist или в любое время в проекте Allegro. Границы комнаты распознаются как залитые многоугольники на подклассах TOP\_ROOM, BOTTOM\_ROOM или BOTH\_ROOMS класса BOARD GEOMETRY.



## Creating a Room (Создание комнат)

### Rectangular Rooms (Прямоугольные комнаты)

Выберите **Add—Rectangle**.

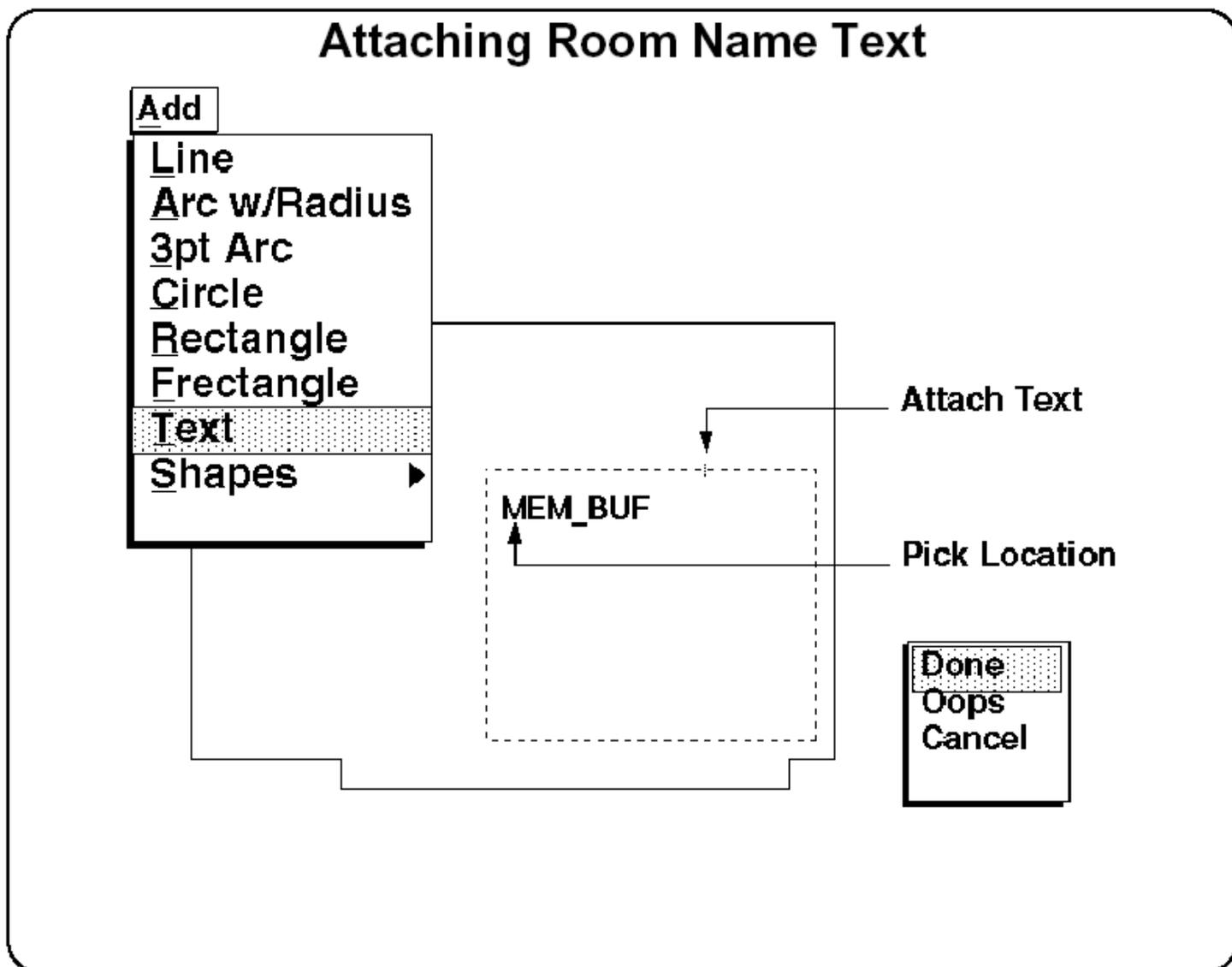
Убедитесь, что форма Options отображает следующие установки:

Class = BOARD GEOMETRY

Subclass = TOP\_ROOM, BOTTOM\_ROOM, or BOTH\_ROOMS

### Polygon-Shaped Rooms (Комнаты произвольной формы)

Для создания непрямоугольной границы комнаты, выберите **Add—Shapes—Unfilled**. Используйте те же установки в форме.



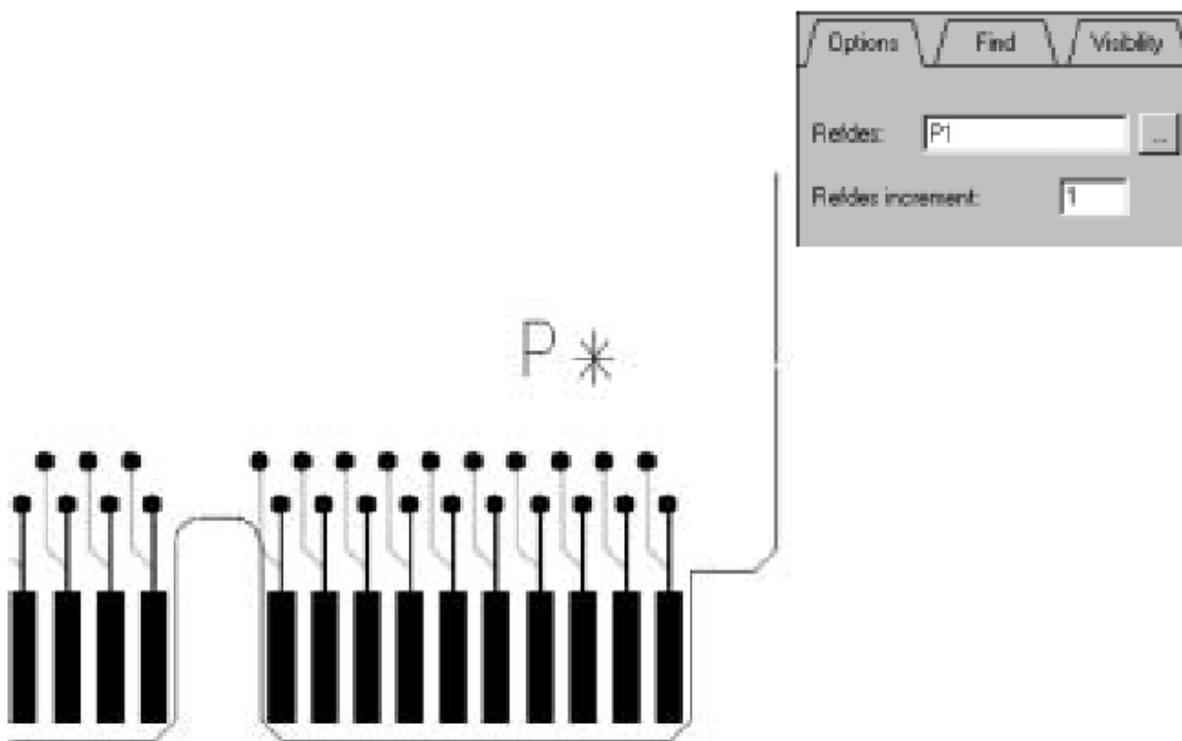
## Attaching Room Name Text

После создания границы комнаты, надо прикрепить к ней текст для завершения процесса создания комнаты.

Когда вы выберете **Add—Text** вас спросят "Pick an element to attach text to." Выберите созданный вами прямоугольник или многоугольник, потом следуйте указаниям, которые вы видите в командной строке Allegro. Вас спрашивают "Pick text location," потом "Enter text." Введенный вами текст или имя комнаты должны подходить значению свойств КОМНАТЫ, определенным в вашем проекте.

## The Assign Refdes Command

### Logic — Assign RefDes



### The Assign Refdes Command

Используйте команду **Logic—Assign RefDes** для сопоставления любых package symbols (механически связанных и предварительно расположенных в главном или временном файле) с reference designators в базе данных.

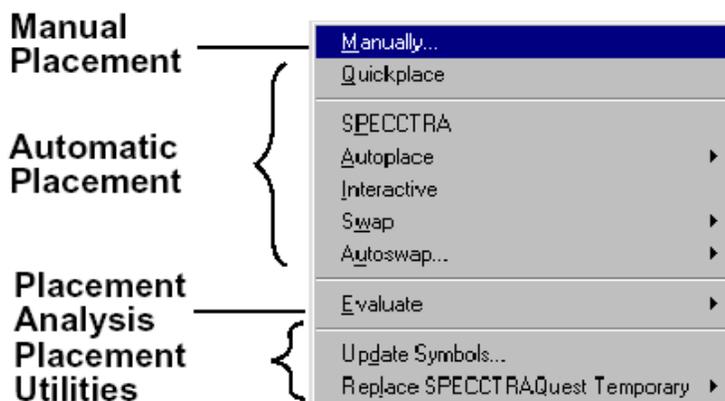
Введите reference designator, который вы хотите приписать в форме Options или выберите кнопку “browser”, чтобы вытащить список всех Reference Designators, которые еще требуют установки. Потом выберите пару цепей из списка и выберите отвечающий package symbol.

Если вы ввели reference designator, который не может быть найден внутри базы данных, будет выпущено сообщение об ошибке в поле сообщений Allegro. Определенный reference designator будет автоматически увеличен на 1 (по умолчанию). Например, после приписки refdes ‘J1’, следующему выбранному вами package symbol присваивается значение refdes ‘J2’ (если другое не определено в форме Options).

## Placement Commands



Place

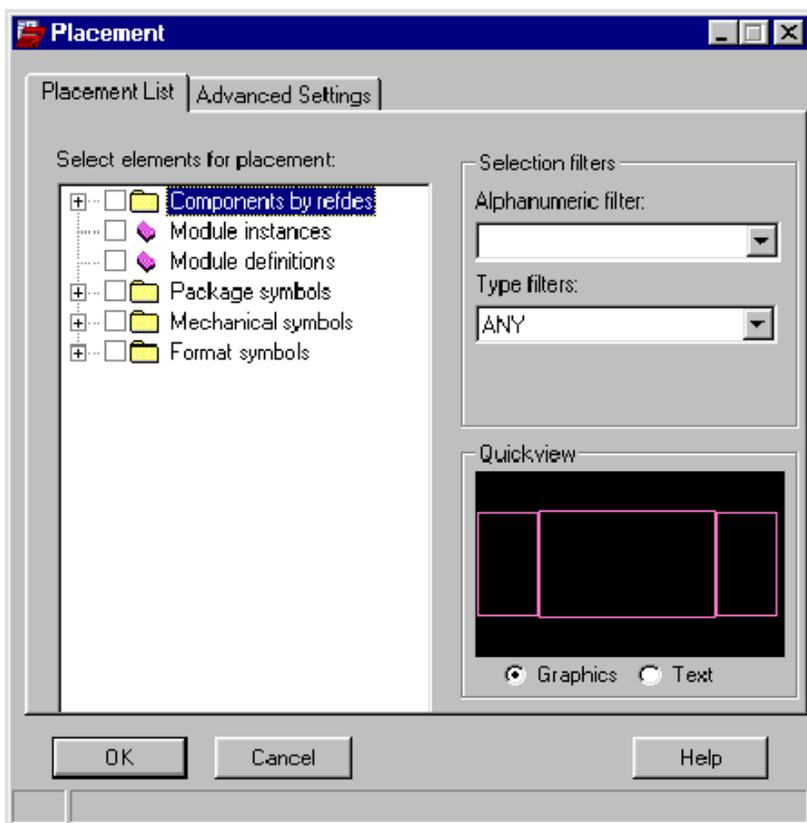


### Placement Commands (Команды расстановки)

Команды расстановки Allegro включают следующие типы:

- ✦ Команды ручной расстановки используются для выбора компонентов, по одному или группами, и, не автоматически определить их положение. Команда Quickplace расположит эти части вне эскиза платы, потом части могут быть расставлены вручную, для определения их окончательного положения.
- ✦ Команды автоматической расстановки включающие автоматические инструменты Allegro и SPECCTRA.
- ✦ Инструмент анализа расстановки используется для определения зон высокой плотности и high signal crossing counts.
- ✦ Component symbol utilities включают методы доступа к новым библиотечным данным, чтобы обновить проект.

## Manual Placement



### Right Mouse Button Popup



## Manual Placement

Команда Manual placement позволяет вам определить компонент или группу компонентов. Allegro прицепляет компонент из группы к вашему курсору. При выборе меню **Place—Manually** становятся доступны следующие опции:

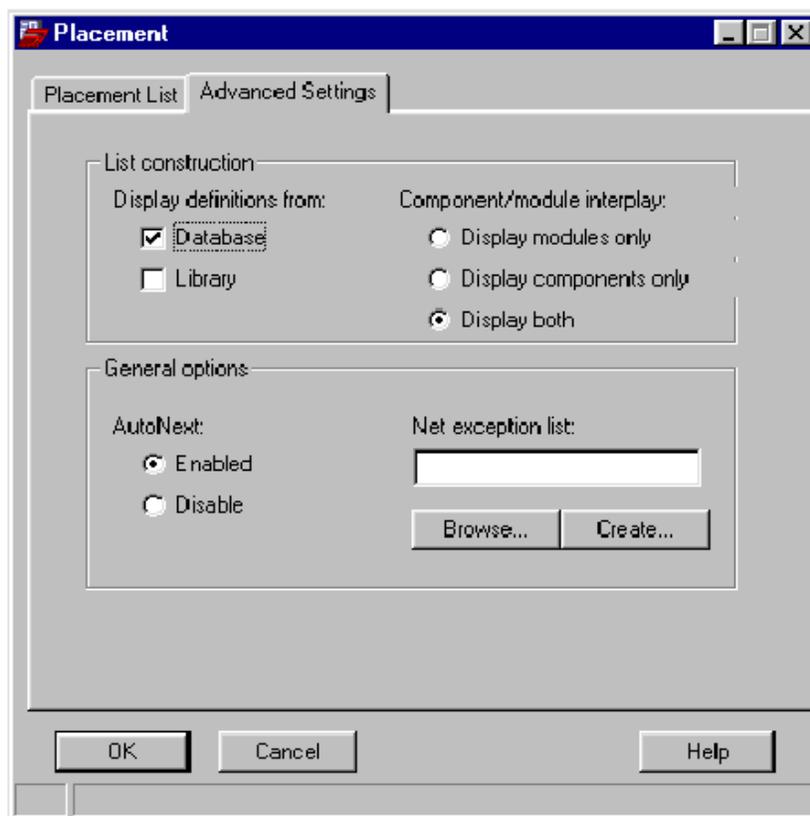
- ✦ **Components by RefDes** Расстановка одного или нескольких компонентов по RefDes.
- ✦ **Module Instances/Definitions** позволяет расставить module основанный на наличии свойства **REUSE\_INSTANCE**. Модули обычно определяются в Concept.
- ✦ **Package Symbols** Расстановка package symbols без логической информации.
- ✦ **Mechanical Symbols** Расстановка расставить mechanical symbols.
- ✦ **Format Symbols** Расстановка format symbols.

Секция Selection Filters позволяет вам уточнить элементы, которые доступны для выбора. Доступны следующие две секции:

- ✦ **Alphanumeric Filter** позволяет выбрать группу элементов подходящих, под введенное вами имя. Вы можете использовать "\*" для выбора группы компонентов, такие как "U\*".
- ✦ **Type Filters** позволяет выбирать элементы, которые подходят определенному КЛАССУ в файле устройства, части, у которых есть свойство Place Tag или части определенного типа устройства.

При прикреплении компонента к курсору, нажмите на правую кнопку для доступа к опциям вращения или зеркального отображения на другой стороне.

## Manual Placement—Advanced Settings



### Manual Placement—Advanced Settings (Ручная расстановка – дополнительные установки)

Следующие свойства содержатся в закладке Advanced Settings

#### ★ List Construction

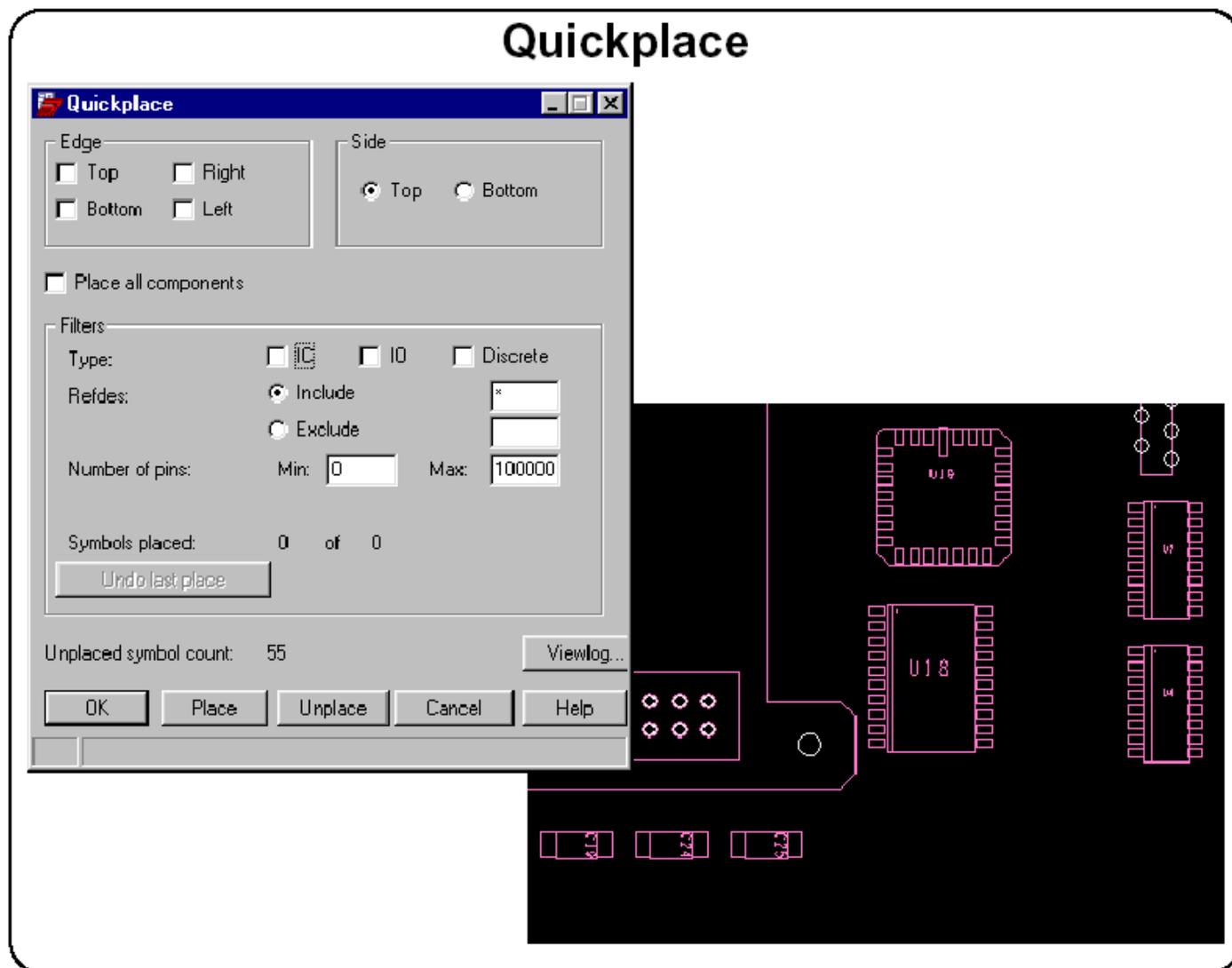
— **Display Definitions From:** Возможна Database или Library. С включенной Database, доступны для расстановки только те symbols, которые уже расставлены в проекте. С включенной Library, доступны все symbols, которые найдены в PSMPATH.

— **Component/Module Interplay:** Эти опции влияют на то, что отображается в секции Component by refdes главной формы расстановки. Если выбрано “Display module only” или “Display components only”, только подходящие типы объектов будут доступны для расстановки. Если выбрано “Display both”, все компоненты и все модули будут доступны для расстановки.

#### ★ General Options

— **Autonext:** Когда выбран более чем один элемент для расстановки, эта опция управляет тем, появится ли следующий элемент под курсором, после того, как установлен предыдущий.

— **Next Exception List:** Это поле используется для определения имени дискового файла, который содержит список имен цепей, которые не будут переименованы при установки модуля. Цепи, которые обычно входят в этот список - power и ground.



## Quickplace

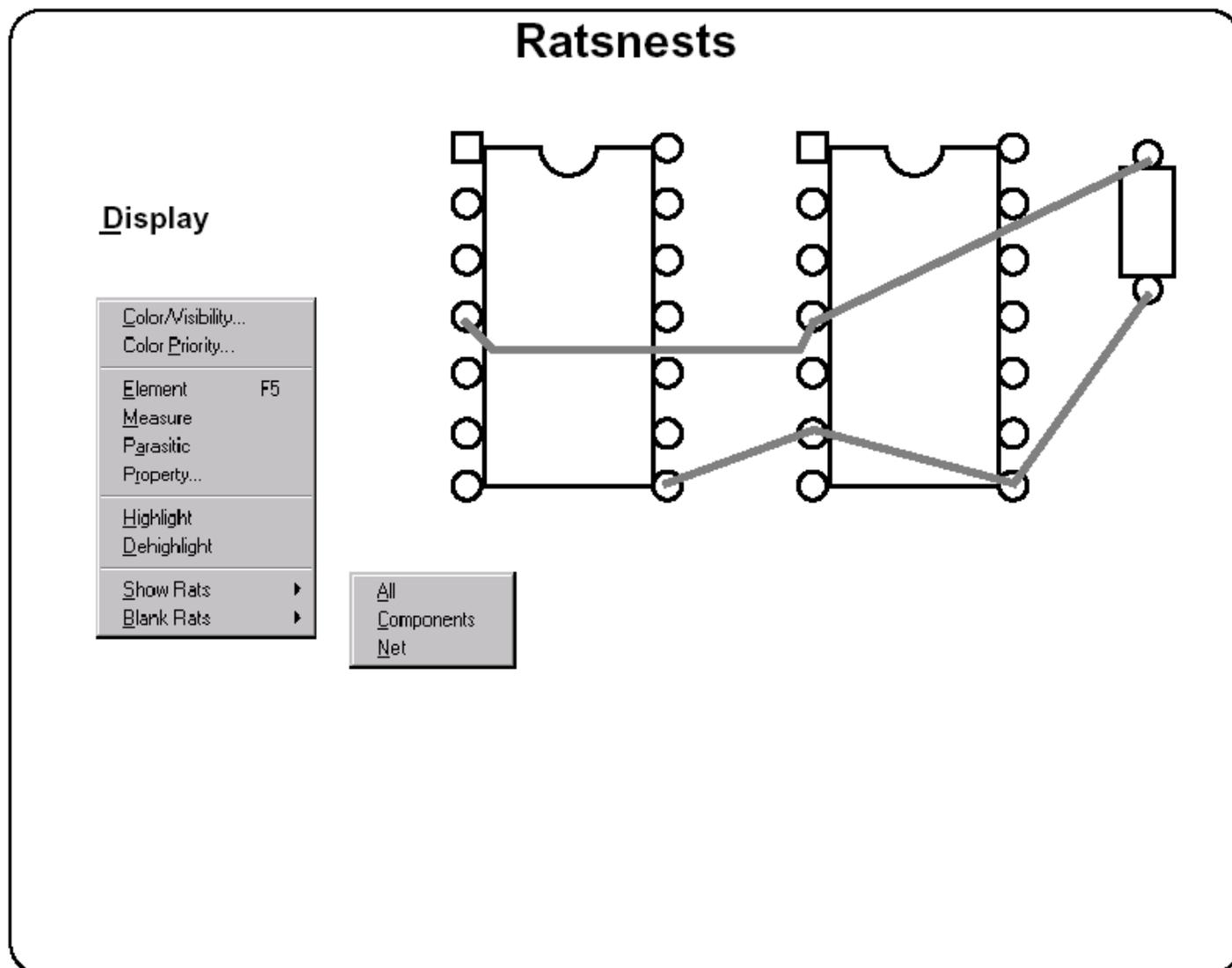
Команда **Quickplace** расставит не установленные элементы вне контура платы, но не сможет расставить любые детали вне размеров чертежа. Уже расставленные элементы, не будут затронуты командой **Quickplace**.

Используя секции формы Edge и Side, можно выбирать, будут ли элементы расставлены вне левого, правого, верхнего или нижнего контура платы и сторону расстановки. Опции могут быть изменены в любое время, и команда перезапускается несколько раз для достижения практически любого порядка расстановки. Опция Place all components будет пытаться установить все нерасставленные элементы при следующем выполнении команды. Секция Filters используется для уточнения элементов для расстановки. Вы можете определять IC, IO или Discrete компоненты или любую комбинацию из этих трех. Эти три классификации элементов управляются описанием библиотек в Concept или Capture.

Кнопка Undo last Place уберет только последние установленные элементы, определенные опцией Filters. Кнопка Unplace будет убирать элементы, установленные столько же раз, сколько опция place запускаясь во время текущего сеанса.

Поле Symbols placed отображает число установленных компонентов, также как число доступных для расстановки компонентов, как определено в опции Filters.

Поле счета Unplaced symbol отображает текущее число элементов, оставшихся для расстановки.



## Ratsnests

Ratsnest – линии изображенные между pins неразведенной цепи. Они показывают связи между pins, имеющими одинаковое имя цепи.

Отображение ratsnests может помочь определить перегруженные зоны. Ratsnests могут также помочь вычислить ‘поток’ внутри и между функциональными блоками логической схемы.

Для отображения ratsnests, выберите форму **Display** из верхнего меню. Применяются следующие опции:

### ★ Show Rats

— **All** отображает линии ratsnest для всех цепей, кроме цепей имеющих прикрепленное свойство NO\_RAT (такие как VCC, GND).

— **Components** отображает все линии ratsnest к pins на выбранных элементах. Выберите элементы с помощью левой кнопки мыши или используйте секцию Find by Name в Find Filter для ввода reference designator.

— **Net** отображает все линии ratsnest выбранной цепи. Выберите pin(s) с помощью левой кнопки мыши или используйте секцию Find by Name в Find Filter для ввода netname.

### ★ Blank Rats

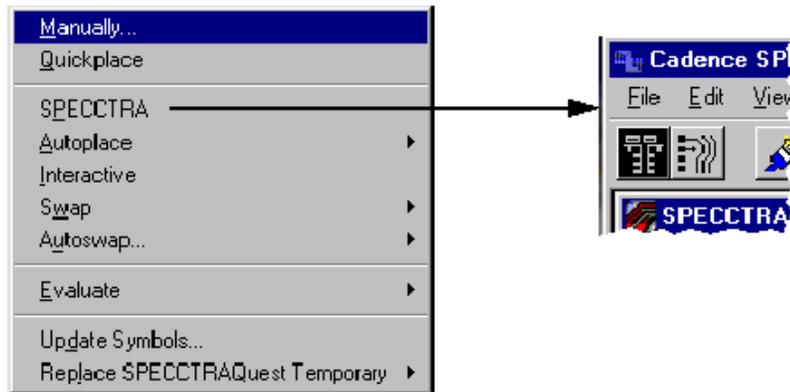
— **All** удаляет все отображаемые в данный момент линии ratsnest.

— **Components** удаляет отображение ratsnest для определенных элементов.

— **Net** удаляет отображение ratsnest для определенных цепей.

## Accessing SPECCTRA Autoplacement

Place



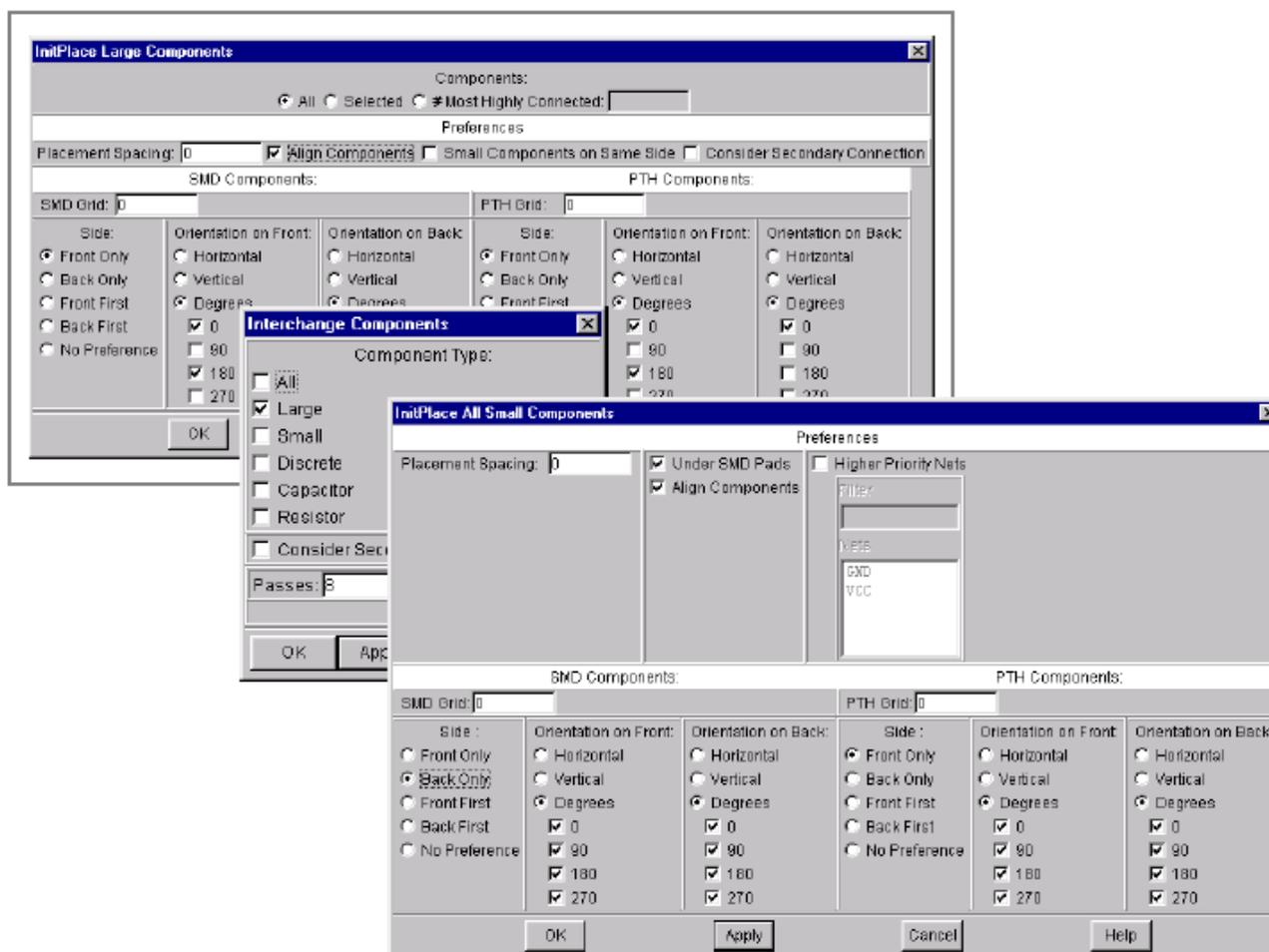
### Accessing SPECCTRA Autoplacement (Доступ к автоматическому расстановщику SPECCTRA)

Для доступа к режиму автоматической расстановки, выберите **Place—SPECCTRA** из верхнего меню. Откроется окно инструментов для интерактивной трассировки и расстановки SPECCTRA. Для использования команд расстановки SPECCTRA, вы должны вначале войти в режим расстановки.

Иконка в верхнем левом углу интерфейса SPECCTRA вызывает режим расстановки.



## SPECCTRA Autoplacement



### SPECCTRA Autoplacement

Комплекс программ автоматической расстановки SPECCTRA предлагает разнообразие опций. SPECCTRA может:

- ✦ Запускать первичную расстановку больших компонентов.
- ✦ Автоматически менять местами компоненты.
- ✦ Запускать первичную расстановку маленьких компонентов.
- ✦ Возвращать результаты расстановки в Allegro.

## Optional Placement Features

---

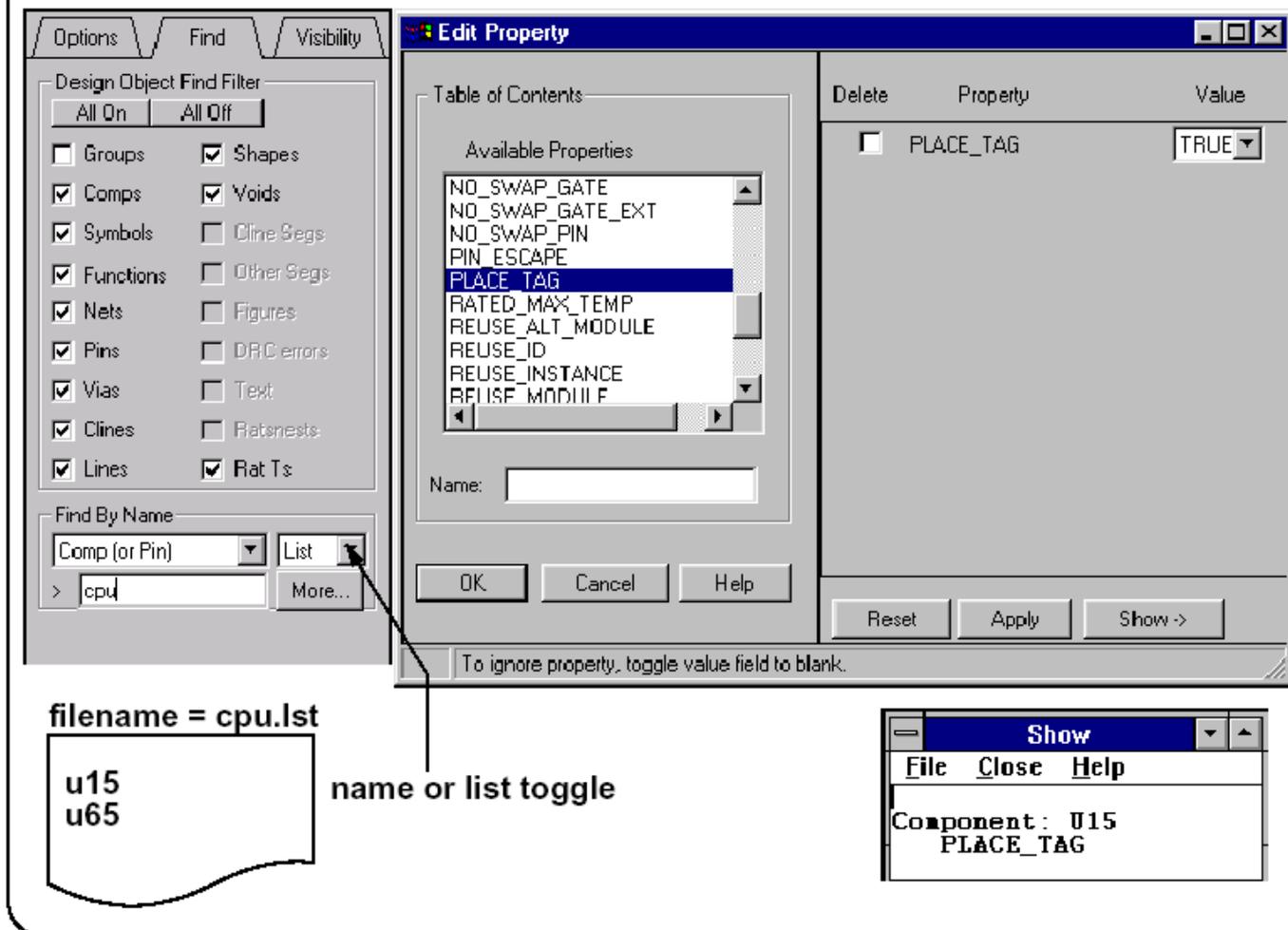
Tagging Parts for Placement  
Using Pin and Gate Swaps  
Selecting Alternate Packages  
Placement-related Properties  
Tool for Evaluating Placement  
Backannotation  
Updating Symbols in a Design  
Updating Padstacks  
Modifying Padstacks

---

### Optional Placement Features

Данный обзор представляет собой список дополнительных тем по расстановке.

## Tagging Parts for Placement



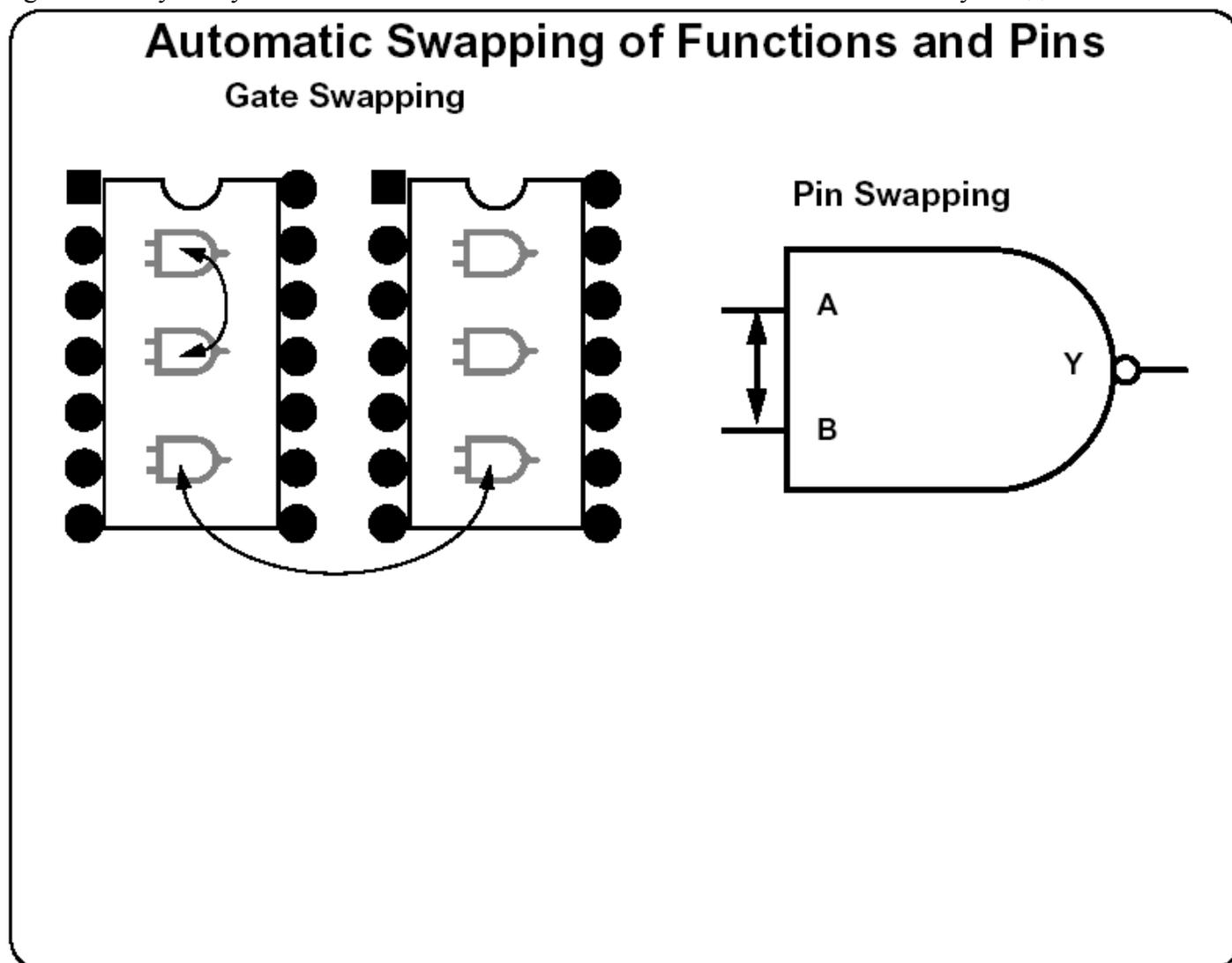
### Tagging Parts for Placement (Отметка компонентов для расстановки)

Свойство PLACE\_TAG позволяет вам создавать специальную группу особых элементов для расстановки.

Прикрепив свойство PLACE\_TAG предпочтительным элементам, вы можете запросить элементы из этой группы используя команду **Place—Manually** и устанавливая Type Filters в Place\_tag.

Для использования свойства PLACE\_TAG при ручной расстановке, прикрепите его, используя методы доступные для прикрепления любых свойств. В показанном примере, определено имя файла ASCII содержащего предпочтительные элементы (создавайте несколько файлов, каждый из которых представляет разную группу или функцию). Если вы не определите расширение, принимается расширение *.lst*.

Вы можете создать файл ASCII используя текстовый редактор, например, WordPad или vi. Also, внутри Allegro вы можете использовать команду **Setup—Define Lists**.



## Automatic Swapping of Functions и Pins

После того, как component packages установлены на плате, вы можете использовать автоматическую перестановку pin и gate для дальнейшего уменьшения длины проводников и улучшения соединения. Позволяя процессы перестановки, вы увеличиваете шансы полной автоматической трассировки до 100%.

Как показано, свойства перестановки включают следующие возможности:

- ✦ Вентили и функции могут быть представлены внутри package.
- ✦ Вентили и функции могут быть переставлены между packages с одним типом.
- ✦ Равнозначные pins могут быть переставлены внутри gate или function.

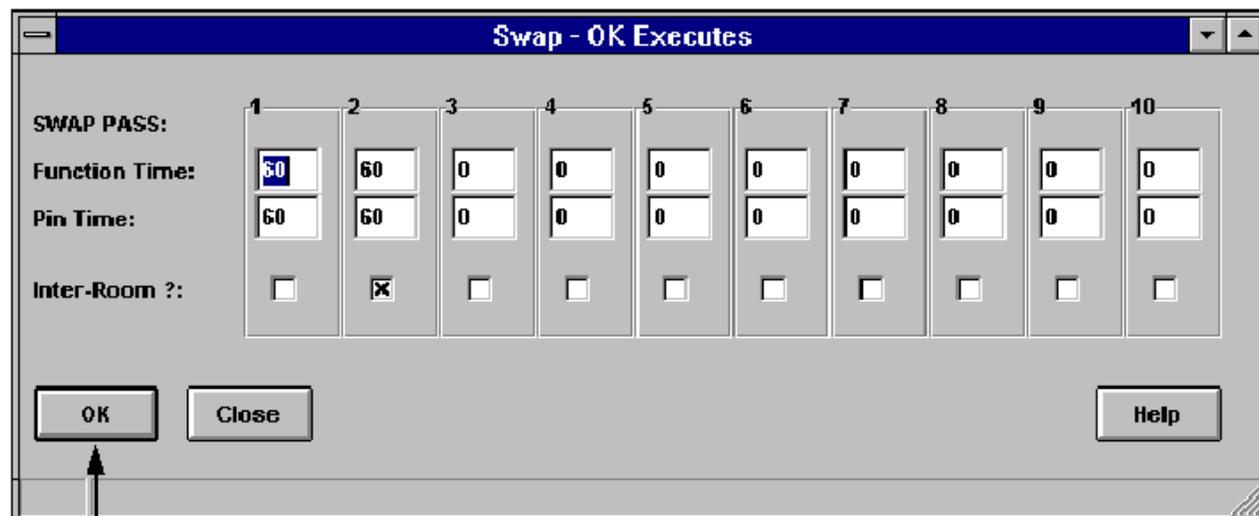
Вы можете выполнять перестановку pin и вентилей на устройствах, которые удовлетворяют *хотя бы одному* из следующих требований:

- ✦ Устройство описывается в Concept и содержит информацию о pin и/или вентиле.
- ✦ Может использоваться соответствующий device file, который содержит информацию о pin и/или вентиле.

**Внимание:** Устройства, переданные в ваш проект через сторонний netlist должны использовать device files, которые содержат информацию о pin и/или вентиле. иначе для этих устройств перестановка не будет доступна.

## Using Automatic Swap

### Place — Autoswap — Parameters



The OK button starts execution.

## Using Automatic Swap

Перед запуском автоматической перестановки вы должны задать параметры перестановки. Войдите в параметры перестановки путем выбора **Place—Autoswap—Parameters** из верхнего меню. Форма Swap позволяет вам определить параметры для десяти проходов перестановки. Для каждого прохода, вы можете установить ограничение времени и указать, разрешены перестановки в областях. Во время каждого шага могут происходить перестановки вентиляей и pin. По умолчанию, Allegro позволяет два прохода с ограничением времени в 60 минут каждый, хотя, большинству проходов потребуется менее 60 минут.

Allegro выполняет каждый проход перестановки запуская вначале перестановку функций, затем перестановку pin. Рекомендуется установить больше времени для каждой перестановки, чтобы у Allegro было достаточно времени для выполнения необходимых перестановок. Allegro автоматически переходит к следующему проходу, когда он закончил все соответствующие перестановки для данного прохода.

Существует несколько свойств компонентов и цепей, влияющих на то, как переставляются функции и как меняются swappable pins. Эти свойства объясняются далее в этой главе.

**Важно** Информация о функции или вентиле, также как информация о swappable pin information, должна присутствовать для проведения перестановки. Вы можете ввести эту информацию в ваш проект через схему или device files.

**Внимание:** Кнопка **OK** начинает выполнение. Чтобы закрыть форму без запуска автоматической перестановки нажмите кнопку **Close**.

## Running Automatic Swap

- Define the area to be considered:
  - Design
  - Room
  - Window
- Click **OK** in the Parameters menu to run automatic swap.
- View the changes to the ratsnest display.
- View the *swap.log* file for information on swapping improvements. (Use **File—Viewlog**.)
- Select **Tools—Reports** to generate and view the following, swap-related reports:
  - Function report
  - Function Pin report
  - Spare Function report

### Running Automatic Swap (Запуск автоматической перестановки)

- ★ Выберите зоны для рассмотрения:
  - Design (Проект)      — Room (Комната)      — Window (Окно)
- ★ Нажмите **OK** в меню Parameters для запуска автоматической перестановки.
- ★ В файле *swap.log* информация по улучшению расстановки. (**File—Viewlog**.)
- ★ Выберите **Tools—Reports** для создания и просмотра следующих отчетов по перестановке:
  - Function report      — Function Pin report      — Spare Function report

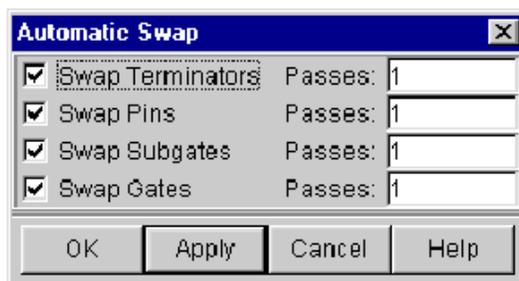
### Execute (Исполнение)

После нажатия **OK** в окне параметров Swap, Allegro проверяет все пары функций, которые могут быть перестановлены, затем все пары pin pairs. Инструменты программы продолжают поиск подходящих перестановок, которые сократят общую длину проводников проекта, пока не выйдет время или больше не будет найдено подходящих перестановок. При перестановке pins в цепях ECL, автоматическая перестановка сохраняет правильный распорядок ECL.

### Evaluate (Оценка)

- ★ Смотрите файл *swap.log* для информации по улучшению расстановки. (Используйте **File—Viewlog**.)

## Using SPECCTRA Software for Swap



### Using SPECCTRA Software for Swap (Использование SPECCTRA для перестановки)

Программы Allegro и SPECCTRA имеют средства автоматической перестановки.

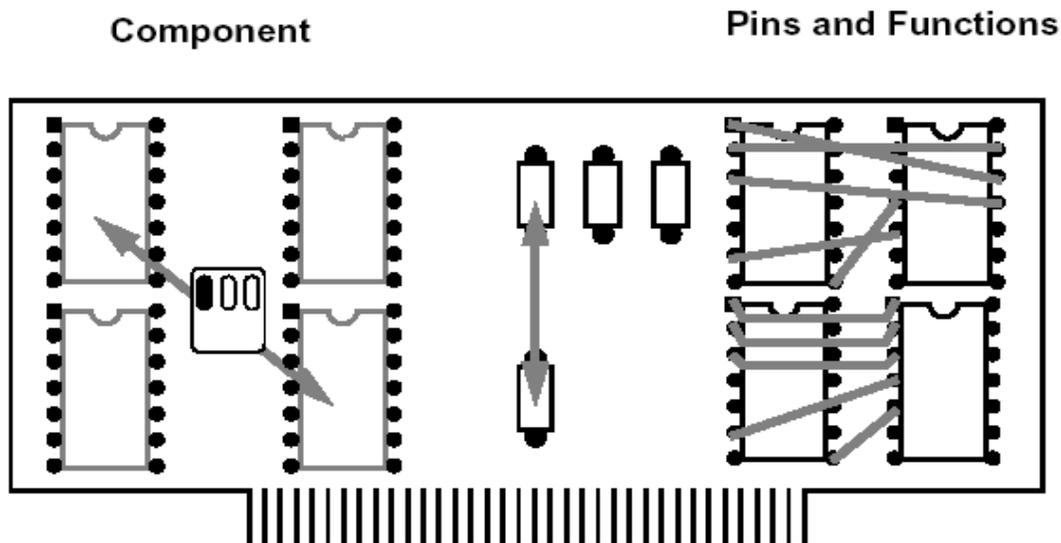
Диалоговое окно Automatic Swap позволяет вам выбирать типы переставляемых объектов, а также позволяет вам определить количество шагов для каждого типа.

Возможности:

- ✦ **Swap Terminators:** Переставляет вентили, которые содержат terminators и имеют коды перестановки в design file.
- ✦ **Swap Pins:** Переставляет pins внутри gates или subgates, которые имеют коды перестановки в design file.
- ✦ **Swap Subgates:** Переставляет subgates, которые имеют коды перестановки в design file.
- ✦ **Swap Gates:** Переставляет gates, которые имеют коды перестановки в design file.
- ✦ **Passes:** Число повторений операций перестановки и попыток сокращения manhattan длин. Программа SPECCTRA продолжает перестановки, до того, как произведет нужное число проходов или до того, как длины manhattan не смогут быть уменьшены. Число проходов по умолчанию для каждого типа объектов равно 1.

## Interactive Swap

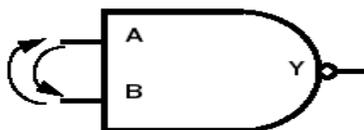
Place — Swap — Pins  
Functions  
Components



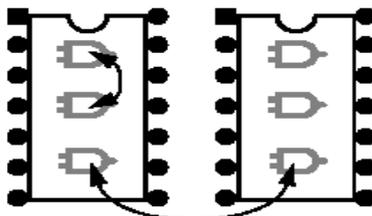
### Interactive Swap

При отображении ratsnests, вы можете найти присвоения gate-to-slot или pin-to-net, которые создают ненужную нагрузку. Ручная перестановка вентиля и pin, может сократить эту перегрузку и позволит располагаться ratsnests более организованным методом, что помогает при трассировке. Смотрите *Logic Import* для большей информации о том, какие part definition statements требуются для поддержки перестановки вентиля и pin.

✦ **Pins** позволяет вам выбрать два эквивалентных pins для перестановки.



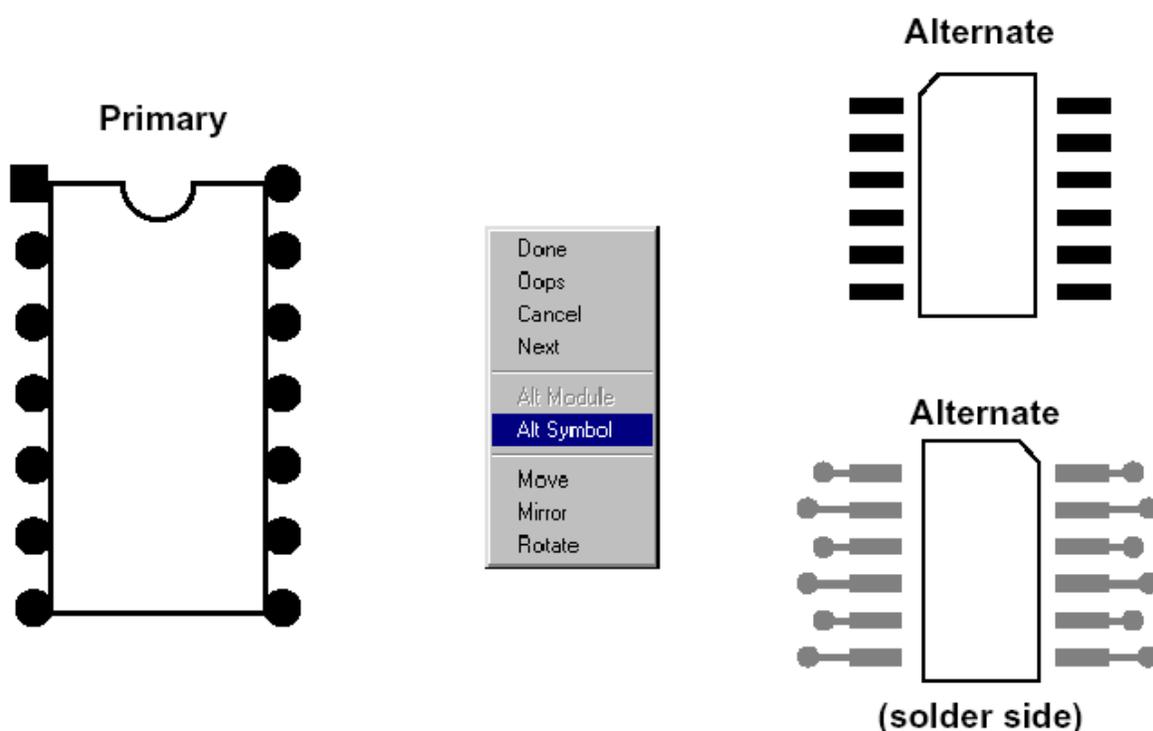
✦ **Functions** позволяет вам выбрать два эквивалентных вентиля для перестановки.



✦ **Components** меняет расположения двух packages.

## Selecting Alternate Packages

ALT\_SYMBOLS = '(TOP: SOIC14; BOTTOM: SOIC14\_PE)'



### Selecting Alternate Packages (Альтернативные Packages)

Когда вы располагаете элемент, основной package symbol прикрепляется к курсору по умолчанию. Этот первичный package symbol содержится в файле part definition (*pstchip.dat* для Concept). Смотрите *Logic Import* для большей информации.

Чтобы выбрать другой package symbol для устанавливаемого элемента, нажмите правую кнопку мыши и выберите опцию **Alt Symbol**. Новый package symbol будет прикреплен к курсору на базе определения alternate symbol, содержащегося в файле part definition. (Если описание альтернативного symbol не содержится в definition, опция **Alt Symbol** будет неактивной во всплывающем меню.)

Вы можете определить alternate packages для top и bottom платы (см. пример). При расположении элемента на верхней стороне, команда **Alt Symbol** выбирает первый package symbol из списка. Когда alternate symbols определены для нижней стороны, команда **Mirror** также меняет package symbol соответственной. Выбирая переключатель Mirror в форме Drawing Options также позволяет получить доступ к любому alternate symbol для расположения bottom side.

Функциональные возможности alternate symbol позволяют вам переключаться между стилями through-hole и surface mount package. Они также позволяют вам настраивать размеры pad для дискретных элементов. Для определения нескольких alternate symbols для каждой стороны, используйте запятые. Например:

```
alt_symbols='(T:soic14,soic14_pe; B:soic14,soic14_pe)'
```

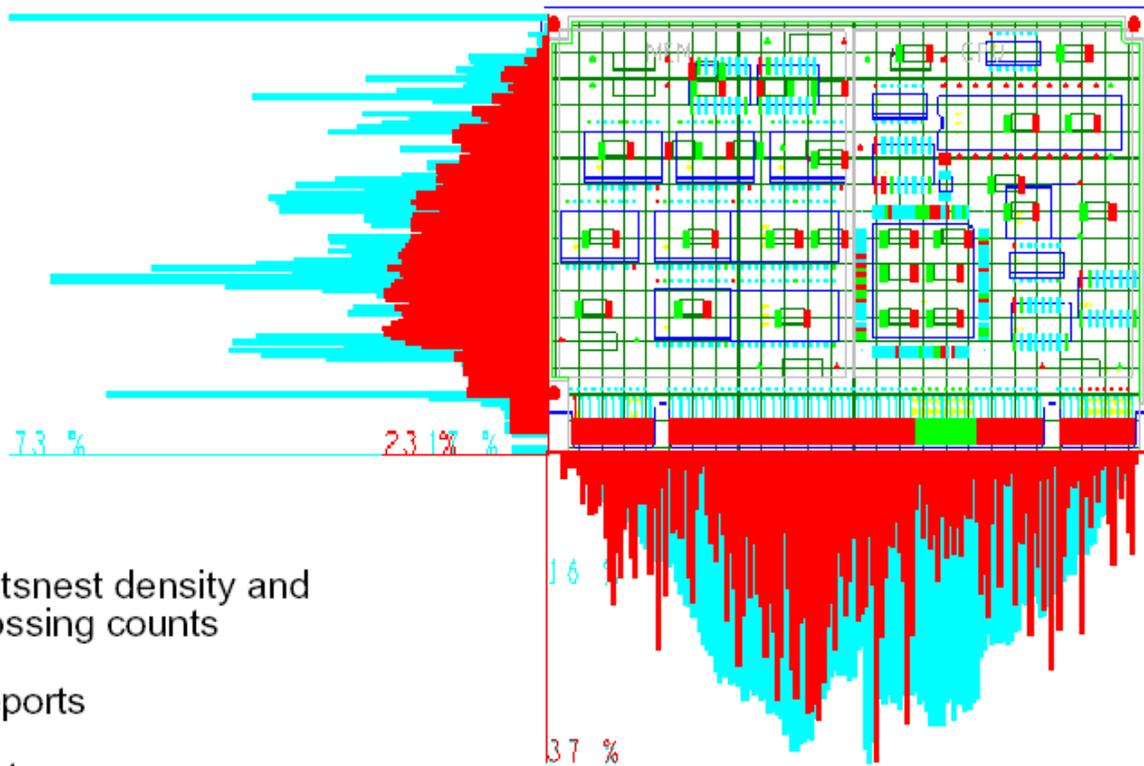
## Placement-Related Properties

- PLACE\_TAG
- ROOM
- NO\_SWAP\_GATE
- NO\_SWAP\_GATE\_EXT
- NO\_SWAP\_PIN
- FIX\_ALL
- FIXED

### Placement-Related Properties (Свойства, используемые при размещении)

- \* **PLACE\_TAG**— Указывает компонент, который будет установлен во время следующего сеанса автоматической или интерактивной расстановки.
- \* **ROOM** — Указывает компонент, который будет расположен в определенном местоположении, определяемом именем комнаты, во время автоматической расстановки.
- \* **NO\_SWAP\_GATE** — Указывает функции, не переставляемые внутри компонента.
- \* **NO\_SWAP\_GATE\_EXT** — Эта функция не может быть заменена функцией из другого компонента (только внутри собственного).
- \* **NO\_SWAP\_PIN** — Указывает, что pins на этом компоненте или функции не могут быть переставлены, как вручную, так и автоматически.
- \* **FIX\_ALL**—Указывает, что компоненты с этой опцией не будут дозволены для любой перестановки pin или gate.
- \* **FIXED** — Компонент не может быть перемещен или удален.

## Tools for Evaluating Placement



Ratsnest density and  
crossing counts

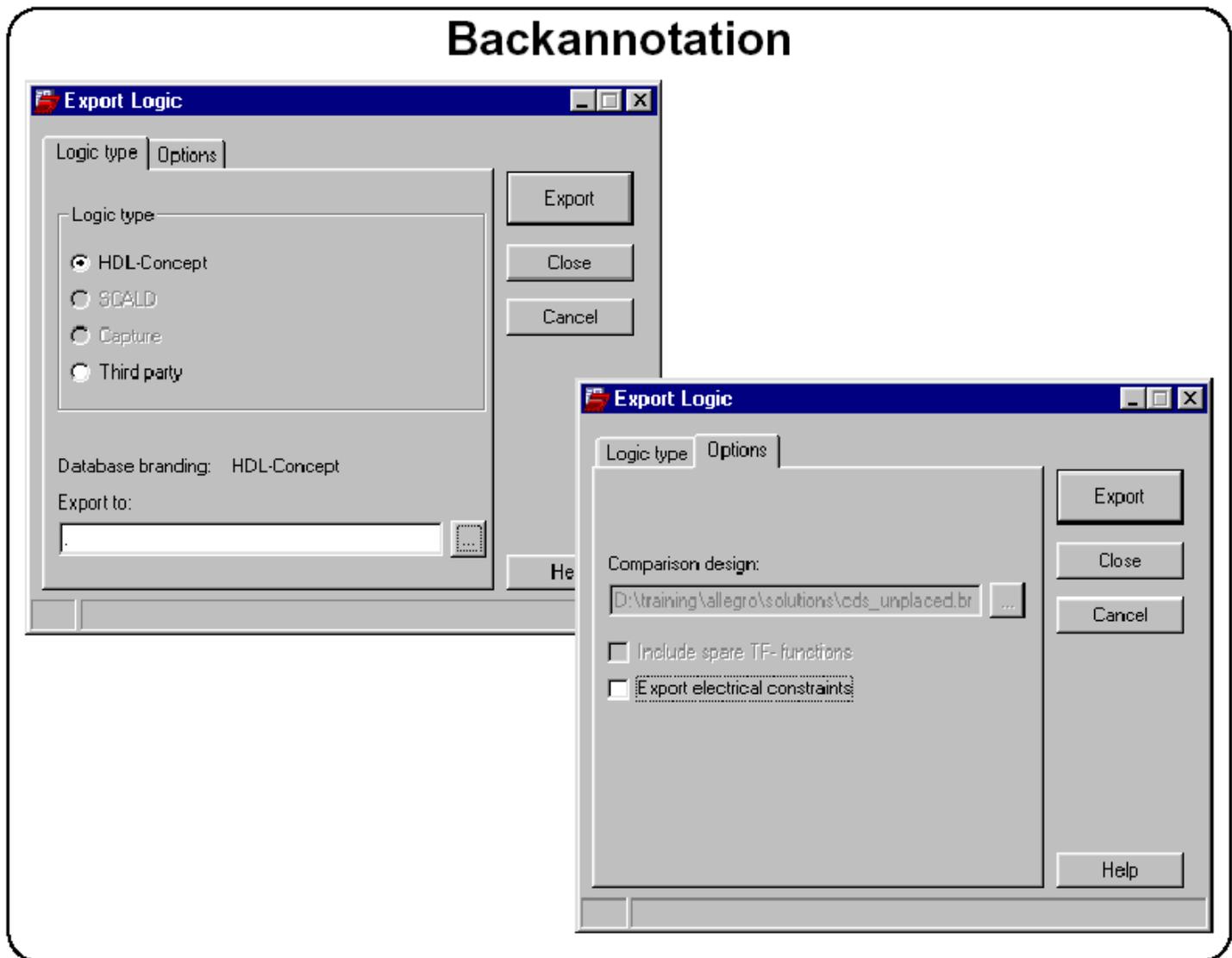
Reports

Histograms

## Tools for Evaluating Placement (Инструменты оценки расположения)

Следующие инструменты доступны для оценки расстановки элементов:

- ✦ Плотность ratsnest и их пересечений (crossing counts).
- ✦ Отчеты:
  - Расстановка компонентов
  - Функция
  - Функция Pin
  - Резервная Функция
- ✦ Гистограммы
  - Вы можете построить гистограммы выбрав **Place—Evaluate—Parameters**.



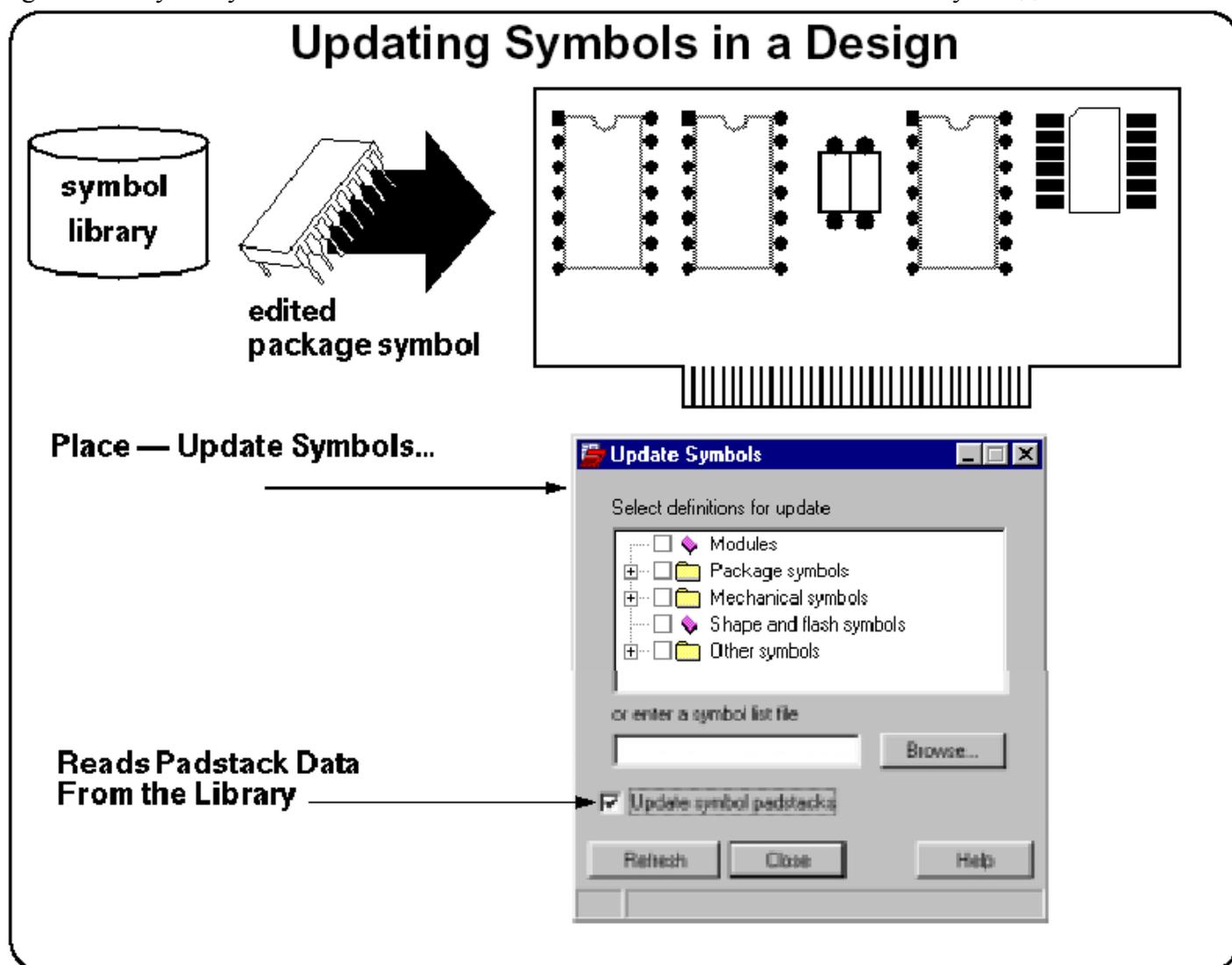
## Backannotation (Обратная аннотация)

Когда вы делаете перестановку gate и pin, вы изменяете базу данных Allegro. Необходимо передавать эти изменения обратно в схему.

**File—Export—Logic** создает все требуемые файлы *.dat*. Allegro, основываясь на указании в каждом файле *pstxprt.dat*, создает файлы *.dat*.

1. Откройте панель Allegro.
2. Выберите **File—Export—Logic**.
3. Выберите **HDL-Concept**, **SCALD** и заполните поле Export To.
4. Если вы вносили изменения в Constraint Manager, включите опцию **Export Electrical Constraints**.
5. Нажмите **Export**.

Allegro создает файлы в рабочей директории Allegro. Также создается файл журнала, *feedback.log*, , который можно просмотреть используя **File—Viewlog**.



## Updating Symbols in a Design (Обновление Symbols)

После расстановки элементов в проекте, вы можете обнаружить ошибку в package symbol. Для решения этой проблемы рекомендуется следующий метод:

1. Используйте symbol editor для редактирования package symbol и исправьте ошибку на уровне библиотеки (чтобы эта проблема не появилась у других пользователей).

— Поставьте pins в правильное положение.

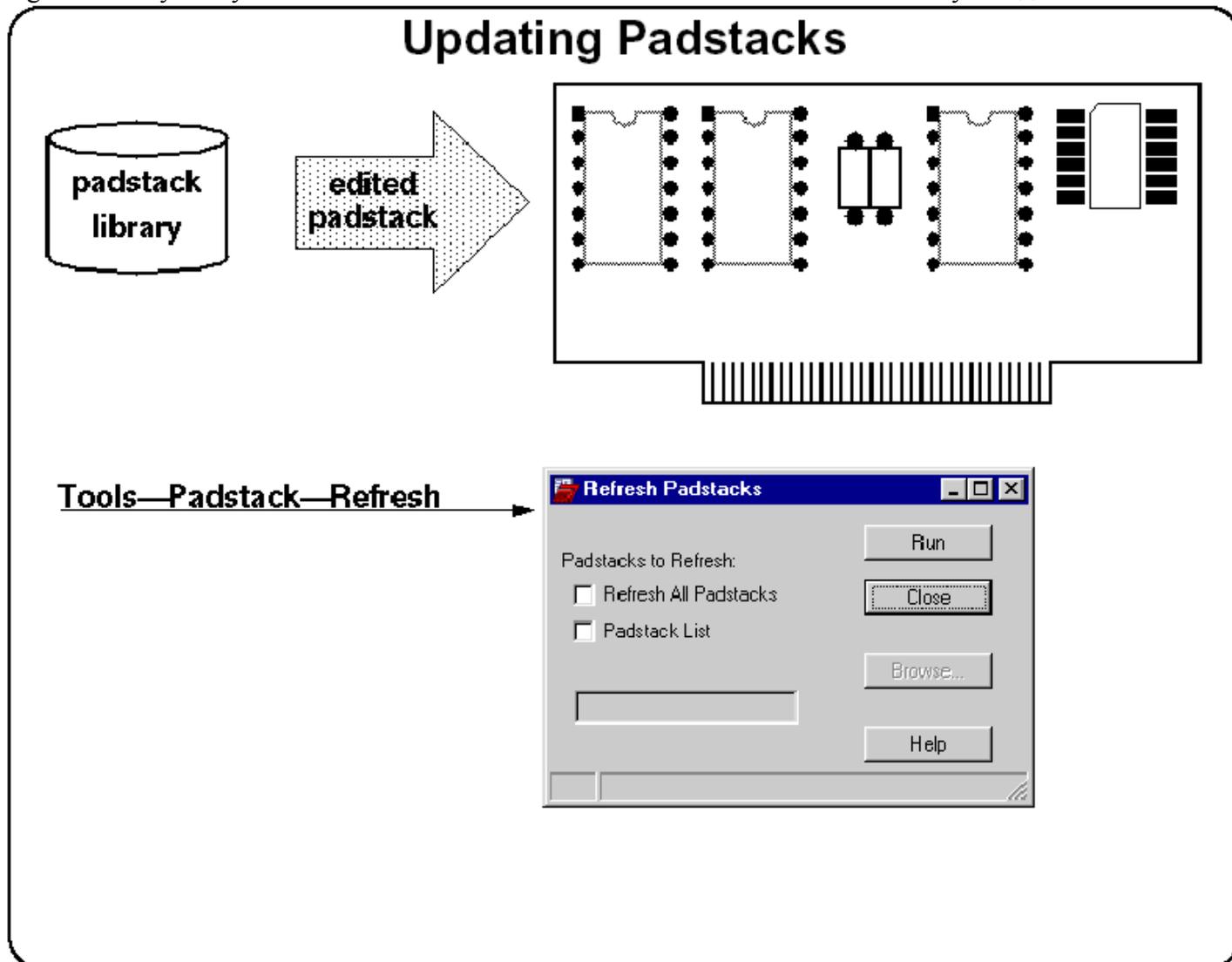
— Используйте Replace Padstack переназначения истинного имени padstack для symbol pins.

— Отредактируйте assembly и/или silkscreen контур, расположение надписи refdes и т.д.

Исправление package symbol в библиотеке не влияет на файл проекта (проект все еще содержит копии неправильных package symbols). Вы должны “переставить” package symbols в вашем проекте на новые, которые хранятся в библиотеке.

2. Используйте **Place—Update Symbols** для замены package symbols в вашем проекте обновленными копиями из библиотеки. Этот метод гарантирует, что элементы в вашем проекте имеют подходящие элементы библиотеки. Различные опции позволяют вам управлять обновлением symbols.

Опция **Update Symbol Padstacks** используется для замены padstacks в вашем проекте, padstacks найденными в библиотеке.



## Updating Padstacks (Обновление Padstacks)

Используйте диалоговое окно Refresh Padstacks для обновления любого или всех padstacks в проекте для соответствия библиотечным padstacks.

**Refresh All Padstacks** чтобы обновить все padstacks в вашем проекте для соответствия библиотечным padstacks.

**Padstack List** чтобы обновить только padstacks из списка, для соответствия библиотечным padstacks. Список padstack может храниться в текстовом файле ASCII, который имеет расширение *.lst*.

## Modifying Padstacks

Tools—Padstack—Modify Design Padstack

Entire Design

OR

Individual Pin(s)

Update the Design

Options Find Visibility

Edit

Instance  Definition

SMD50\_63  
SMD30\_94  
SMD30\_55  
60C85C35D  
60S85C35D  
SMD65REC13

Name: PAD60CIR42D

Symbol: \*

Pin: \*

Ref Des: \*

New Name:

Edit Reset Purge ->

Options Find Visibility

Edit

Instance  Definition

SMD50\_63  
SMD30\_94  
SMD30\_55  
60C85C35D  
60S85C35D  
SMD65REC13

Name: PAD60CIR42D

Symbol: CONN50

Pin: 8

Ref Des: J1

New Name: PAD60CIR42D-1

Edit Reset Purge ->

Padstack Designer:

File Reports Help

New...

Update to Design

Save to File

Save As...

Check

Script...

Close

Drill Hole

## Modifying Padstacks (Редактирование Padstacks)

Когда вы создаете библиотечный padstack, вы можете конкретно определить внутренние слои (SIG2) или интерпретировать их из любой wildcard (SIG\*) или слоя DEFAULT\_INTERNAL. Если слои в библиотечном padstack не имеют соответствия в сечении проекта, то они не используются. Вы можете изменить padstack внутри проекта, если первоначальные значения по какой-то причине требуют изменения. Стандартные формы Padstack Designer используются для обновления padstack внутри проекта.

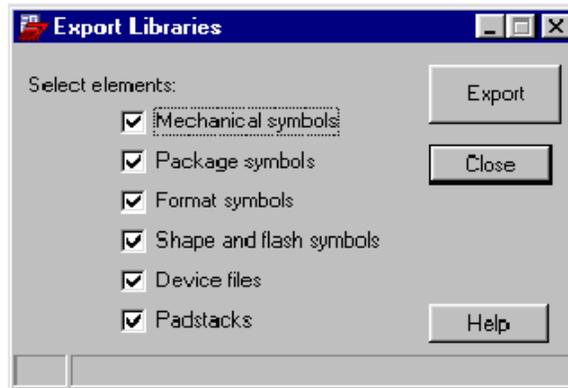
**Definition** – Редактирование padstack внутри контекста всего проекта. Каждое padstack данного типа в проекте изменяется.

**Instance** – Редактирование padstack определенных (определенного) pin(s) внутри проекта. Групповые символы могут быть использованы в любом/всех из полей Symbol/Pin/Ref Des. Поле New Name будет содержать новое имя padstack автоматически созданное программой для отличия нового определения padstack от начального определения. После изменения padstack, сохраните изменения. Используйте команду **File—Update to Design** из верхнего меню формы Padstack Designer form. Это сохранит измененный padstack только внутри проекта. Для сохранения измененного padstack на диске, используйте команды **File—Save** или **File—Save As** из меню Padstack Designer.

Команда **Tools—Padstack—Modify Library Padstack** используется для обновления библиотечного padstack. Браузер представлен для выбора изменяемого padstack. Вы должны иметь права записи в библиотеку для обновления padstack.

## Creating a Library from a Design

File—Export—Libraries



### Creating a Library from a Design (Создание библиотечных элементов из существующей платы)

Выберите **File—Export—Libraries**. Появится форма для экспорта библиотеки из чертежа.

Export Libraries создает mechanical symbols, package symbols, format symbols, shape symbols, flash symbols, файлы devices и файлы padstacks. Он также создает все symbol-related файлы чертежа.

Все файлы записываются в вашу текущую рабочую папку; поэтому, вам лучше перейти в пустую папку перед началом выполнения этой команды. Для изменения вашей текущей рабочей папки введите `cd directory_name` в командной строке Allegro.

## **Лабораторные**

Лабораторная 5-1 Adding Rooms

Лабораторная 5-2 Assigning Preplaced Packages

Лабораторная 5-3 Manual Placement

Лабораторная 5-4 Using Quickplace

Лабораторная 5-5 Using the Schematic for Manual Placement

Лабораторная 5-6 Automatic Placement with SPECCTRA

Лабораторная 5-7 Automatic Pin и Gate Swapping

Лабораторная 5-8 Allegro to Concept

Лабораторная 5-9 Allegro to Third Party

Лабораторная 5-10 Allegro to Capture

Лабораторная 5-11 Advanced Placement Skills

## Глава 6: Routing (Трассировка)

### Цели

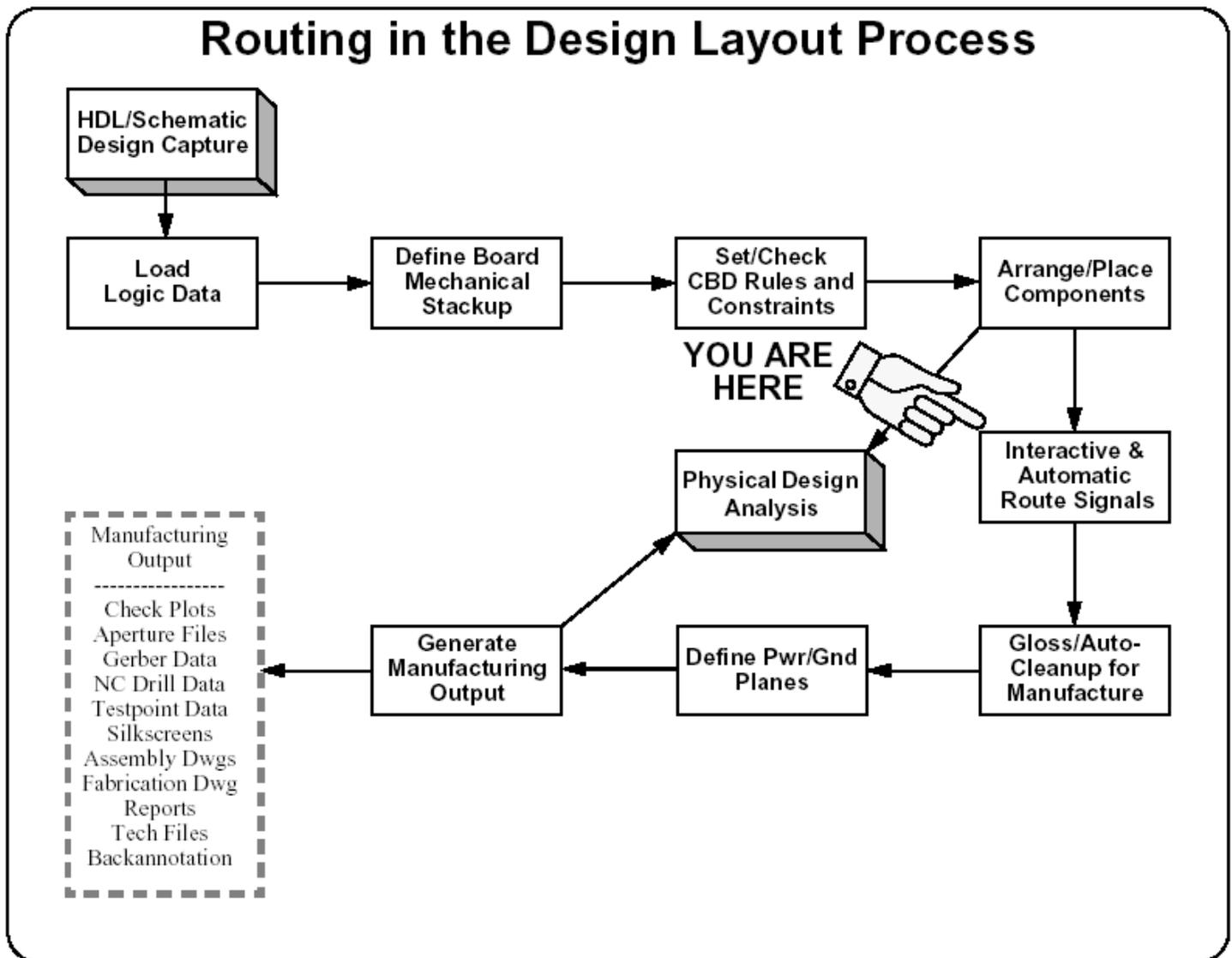
В этой главе вы научитесь:

- ✦ Определять координатные сетки для проводников.
- ✦ Использовать команды интерактивной трассировки.
- ✦ Использовать средства управления формы Options.
- ✦ Изменять существующие проводники.
- ✦ Анализировать свойства и ограничения трассировки.
- ✦ Использовать автотрассировщик SPECCTRA.

### Термины и Определения

#### Термин      Определение

Manhattan Distance	Расстояние между двумя катетами, определяемое как сумма катетов между ними.
Off Grid	pin, via или линия соединения, расположенные вне сетки трассировки.
Pin Escape	Короткий отрезок проводника с переходным отверстием на конце, предназначенный для упрощения автоматической трассировки компонентов с планарными выводами.
Shape-Based Routing	Бессеточная трассировка.
Route Direction	Преимущественное направление проводников при трассировке.



## Routing in the Design Layout Process

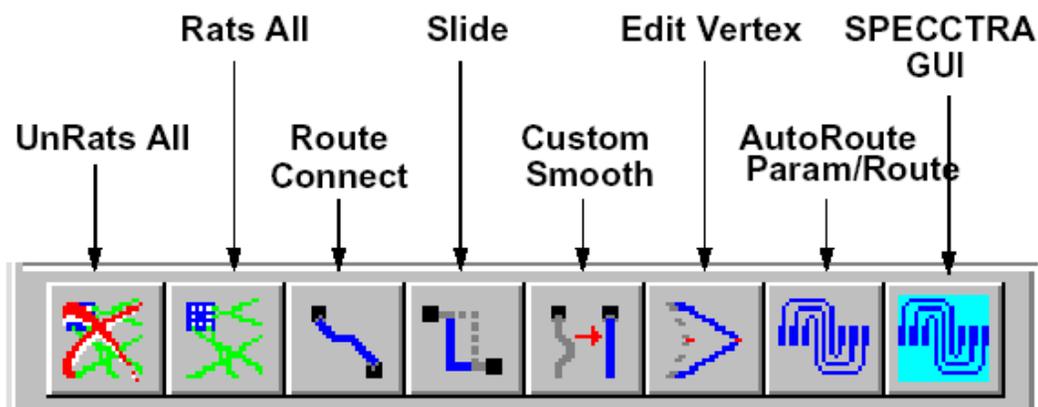
Процесс проектирования продолжается. Вы уже завершили следующие фазы:

- ✦ Load Logic Data
- ✦ Define Board Mechanical Data
- ✦ Define Design Rules
- ✦ Component Placement

Теперь вы готовы к интерактивной и автоматической трассировке сигналов и цепей в вашем проекте. В этой главе рассказывается про три типа трассировки:

- ✦ Interactively adding conductors (Ручная разводка)
- ✦ Automatically routing conductors (Автоматическая разводка)
- ✦ Interactively editing existing conductors (Редактирование существующих проводников)

## Accessing Interactive Route Mode

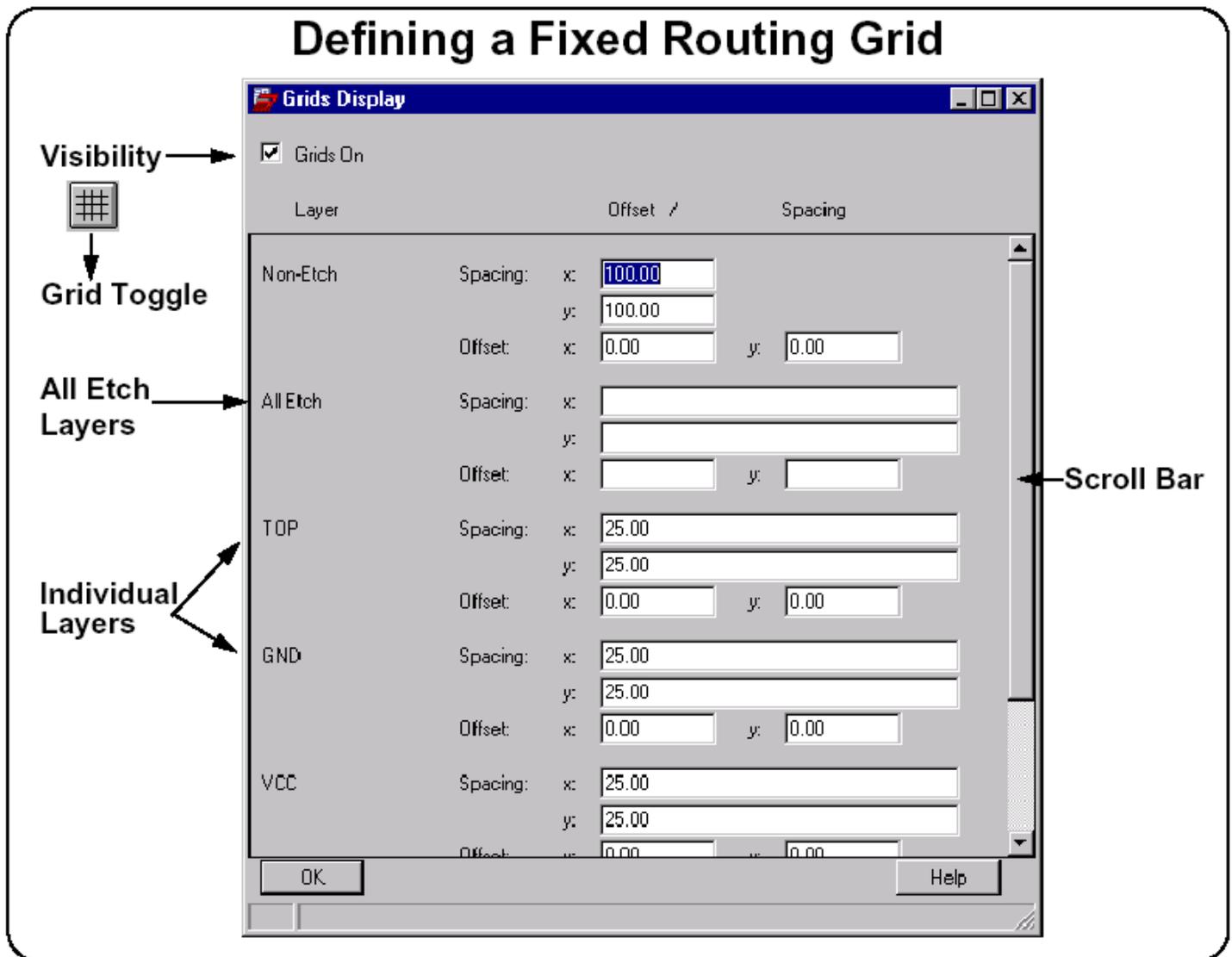


### Accessing Interactive Route Mode (Ручная трассировка)

Используйте команду **route** для доступа к режиму трассировки. Когда вы используете команды трассировки, отображается etch сетка.

Иконки, ассоциированные с трассировкой:

- ✦ **UnRats All** выключает все линии ratsnest.
- ✦ **Rats All** включает все линии ratsnest.
- ✦ **Route Connect** используется для создания проводников между pins.
- ✦ **Slide** используется для передвижения проводников.
- ✦ **Custom Smooth** используется для выравнивания или глянцеваания отдельных проводников при интерактивной трассировке.
- ✦ **Edit Vertex** используется для добавления или удаления vertices из существующих проводников.
- ✦ **AutoRoute** открывает форму SPECCTRA Automatic Router и позволяет вам вызвать трассировщик SPECCTRA, без доступа к интерактивному интерфейсу пользователя SPECCTRA.
- ✦ **SPECCTRA GUI** переводит текущий проект Allegro и открывает его в интерактивном интерфейсе пользователя SPECCTRA. По умолчанию, эта иконка НЕ является частью панели инструментов трассировки. Она должна быть добавлена вручную.

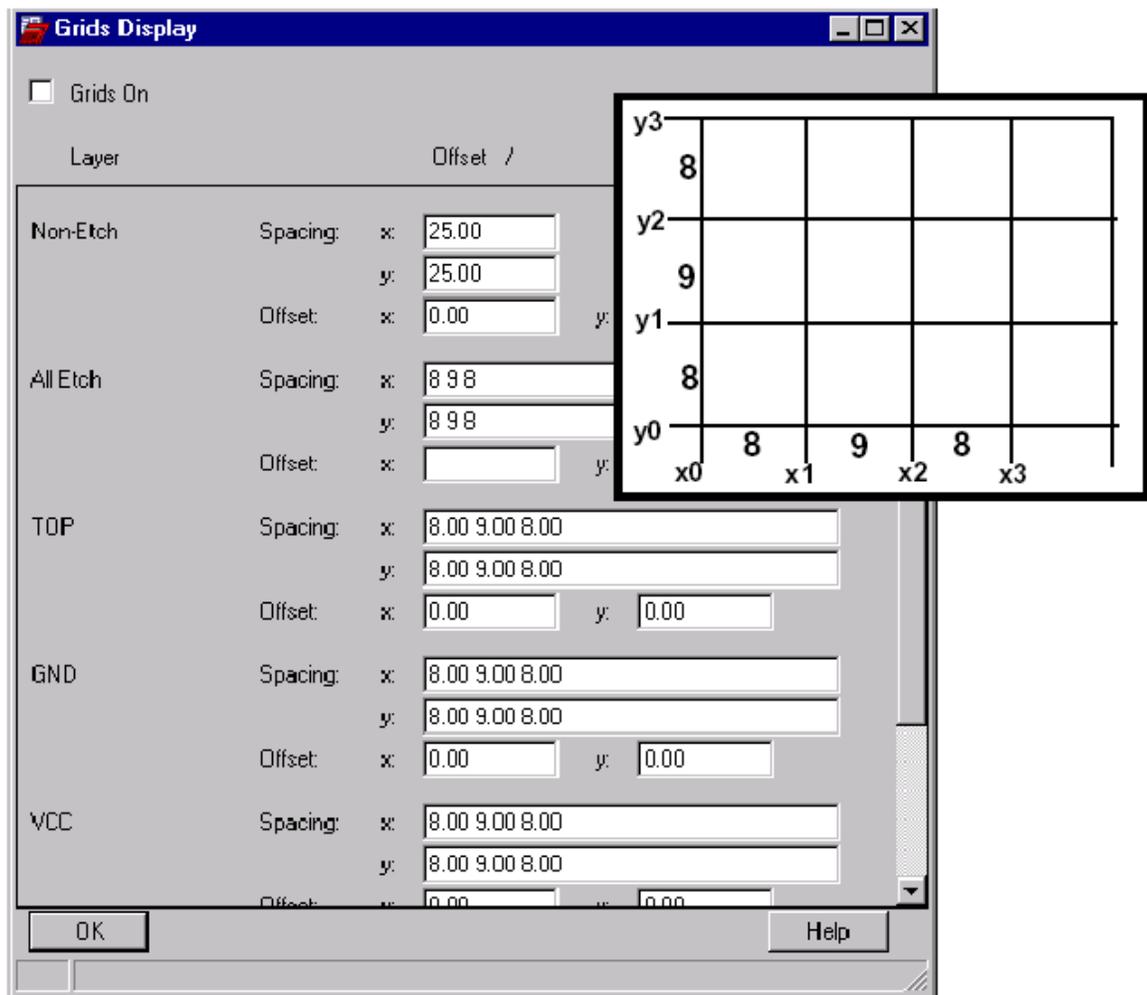


## Defining a Fixed Routing Grid (Установка фиксированного шага трассировочной сетки)

Выберите **Setup—Grids** из верхнего меню для доступа к форме Grids Display. Форма показывает неподвижную координатную сетку на всех слоях. Система неподвижных сеток использует последовательное приращение или промежуток между линиями сетки в направлениях x и y (обычно определяемый одним числом, как 25). Сетка начинается из начала отсчета (0,0) чертежа.

- ✦ Кнопка **Grids** в левом верхнем углу формы управляет видимостью линий сеток на экране.
- ✦ Секция **All Etch** формы всегда пуста. Ввод шага сетки здесь, определяет его для всех слоев проводников сразу (то есть, вам не нужно вводить сетку для каждого отдельного слоя).
- ✦ Если вы хотите использовать другую сетку на определенном слое, введите ее в секции individual layers.
- ✦ Используйте скроллинг на правой стороне формы, чтобы видеть все отдельные слои.

## Defining a Variable Routing Grid



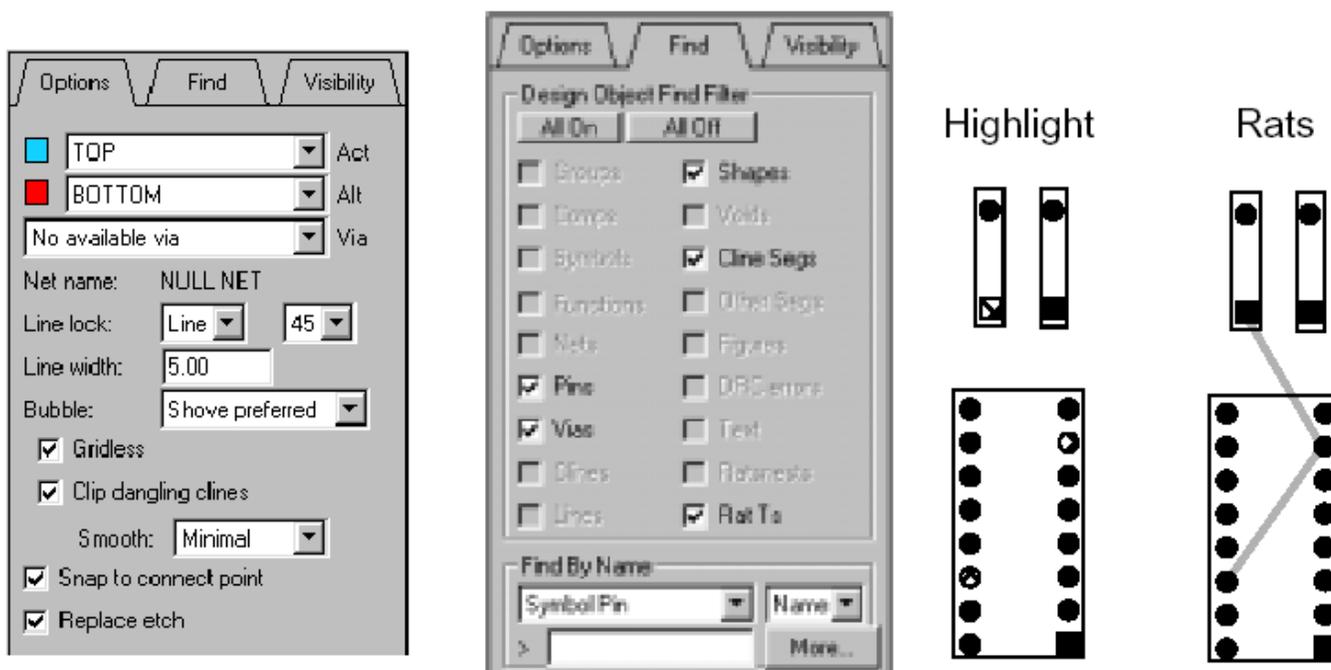
### Defining a Variable Routing Grid (Установка переменного шага трассировочной сетки)

Изображенная форма показывает сетку с *переменными* 8, 9, 8. Система изменяемых сеток использует повторяющиеся последовательности приращений для определения шага сетки в направлении x или y.

- ✦ Изменяемые сетки помогают максимизировать использование доступной области трассировки, оптимизируя число потенциальных каналов трассировки.
- ✦ Изменяемые сетки хорошо адаптируются в смешанных технологических проектах (boards with through-hole, surface mount и fine-pitch components).
- ✦ Старайтесь создавать переменную сетку, которая будет содержать большинство pins ваших компонентов на координатной сетке.

## Finding Nets or Viewing Rats

When using the **Route—Connect** command, the following is displayed in the Control Panel:



Use Highlighting or Ratsnest lines to find missing connections.

### Finding Nets or Viewing Rats (Поиск цепей и просмотр связей) Highlighting Nets (Высвечивание цепей)

Для выбора элементов, отображаемых в более ярком цвете, выберите **Display—Highlight**. Для обесцвечивания элементов, которые в данный момент выделены, используйте **Display—DeHighlight**.

### Viewing Ratsnests (Просмотр связей)

Rats – воображаемые линии нарисованные между несоединенными pins цепи. Используйте команду **Display** для отображения или обесцвечивания (удаления с экрана) линий ratsnest.

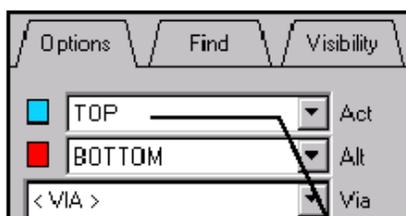
Для отображения или обесцвечивания (удаления с экрана) всех rats или только по компонентам цепи выберите **Display—Show Rats** или **Display—Blank Rats**.

**Внимание:** Когда цепь содержит несоединенные конечные точки трассировки, линии ratsnest проводятся к концу соединения (вместо pin, к которому они присоединены).

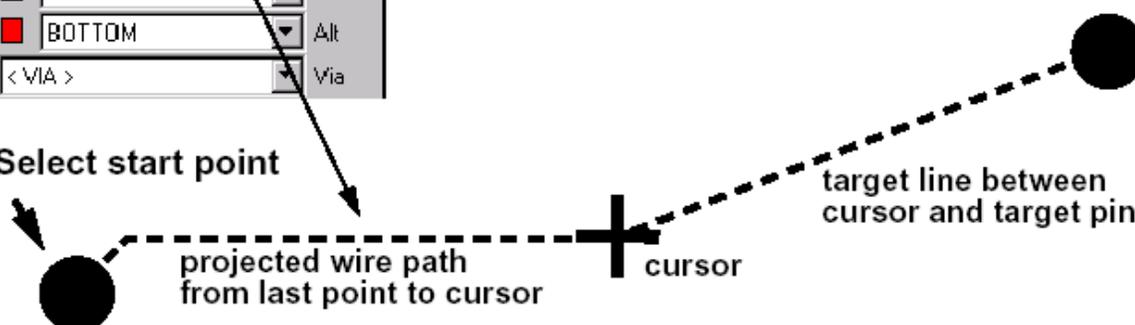
## Adding Signal Connections

① **Route — Connect** or 

② Check “Active” layer



③ Select start point



④ Click left to enter the projected wire path.  
Click left to continue path to target pin.

⑤ To exit Connect mode, use the Done command.

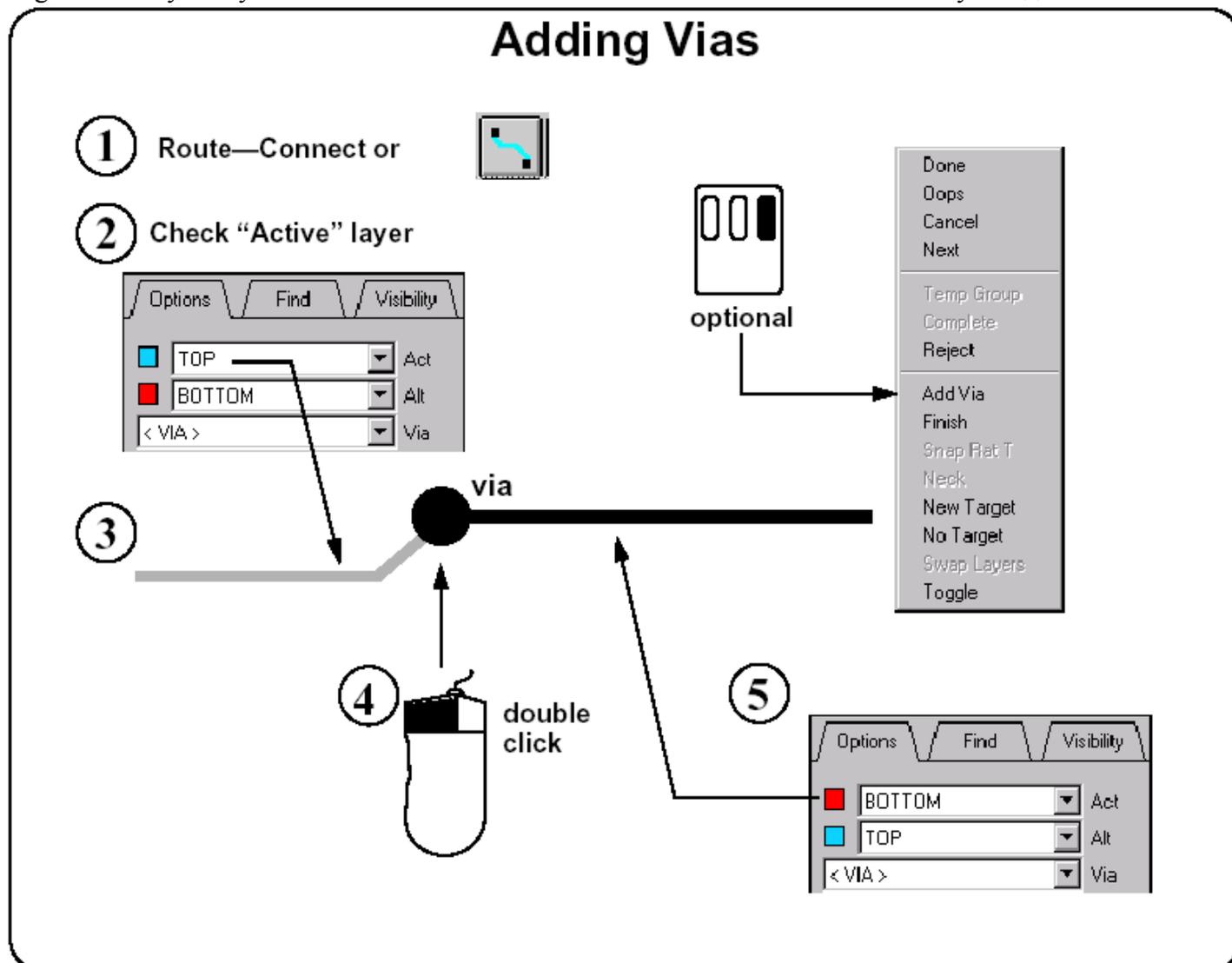
### Adding Signal Connections (Создание проводников)

Для добавления сигнальных соединений, вначале выберите пункт **Route—Connect** из верхнего меню. Allegro переключится в режим добавления линий соединения. Линии соединения отличаются от остальных графических линий, потому что они имеют сведения об имени сигнала и придерживаются правил проектирования для ширины и зазоров.

Убедитесь, что все установки верны в формах **Options** и **Visibility**. Позже будет дано детальное описание этих установок в этой главе. Если вы уверены, что все установки формы **Options** подходящие, можно начинать выбирать точки или чертить проводники.

После выбора начальной точки, предполагаемый путь проводника следует за курсором. Это сегмент проводников или соединение, которое будет добавлено в проект.

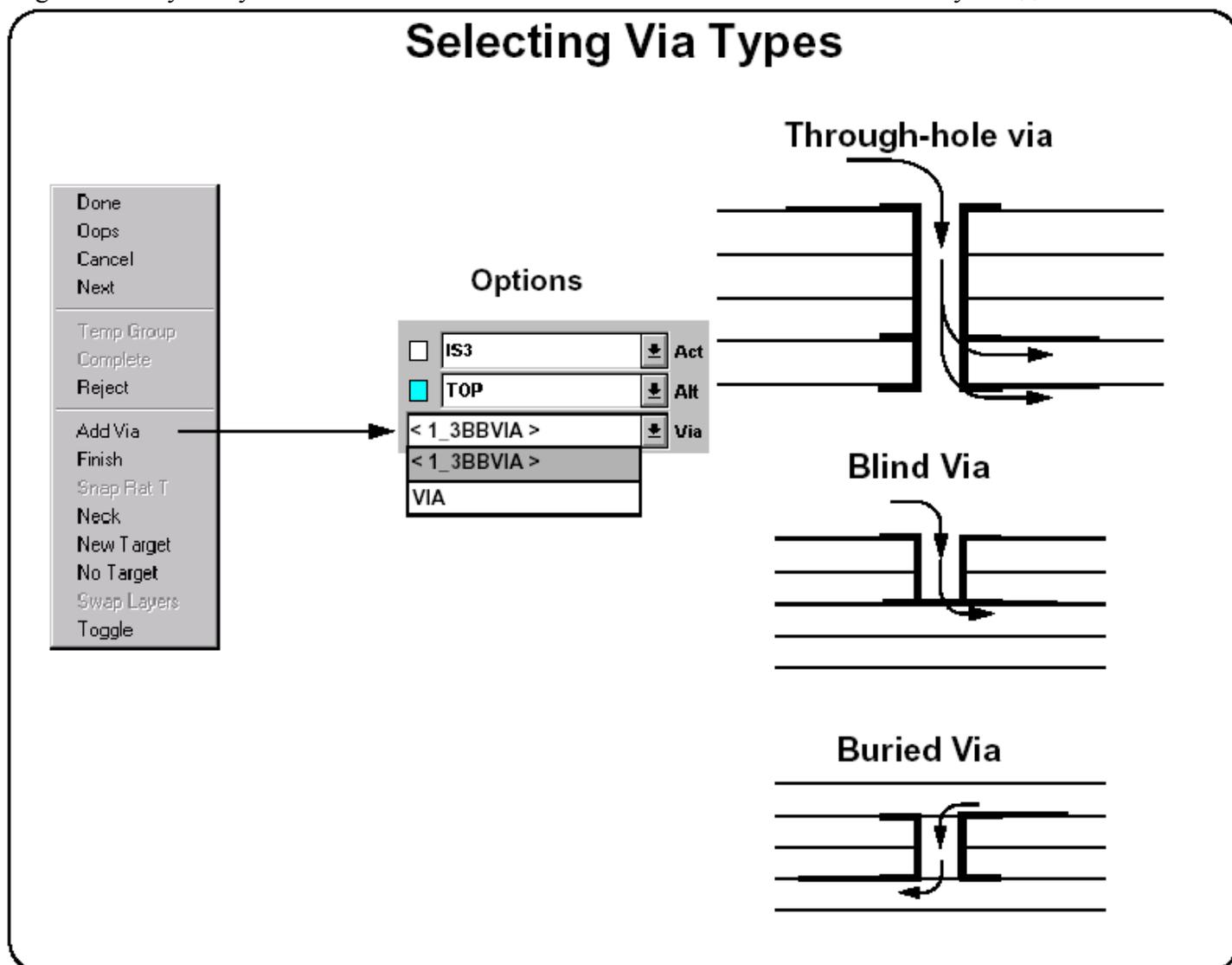
Между вашим курсором и намеченным pin идет линия цели, которая ведет себя как гид, который показывает вам, куда вы должны пойти, чтобы закончить соединение. Если вы включите rats, линия ratsnest протянется от начальной точки к намеченному pin. (Эта линия ratsnest динамично перестраивается между конечной точкой проводника и намеченным pin для каждого добавляемого сегмента.)



## Adding Vias (Добавление переходных отверстий)

Как использовать опцию **Connect** для добавления vias:

1. Выберите **Route—Connect** из верхнего меню. Заметьте, что форма Options меняется.
2. Проверьте все установки в форме Options и удостоверьтесь, что желаемый слой etch - *Active*.
3. Начните добавлять соединение, выбирая точки вершины, используя левую кнопку мыши в рабочей зоне Allegro.
4. При добавлении via, проверьте слой Alternate в форме Options (измените, если необходимо). Дважды нажмите на левую кнопку мыши.
5. Заметьте, что слои **Active** и **Alternate** поменялись. Вы можете продолжить добавлять ваше соединение на активном в данный момент слое.
6. Нажмите правую кнопку и выберите **Done** для завершения команды **Connect**.



## Selecting Via Types (Определение типа Via)

Существует два типа vias: through-hole или blind/buried. Вы можете добавить любой тип как часть соединения.

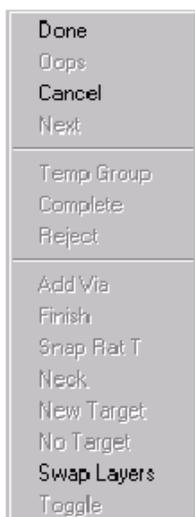
**Through-hole via** металлизированное отверстие, проходящее через все слои. Она осуществляет связь от одного слоя etch ко всем остальным. Through-hole vias встречаются чаще всего. Они легче и проще в производстве, чем blind или buried vias, но они блокируют области трассировки на всех слоях. Для того, чтобы добавить vias, которые отличаются от выбранного по умолчанию, вы должны добавить их в список доступных vias в списке физических ограничений.

**Blind via** – металлизированное отверстие, которое начинается с внешнего слоя, но не проходит через все слои. Оно осуществляет связь между внешним слоем и одним или более внутренним слоем. **Buried via** – металлизированное отверстие, которое начинается от внешнего слоя и простирается до другого внутреннего слоя, но никогда не достигает внешней поверхности платы. Blind и buried vias не блокируют каналы трассировки на всех слоях и таким образом позволяют большее число соединений в компактных платах. Эти типы vias более дорогие в производстве. Для того, чтобы использовать blind или buried vias вы должны определить пары слоев выбором **Setup—Vias—Define B/B Via** из верхнего меню. Выберите из списка доступных vias формы Options.

## Pop-up Menu Options



Before you select  
a start point:



After you select a  
start point:



### Pop-up Menu Options (Опции выпадающего меню)

После выбора команды **Route—Connect** и нажатии правой кнопки мыши вы видите всплывающее меню.

**Swap Layers** меняет слои **Active** и **Alternate** в форме Options. Во время процесса добавления сегментов, доступны разные опции.

**Done** выходит из команды **Route—Connect**.

**Oops** позволяет вернуться на шаг назад.

**Cancel** отменяет все выборы и выходит из команды.

**Next** позволяет создать новое соединение без выхода из команды.

**Reject** применяется, если несколько объектов уложены поверх друг друга. Она позволяет отменить текущий выбранный объект и выбрать другой объект из окна.

**Add Via** используется для добавления through-hole, blind или buried routing vias.

**Finish** завершает соединение используя автоматический трассировщик. Эта трассировка проводится только на активном уровне.

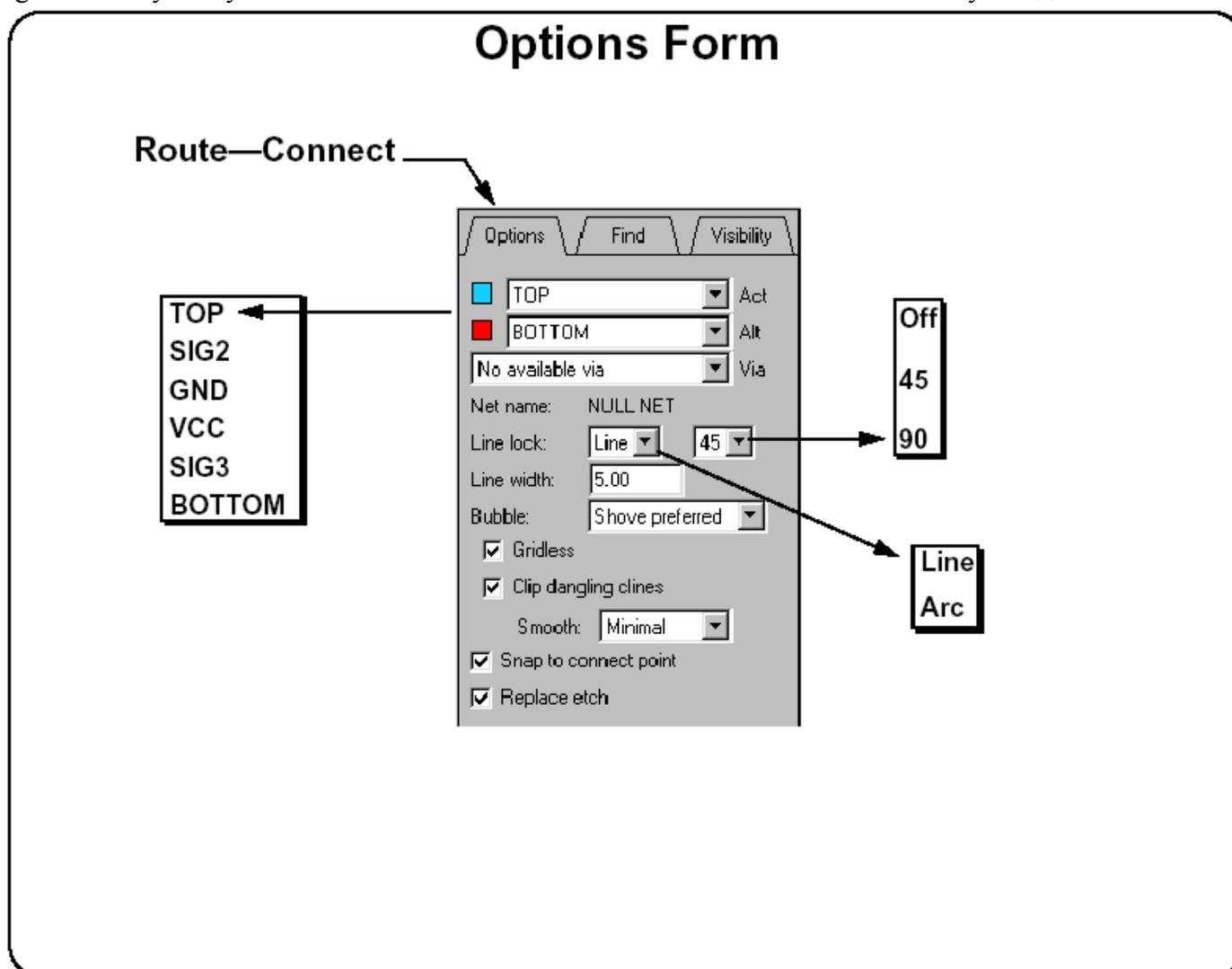
**Snap Rat T** позволяет вам передвинуть T – образное соединение к последнему pick.

**Neck** означает, что следующий сегмент будет neck down и подтверждает, что сегмент подходит Physical Rule Set под ограничения Minimum Neck Width и Length.

**New Target** позволяет выбрать новый pin в качестве цели (по умолчанию – ближайший pin).

**No Target** убирает линию от курсора до намеченного pin.

**Toggle** позволяет переключать начальное направление предполагаемого пути проводника.



## Options Form (Панель опций)

При выборе **Route—Connect**, меняется форма Options. Можно поменять данные в большинстве полей, передвигая курсор к полю и нажимая левую кнопку мыши. Схема показывает доступные действия через различные всплывающие меню.

### Act и Alt

Поля подклассов **Active** и **Alternate** определяют, который слой используется для текущего соединения. Слои **Active** и **Alternate** меняются, если вы выберете **Swap** или добавите via. При выборе surface mount pin или части существующего etch, слой **Active layer** автоматически переключится на соответствующий подкласс.

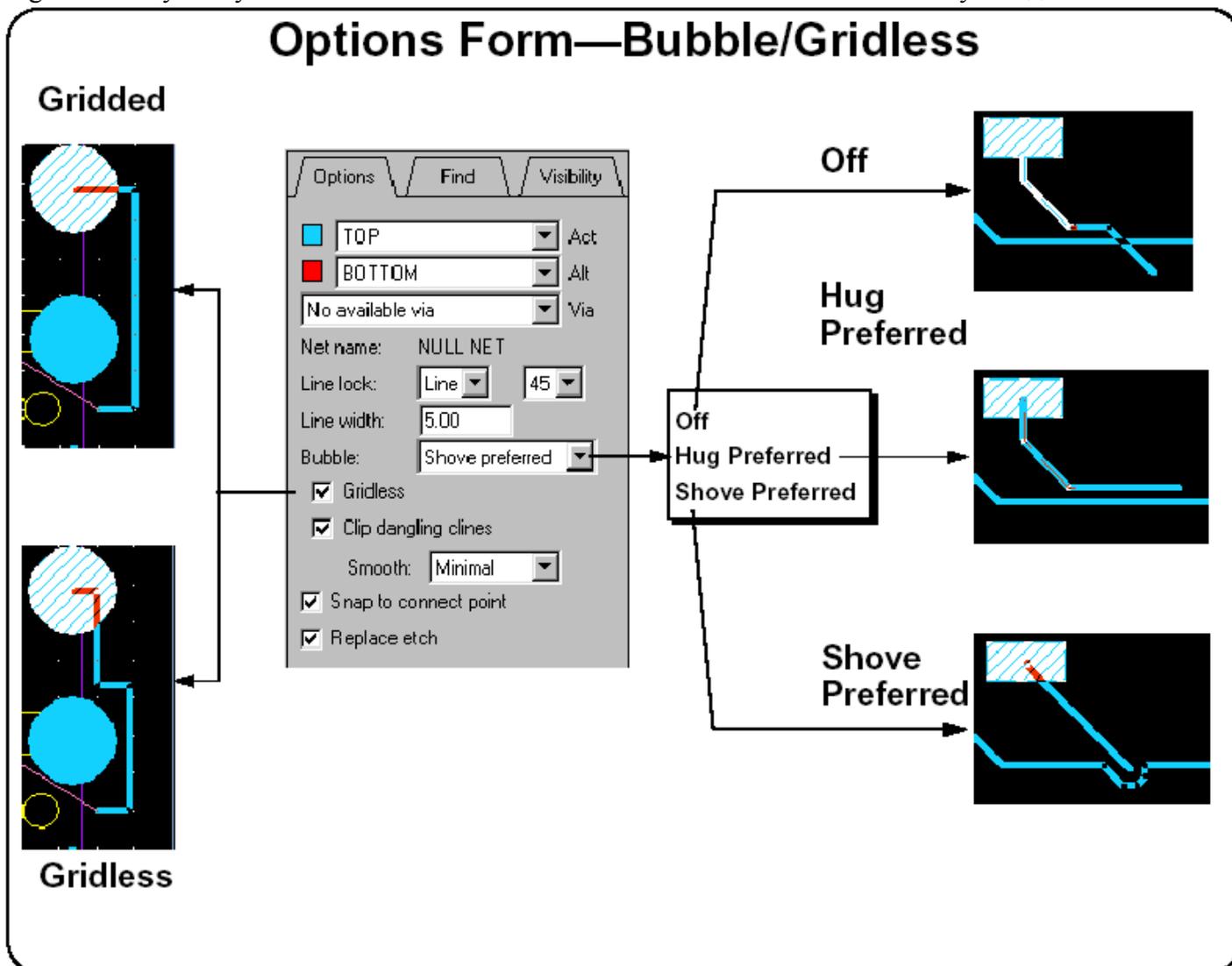
### Line Lock

Эти установки управляют типом линий (**Line** или **Arc**) и углами, дозволенными для поворотов. **Off** подразумевает, что позволена “трассировка под любым углом”.

### Line Width

Значение ширины линии по умолчанию базируется на Standard Design Rules. Когда вы выбираете pin для трассировки, программа Allegro опознает цепь и автоматически загружает поле Net Name и требуемый размер линии в форму Options. Вы также можете ввести в это поле значение. (Введенное вами значение сравнивается с набором правил проекта для той цепи, и любые нарушения отмечаются в проекте.)

## Options Form—Bubble/Gridless



## Options Form—Bubble/Gridless

### Bubble

Поле Bubble предлагает три выбора:

**Off** означает, что трассировка следует за вашим курсором точно в направлениях x и y. Он делает точно то, что вы от него хотите, независимо от возможных ошибок DRC.

**Hug Preferred** означает, что новая трассировка огибает существующие объекты etch. Существующие объекты не изменяются.

**Shove Preferred** означает, что другие объекты etch отодвигаются с пути, если это возможно.

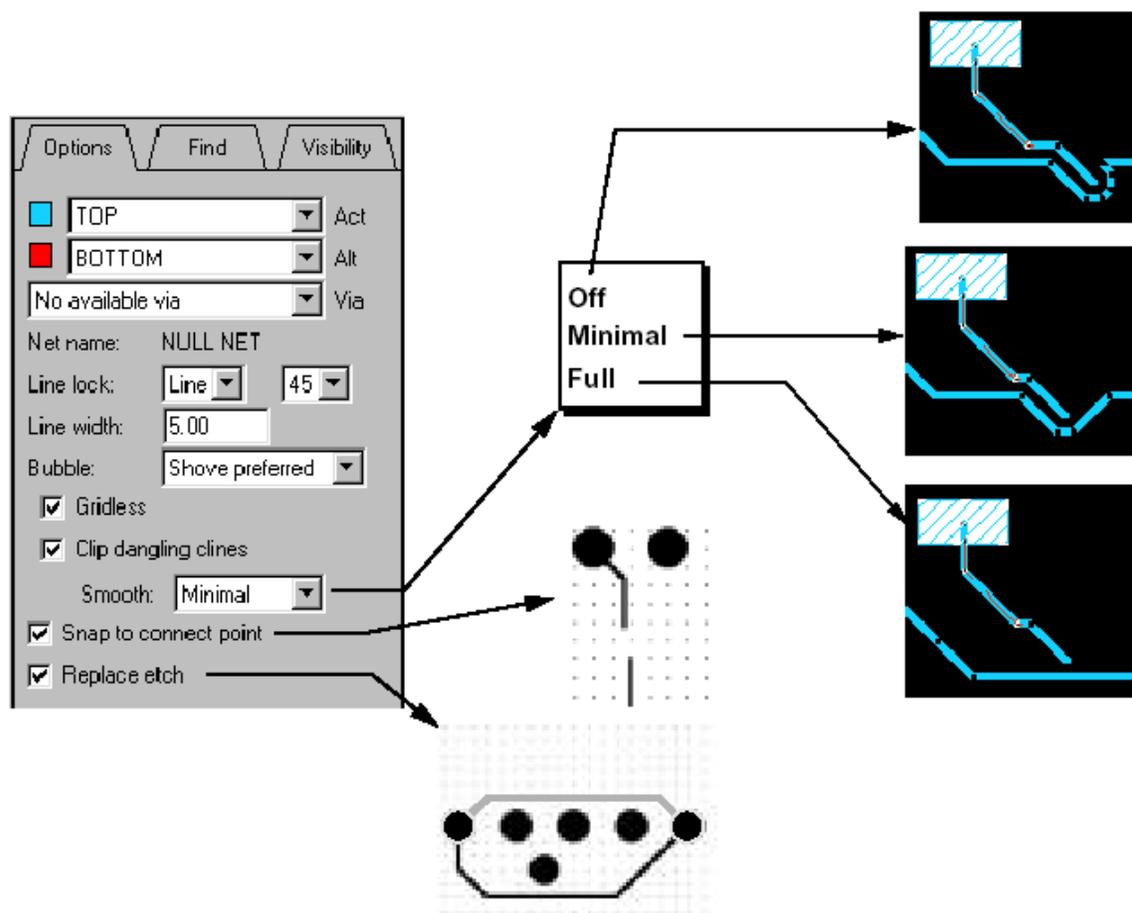
### Gridless

Это свойство определяет, фиксируются ли добавляемые проводники по сетке трассировки или нет. Опция доступна, если включены Hug Preferred или Shove Preferred. Она предлагает два выбора:

**Off** выталкивает etch к следующей доступной свободной сетке.

**On** отталкивает проводники от pads и vias, чтобы достичь минимального дозволенного зазора DRC.

## Options Form—Smooth



## Options Form—Smooth

### Smooth (Сглаживание)

Это свойство автоматически сглаживает или очищает трассировку в процессе ее добавления. Сглаживание доступно только если включено Hug Preferred или Shove Preferred. Сглаживание предлагает три выбора:

**Off** означает, что это свойство отключено. Существующий проводник под влиянием текущей трассировки может обрываться с нежелательными углами. Использование этой опции – метод для создания экранированного проводника.

**Minimal** уберет только несколько коротких и/или дополнительных сегментов.

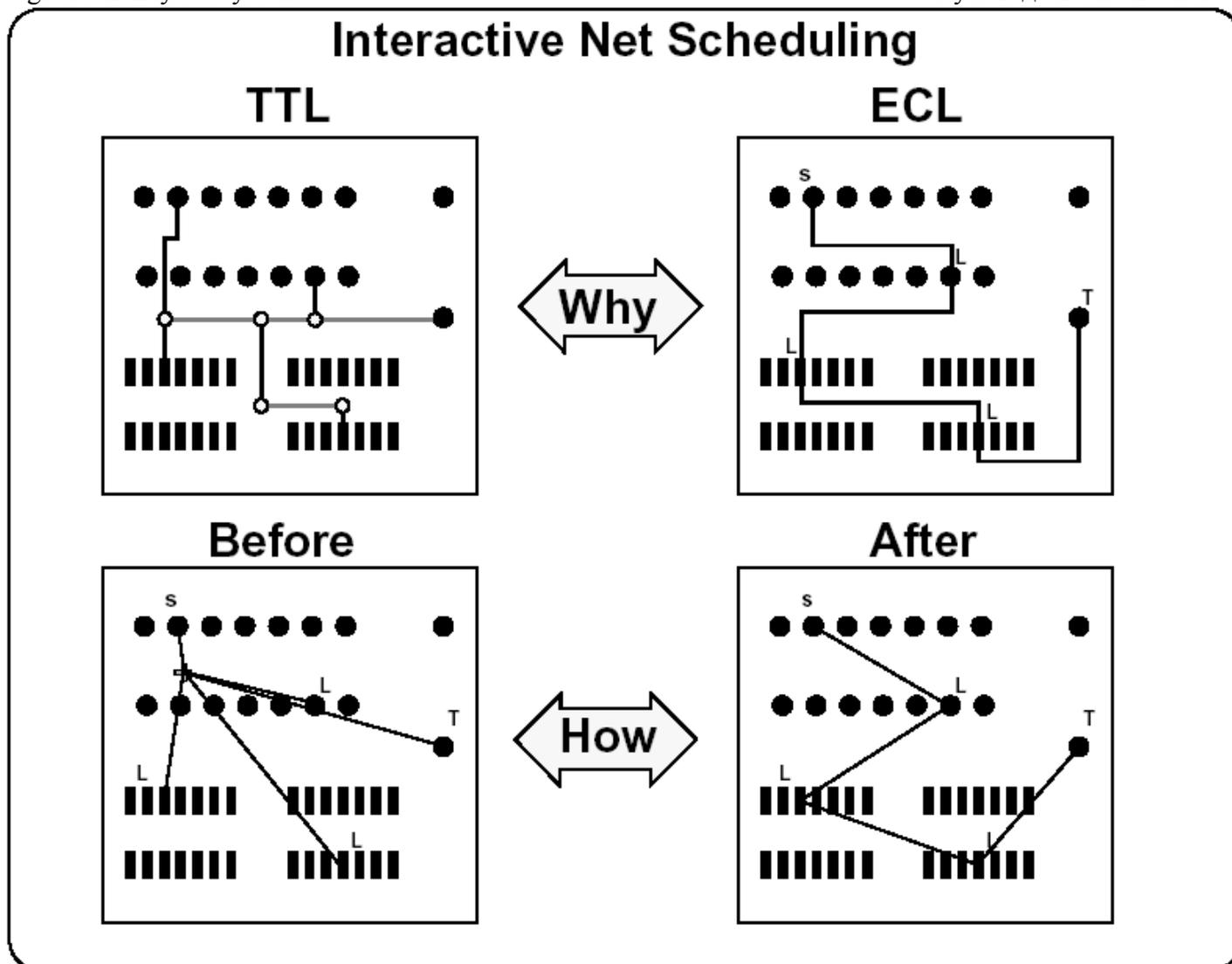
**Full** уберет больше сегментов, похоже на команду Custom Smooth.

### Snap to Connect

Эта опция позволяет подсоединяться к центрам pads, vias, расположенным не в сетке или незаконченным проводникам.

### Replace Etch

Replace Etch позволяет изменить путь существующей трассировки, без операций дополнительного удаления и добавления. Когда вы добавляете петлю к существующей трассировке, старая петля опознается и автоматически удаляется.



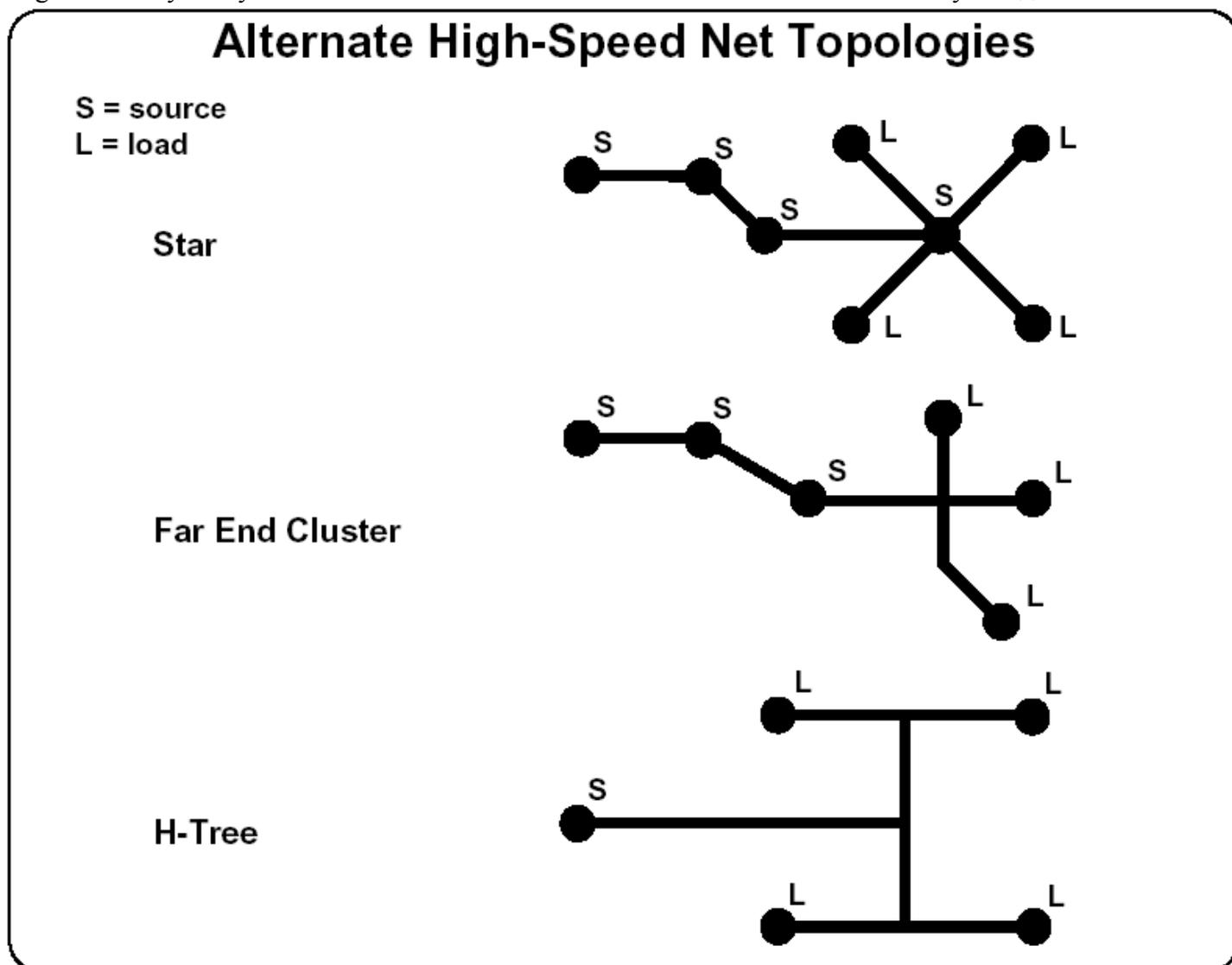
### Interactive Net Scheduling (Порядок прохождения сигнала)

ECL (emitter-coupled-logic) и другие высокоскоростные сигналы часто требуют расположения соединений в определенном порядке. Вам может потребоваться вручную перераспределить порядок соединений для удаления отражения и правильной синхронизации сигнала.

Выберите **Logic—Net Schedule** из верхнего меню, для интерактивного изменения порядка соединения в котором соединены цепи. Начните нажатием на pin цепи (лучше на одном конце цепи). Вы увидите линии ratsnest протянутые к курсору от всех остальных pins цепи. Продолжайте нажимать на оставшиеся pins в том порядке, в каком вы хотите, чтобы они соединились.

Автоотрашировщик SPECCTRA и проверка Allegro DRC придерживаются указанного вами плана цепи.

**Внимание:** каждая цепь может быть спланирована (не обязательно цепь ECL).

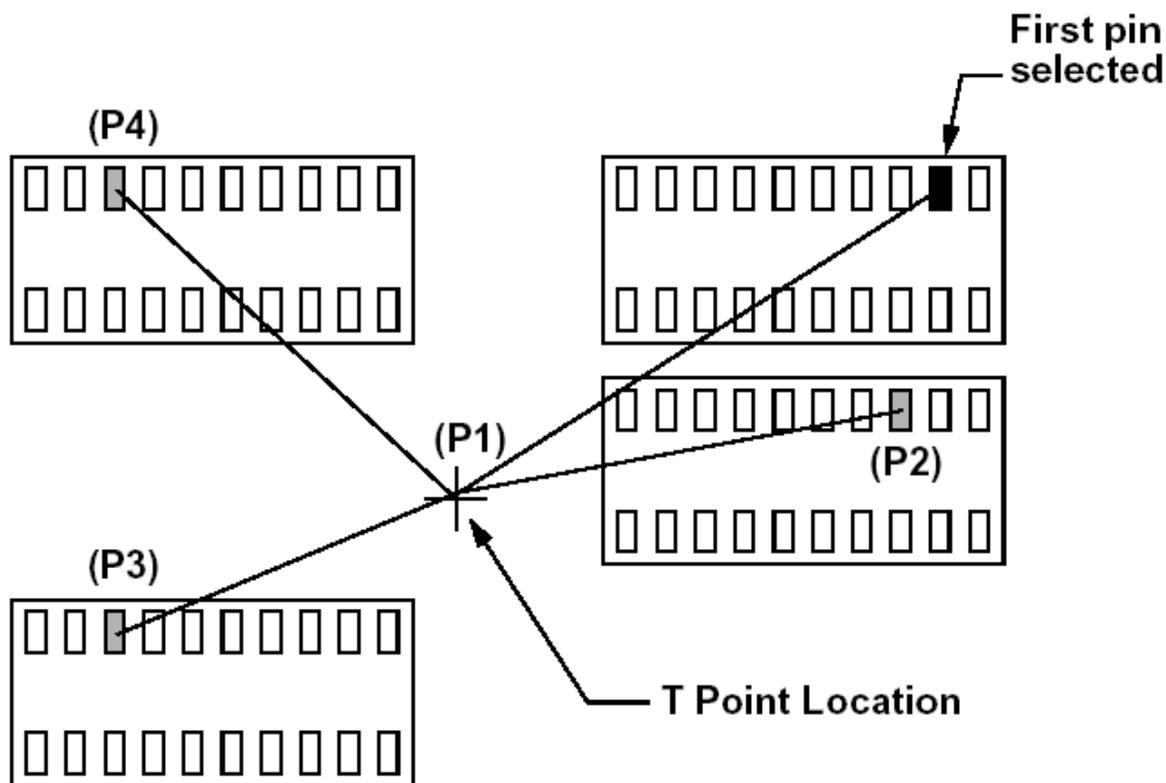


### Alternate High-Speed Net Topologies (Особенности топологии высокочастотных цепей)

Некоторые высокочастотные технологии требуют планирования цепей в структуры, отличные от общепринятого стиля последовательного подключения.

- ★ Star Pattern использует последовательное соединение pins – источников со звездообразным соединением всех pins - приемников к одному концу цепи.
- ★ Far End Cluster формирует план, похожий на звезду, за исключением того, что pins - приемники соединены T – образно, рядом с одним концом последовательного соединения.
- ★ H-Tree добавляет соответствующие правила задержки распространения сигнала к цепям *Star* и *Far End Cluster*.

## Scheduling a Net with T-Points



### Scheduling a Net with T-Points (Планирование цепей с использованием Т - образных соединений)

Вы можете спланировать Т - образные соединения используя команду **Logic—Net Schedule**.

Для создания показанной структуры *Star* или *Far End Cluster*, начните с нажатия на pin – источник для планируемой сети. Нажмите правую кнопку и выберите **Insert T** из всплывающего меню для расположения Т - образного соединения, которое станет источником ветвления, потом нажмите на оставшиеся pins цепи в порядке, который соответствует показанному на рисунке: P1, P2, P1, P3, P1, P4. При указании Т-point (P1) между каждым выбором pin, вы сформируете структуру *Star* или *Far End Cluster*. Теперь можно увидеть линии ratsnest, которые показывают новую форму. Автоматические трассировщики соединят pins как показано линиями ratsnest и поставят соединение на месте Т-point.

## Accessing the SPECCTRA Router



← SPECCTRA INTERFACE

**File — Export — SPECCTRA**

**File — Import — SPECCTRA**

### Accessing the SPECCTRA Router (Трассировщик SPECCTRA)

Существует три пути доступа к SPECCTRA.

1. Иконка интерфейса SPECCTRA находится наверху окна Allegro.
2. Вы можете выбрать **File—Export—SPECCTRA** для создания файла *.dsn* из Allegro.
3. Вы можете выбрать **File—Import—SPECCTRA** для чтения файлов *session* или *routes* в Allegro.

## Autoroute Prerequisites

- A netlist is loaded to give conductor intelligence.
  - A partial netlist is acceptable.
- Placement reflects the arrangement of the logic
  - A partial placement is acceptable.
- A user-defined Route Keepin
  - Mandatory.

### **Autoroute Prerequisites (Необходимые условия для автотрассировки)**

Автотрассировка обычно происходит после завершения расстановки и некоторых незначительных приготовлений, таких как добавление особых цепей. К данному моменту вы уже определили ограничения, также как свойства трассировки.

Автотрассировка может быть проведена как для всех так и не для всех цепей и полной или неполной разводкой. Allegro попытается соединить любые цепи, принадлежащие расставленным компонентам вашего проекта.

Вам СЛЕДУЕТ определить в проекте Route Keepin. Определите зону keepin через board symbol или добавьте ее прямо в проект. Если Route Keepin не определена, переводчик SPECCTRA сделает зону трассировки в SPECCTRA на весь объем чертежа.

## Preparing for Automatic Routing

- Check/define cross section (layer stackup).
- Check/define appropriate constraints and properties.
- Check for NO\_RIPUP, NOROUTE, FIXED, and NO\_GLOSS properties.
- Define high-speed net scheduling if necessary.
- Define internal plane layers as negative in the cross section (layer stackup) form.
- Run the SPECCTRA Router Checks Command
- **SAVE** your design before starting any automatic routine.

### Preparing for Automatic Routing (Подготовка к авторазводке)

Вам следует всегда завершать проверку условий и параметров в проекте до того, как приступить к выполнению автотрассировки. Выполните следующие действия:

- ✦ Определите слои (layer stackup). Вам может захотеться добавить слои трассировки перед автотрассировкой.
- ✦ Определите соответствующие ограничения и свойства. Проверьте правила ограничений и свойства трассировки (рассматриваются подробнее позже в этой главе).
- ✦ Проверьте существующие проводники на свойства NO\_RIPUP, NOROUTE, FIXED и NO\_GLOSS и добавьте эти свойства, если необходимо.
- ✦ Определите особое планирование цепей (например, высокочастотных), если необходимо, используя свойство интерактивного планирования цепей Allegro.
- ✦ Внутренние слои металлизации платы должны быть определены как negative. Переводчику SPIF и трассировщику потребуется долгое время, если вы определите их как positive. Если у вас есть слой с разделением металлизации, самое время определить его как negative.
- ✦ Выполните **Route—SPECCTRA—Run Router Checks** для проверки вашего проекта на возможные общие проблемы, которые могут повлиять на работу трассировщика.
- ✦ Важно **СОХРАНИТЬ** вашу работу до этого момента, чтобы не потерять добавленные установки.

## SPECCTRA Router Pre-Checks

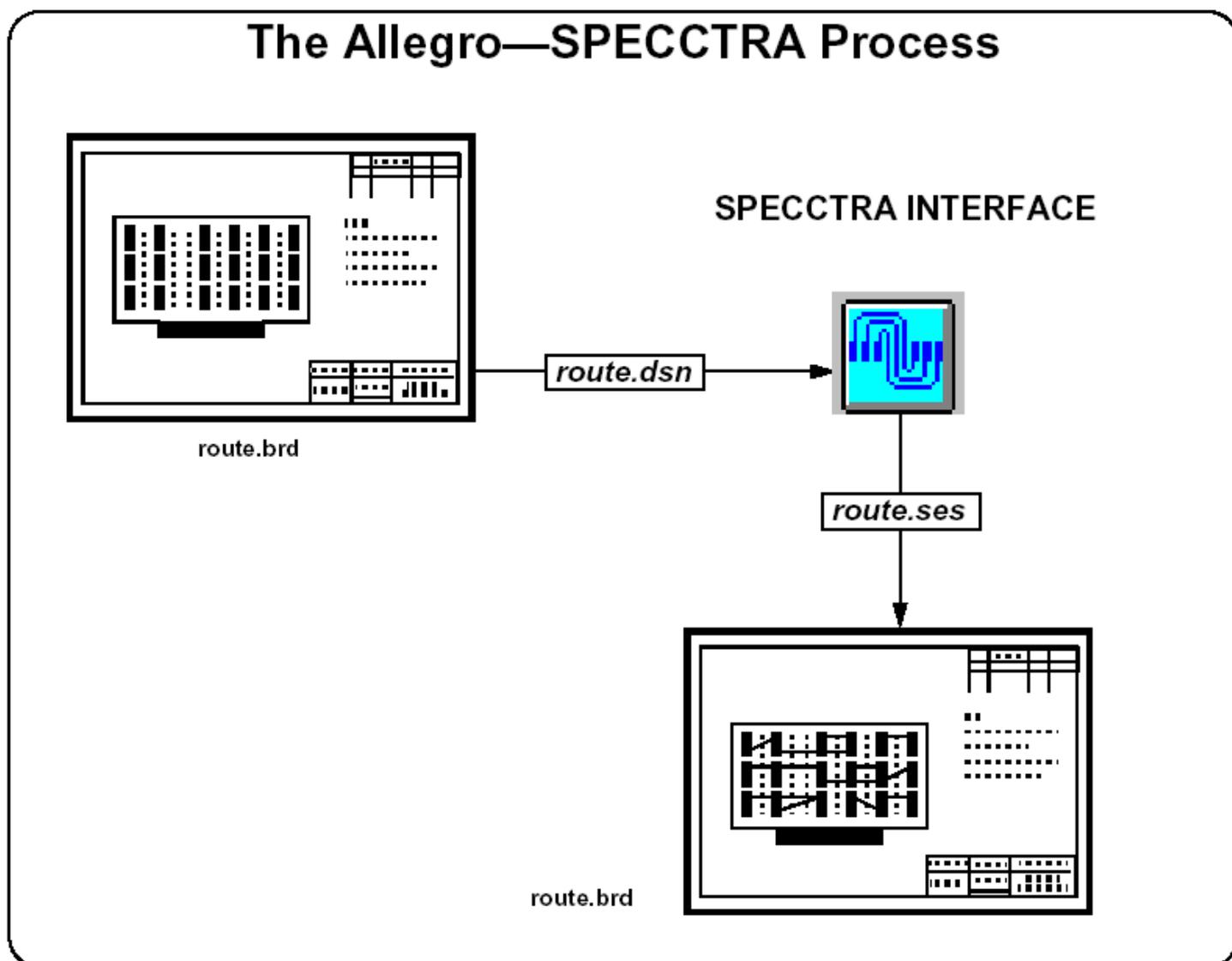
To run, select **Route — SPECCTRA — Run Router Checks**.

The Router Check warns the user of the following potential problems:

- A Route Keepin is not defined.
- No via available for routing.
- Default line width of zero.
- Pins residing under a Route Keepout.
- Any connection point resides outside of the Route Keepin.
- A routing layer has more than 50% of its area covered with positive shapes.

### **SPECCTRA Router Pre-Checks (Предварительная проверка)**

Программа SPECCTRA Router Check запускает несколько программ проверки текущего проекта. Этот порядок определен для устранения времени затрачивающегося на рекурсивную автотрассировку из-за возможных проблем в проекте.



### The Allegro—SPECCTRA Process

Когда вы нажимаете иконку SPECCTRA, Allegro записывает файл *filename.dsn*, который SPECCTRA использует как входной. Интерфейс пользователя SPECCTRA затем запускается автоматически.

После выбора параметров или импорта созданных параметров (*.do files*), вы можете начать трассировку SPECCTRA из интерфейса пользователя SPECCTRA.

После того, как трассировка закончена, вам будет предложено записать *filename.ses* (session file), который может быть импортирован в Allegro. Если вы использовали иконку SPECCTRA для начала этого процесса, Allegro будет ожидать импорта файла с тем же именем. Например, если вы начали с файлом Allegro с именем *route.brd*, SPECCTRA создаст файл *route.dsn* и ожидать считать обратно файл *route.ses* после трассировки.

При выходе из SPECCTRA вы возвратитесь в редактор Allegro и соединения обновятся автоматически.

## Editing Existing Etch

- Sliding connections and vias
- Editing vertices
- Moving a connection to another layer
- Deleting connections

### Editing Existing Etch (Изменение существующих проводников)

Здесь объясняются различные опции редактирования, доступные в режиме **Edit Etch**. Форма **Options** играет очень важную роль при редактировании etch. Форма **Options** меняется, чтобы соответствовать различным типам нужд редактирования и является неотъемной частью управления редактированием элемента.

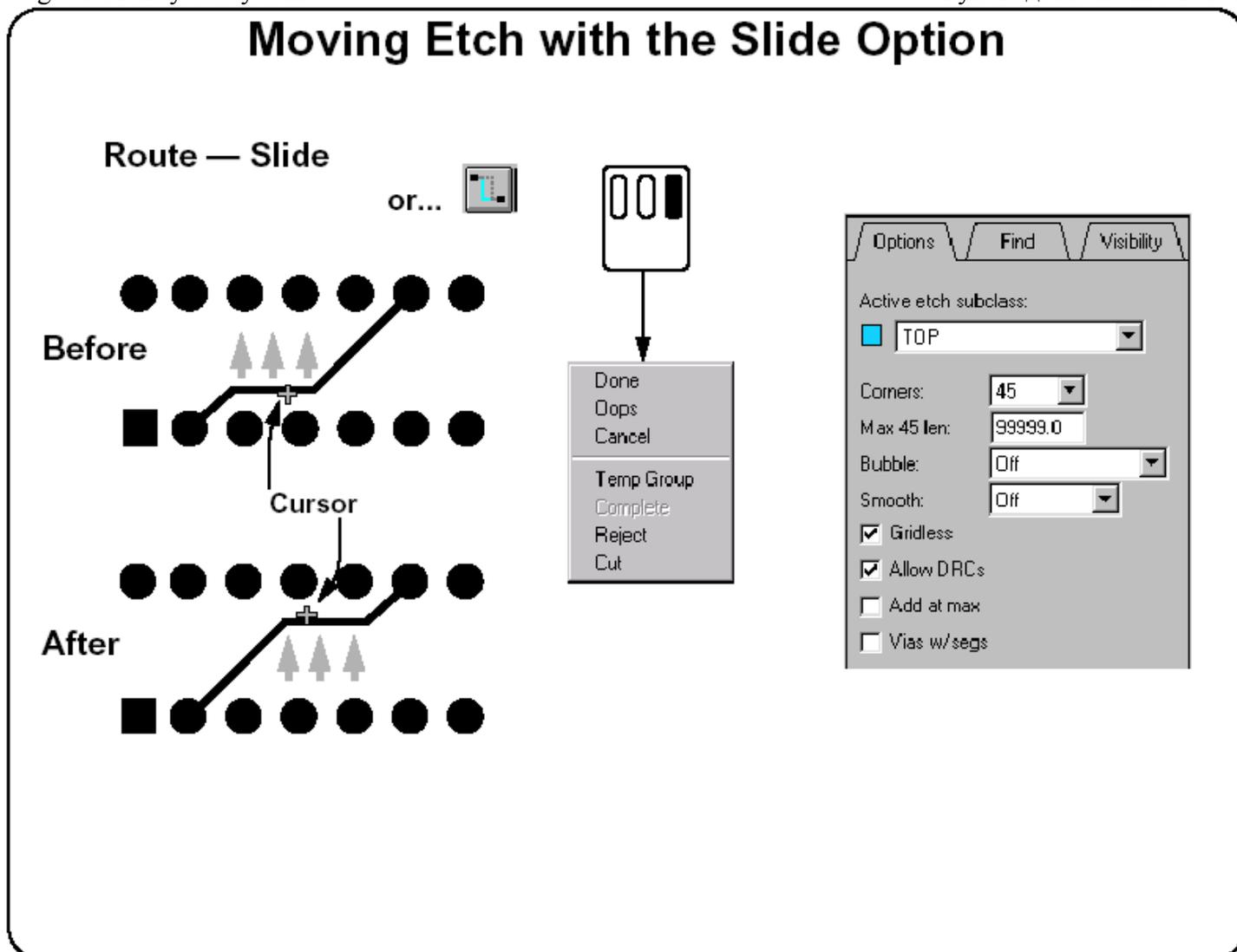
✦ Передвижение линии проводника с опцией **Slide** приводит к проводнику, который соответствует текущим установкам **Options**. Другой способ замены существующего проводника - использование опции **Replace Etch**.

✦ Создание или передвижение вершин существующих проводников – быстрый способ передвижения их сегментов. Число изломов в проводнике может быть также сокращено удалением вершин.

✦ Изменение линии проводника завершается созданием нового слоя в форме **Options**.

✦ Удаление линий проводников и vias также управляется в большей степени установками формы **Options**.

## Moving Etch with the Slide Option



### Moving Etch with the Slide Option (Перемещение проводника с использованием команды Slide)

**Slide** позволяет вам перемещать соединение с или без движения соответствующих vias. Перемещенные сегменты не становятся разъединенными. Следуйте этим шагам, чтобы передвинуть сегмент etch:

1. Выберите команду **Slide** из верхнего меню.
2. Выберите линию проводника левой кнопкой мыши и переместите линию в желаемом направлении.
3. Расположите линию, и еще раз нажмите левую кнопку.

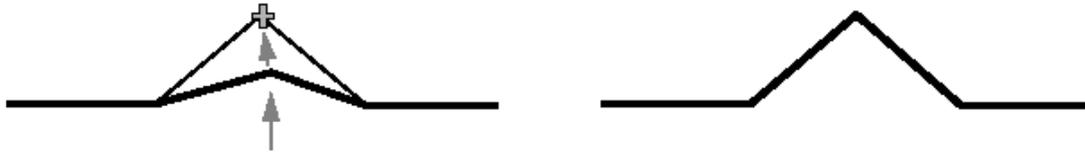
Установки в форме Options влияют на получившийся проводник:

- ✦ **Corners:** 45, 90 или Arc
- ✦ **Max 45 Len:** Желаемая длина сегмента с углом в 45 градусов.
- ✦ **Bubble:** Shove Preferred, Hug Preferred или Off.
- ✦ **Smooth:** Full или Off.
- ✦ **Gridless:** Опции On или Off.
- ✦ **Allow DRCs:** Если включено, Разрешает DRCs
- ✦ **Add at Max:** Ограничивает или не ограничивает длину диагоналей.
- ✦ **Vias w/Segs:** Позволяет/запрещает vias перемещаться с сегментами etch.

**Внимание:** Используйте опцию Slide вместе с командой **Cut**, для перемещения секции внутри одного сегмента.

## Editing Vertices

- Use **Vertex** to move vertices.



- Use **Vertex** to add new vertices.



- Click right and select **Delete Vertex** to remove existing vertices.



### Editing Vertices (Редактирование изломов)

Vertex - вершина на линии проводника, в которой линия изменяет направление или образует угол. Передвигайте и изменяйте эти углы используя **Edit—Vertex** из верхнего меню. Пока вы в этом режиме, доступно всплывающее меню, которое позволяет вам получать доступ к команде **Delete Vertex**. Вы можете выполнить следующие операции с командой **Edit—Vertex**:

- ✦ Передвижение вершин.
- ✦ Добавление новых вершин.
- ✦ Удаление существующих вершин.

## Changing the Layer or Width of a Connection

**Edit—Change**

Options Find Visibility

Class: ETCH

New subclass:

TOP

Act via: [ ] ...

Line width: 0.00

Text block: 3

Text just: Left

### Changing the Layer or Width of a Connection (Изменение слоя или ширины проводника)

Используйте команду **Edit—Change** из верхнего меню для изменения слоя существующего проводника. Нажав левую кнопку мыши пока курсор в поле New Subclass формы Options, вы можете выбрать из меню все доступные в вашем проекте слои проводников. Когда вы выбираете любую видимую линию соединения в вашей рабочей зоне, она тут же меняется на слой, который вы обозначили в поле New Subclass.

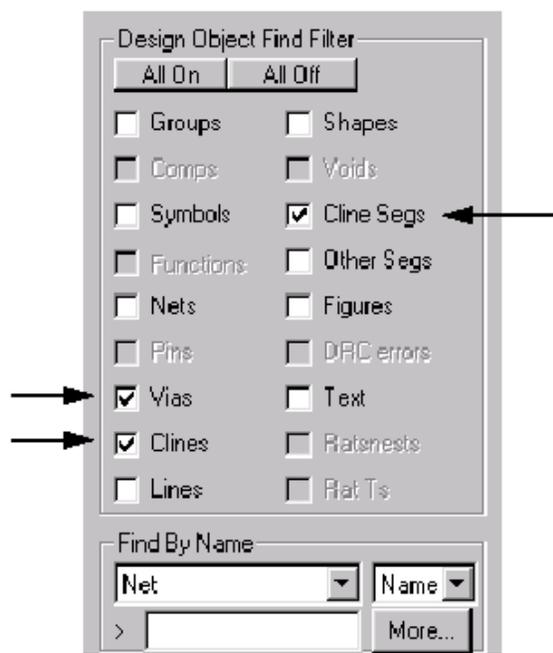
**Внимание:** Vias добавляются или удаляются автоматически, если изменение слоя предполагает потребность в vias.

Вы можете также использовать команду **Edit—Change** и соответствующей формы Options для изменения ширины существующей линии соединения. Чтобы изменить ширину линии, выберите **Edit—Change** из верхнего меню. Введите новое значение в поле Line Width формы Options и выберите любую видимую линию соединения в вашей рабочей зоне. Ее ширина тут же меняется к той, которую вы указали в поле Line Width.

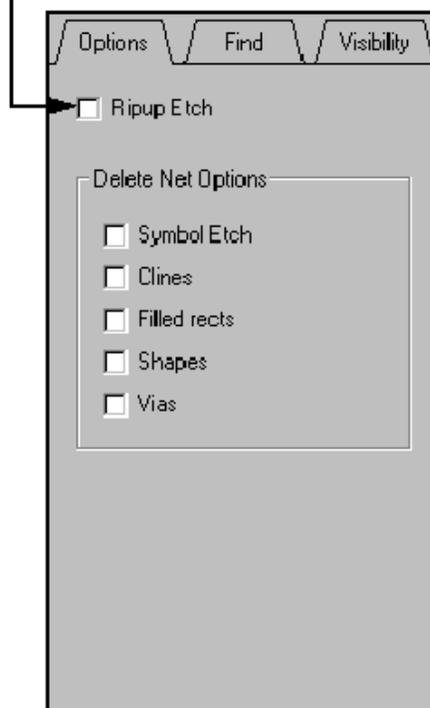
## Deleting Etch

### Edit—Delete

or



### Multiple layer ripup (used with Clines)



## Deleting Etch (Удаление проводников)

Для удаления линий etch и vias:

Выберите **Edit—Delete** из верхнего меню. Меняются формы Find Filter и Options. Переключите все пункты в Find Filter в состояние **Off**, потом включите **On** только те пункты, которые вы хотите удалить. Чаще всего это будет включать в себя Clines или Cline Segs и Vias. Выберите желаемые опции в форме Options и определите, какие типы etch вы хотите удалить. Манипулируя формами Find Filter и Options, вы можете определять какие части цепи удалить. Вы можете выбрать следующие комбинации:

Используйте **Cline Segs**, чтобы удалить одну часть цепи.

Используйте **Clines**, чтобы удалить все сегменты, не включая vias.

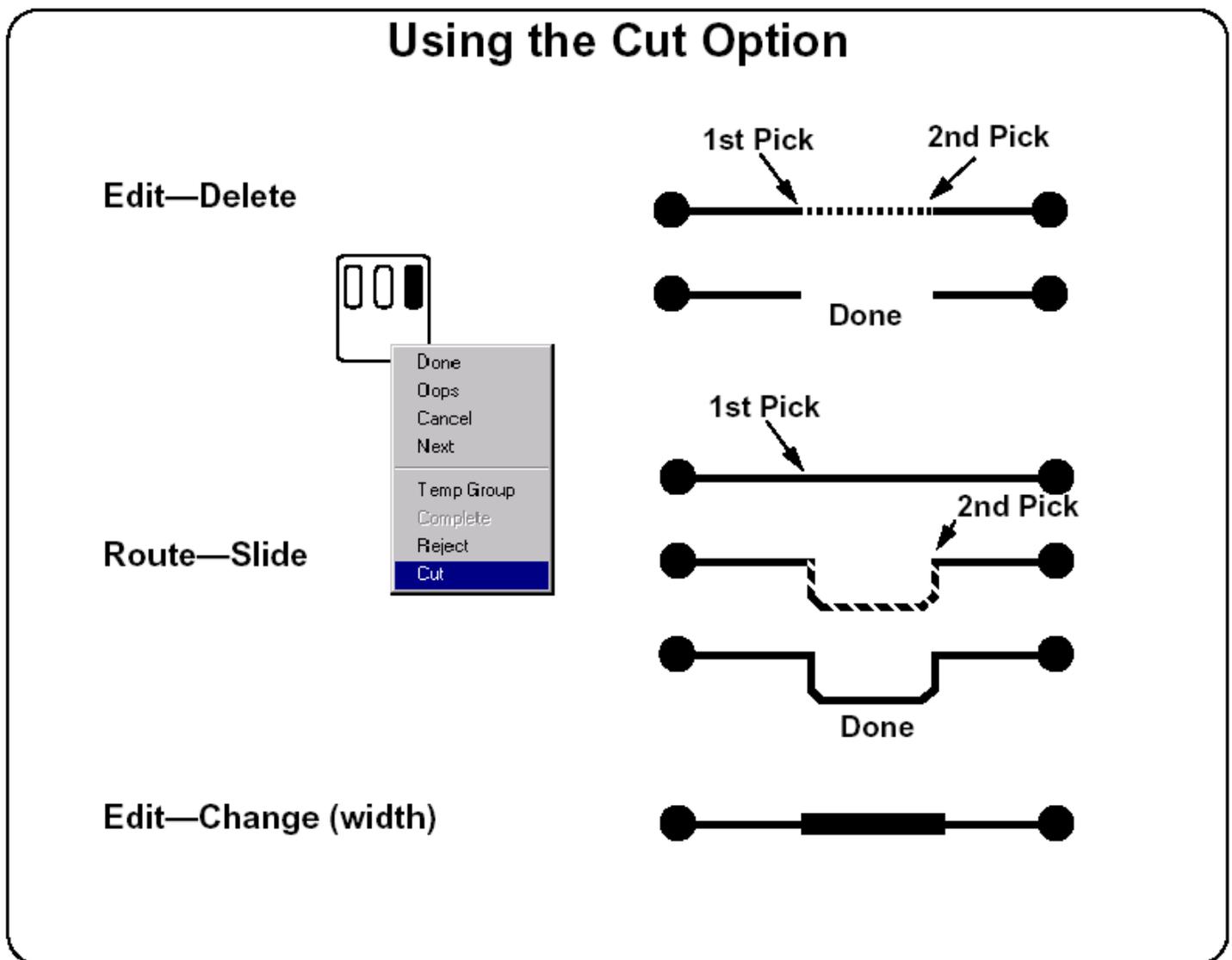
Используйте **Vias**, чтобы удалить vias.

Используйте **Clines** и **Ripup Etch**, чтобы удалить все сегменты и vias между pins.

Используйте **Nets** (и **Delete Net Options—Delete Clines** и **Delete Vias**) чтобы произвести удаление проводников на всех слоях между всеми pins в цепи.

Вы можете использовать всплывающее меню доступное во время процесса Delete-Etch для нескольких частей проводников или выбрать зону для удаления. Вы можете использовать опцию **Cut** из всплывающего меню для удаления секции или одного сегмента.

Выберите **Done** из всплывающего меню для завершения процесса удаления.



### Using the Cut Option (Использование команды Cut)

Вы можете использовать опцию **Cut** для редактирования определенных секций внутри сегментов линий. Используйте опцию **Cut** с командами **Delete**, **Slide** и **Change**.

Войдите в опцию **Cut** через всплывающее меню, доступное во всех трех командах. Выбрав опцию **Cut** правой кнопкой мыши, вы можете определить начальную и конечную точку внутри одного сегмента линии. После определения этой секции линии вы можете удалять, двигать и изменять ее ширину, в зависимости от начальной команды.

## Interactive Routing Properties

- Net properties affect not only autorouter actions but also DRC checking while in interactive route mode.
- Define net properties *before* adding etch.
- Common net properties used with interactive route are:
  - MIN\_LINE\_WIDTH
  - MIN\_NECK\_WIDTH
  - ECL
  - STUB\_LENGTH
  - PROPAGATION\_DELAY
  - NO\_RAT
  - MAX\_VIA\_COUNT
  - MAX\_PARALLEL
  - FIXED

### Interactive Routing Properties (Установки ручной разводки)

Вам следует прикрепить большинство свойств цепи до трассировки. Прикрепление нужных свойств к определенным цепям может содействовать проверке DRC, пока вы редактируете проводник. Свойства MIN\_LINE\_WIDTH и MIN\_NECK\_WIDTH определяют, заданную по умолчанию, ширину проводников для определенных сигналов (по умолчанию DRC Mode = Always). Некоторые свойства, как ECL, STUB\_LENGTH и PROPAGATION\_DELAY определяют тип и форму добавляемого проводника (по умолчанию DRC Mode для STUB\_LENGTH = Off, по умолчанию DRC Mode для PROPAGATION\_DELAY = On). Свойство NO\_RAT препятствует отображению линий ratsnest. Это бывает нужно для защиты сигналов VCC и GND от помех отображения линий ratsnest. Свойство MAX\_VIA\_COUNT ограничивает число vias, которые могут быть использованы для соединения сигнала (default DRC Mode = Off). Свойство MAX\_PARALLEL ограничивает длину и расстояние между двумя соседними сигналами (по умолчанию DRC Mode = Off). В добавление, существуют несколько свойств Differential Pair используемых для отображения (по умолчанию DRC Mode = Never).

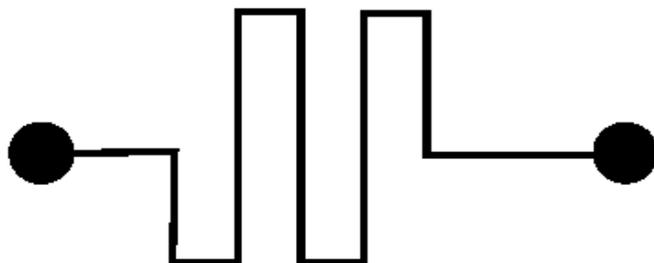
Свойство FIXED может быть прикреплено немедленно, после добавления проводника. Это свойство не допускает последующей модификации.

Для прикрепления любого из этих свойств используйте процедуры, рассмотренные в *Design Rules*.

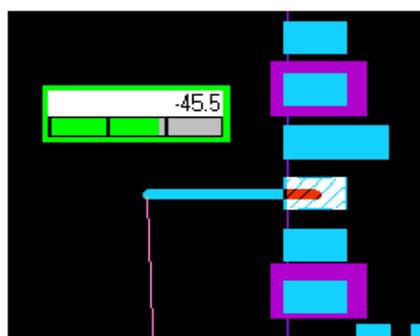
## Controlling Line Length

### PROPAGATION\_DELAY Syntax

```
<pin_pair>:[min delay]:[max delay]
```



Delete	Property	Value
<input type="checkbox"/>	PROPAGATION_DELAY	U5.2:U7.2:1500:1700



Dynamic Timing Feedback

## Controlling Line Length (Контроль длины проводника)

### PROPAGATION\_DELAY

Свойство PROPAGATION\_DELAY позволяет вам устанавливать требования ко времени распространения сигнала, позволяя вам определить задержку, для цепи или Xnet (в единицах измерения длины или времени).

Пример:

```
<pin_pair>:[min delay]:[max delay]
```

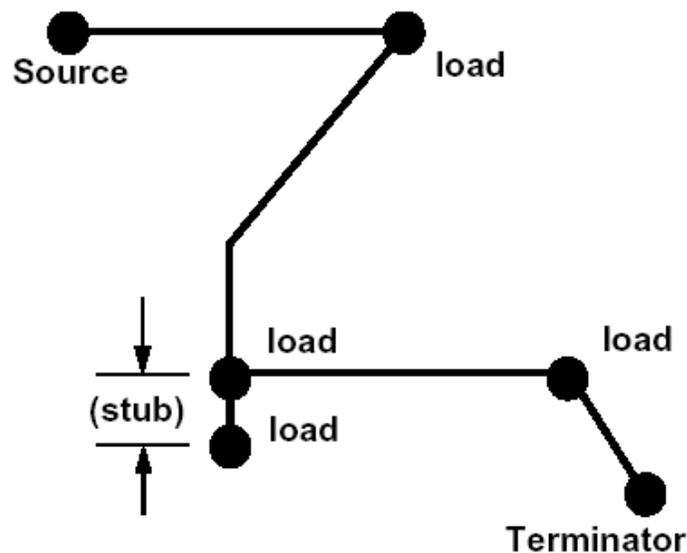
Дозволенные значения для <pin\_pair> следующие:

- \* <pin\_pair>: указывает корневой (начальный) pin или луч T – соединения.
- \* AD:AR: каждый driver/receiver (начальный и конечный) pin пары в Xnet
- \* D:R: наидлиннейшее и кратчайшее расстояние между driver/receiver pin в Xnet
- \* L:S: наидлиннейшее и кратчайшее расстояние между pin pairs в Xnet.

Используйте этот синтаксис для управления длиной между определенными pins в цепи (например, propagation\_delay=u3.4:u7.6:1500:2000). Это может также быть использовано для установления других длин между парами pins в цепи (например, propagation\_delay=u3.4:u7.6:1500:2000:u9.12:u14.5:.02ns:.05ns, и т.д.)

При ручной трассировке цепи, отображается счетчик “Dynamic Timing Feedback” означают текущую длину проводника. Это помогает вести процесс трассировки, так что вы можете точнее достигнуть требуемой длины линии. Этот счетчик также отображается при использовании команды Slide на проводнике.

## High-Speed Signals



- ECL
  - Value is true or false.
- STUB\_LENGTH
  - Value is expressed in <design units> (mils, mm, and so forth).

## High-Speed Signals (Высокочастотные сигналы)

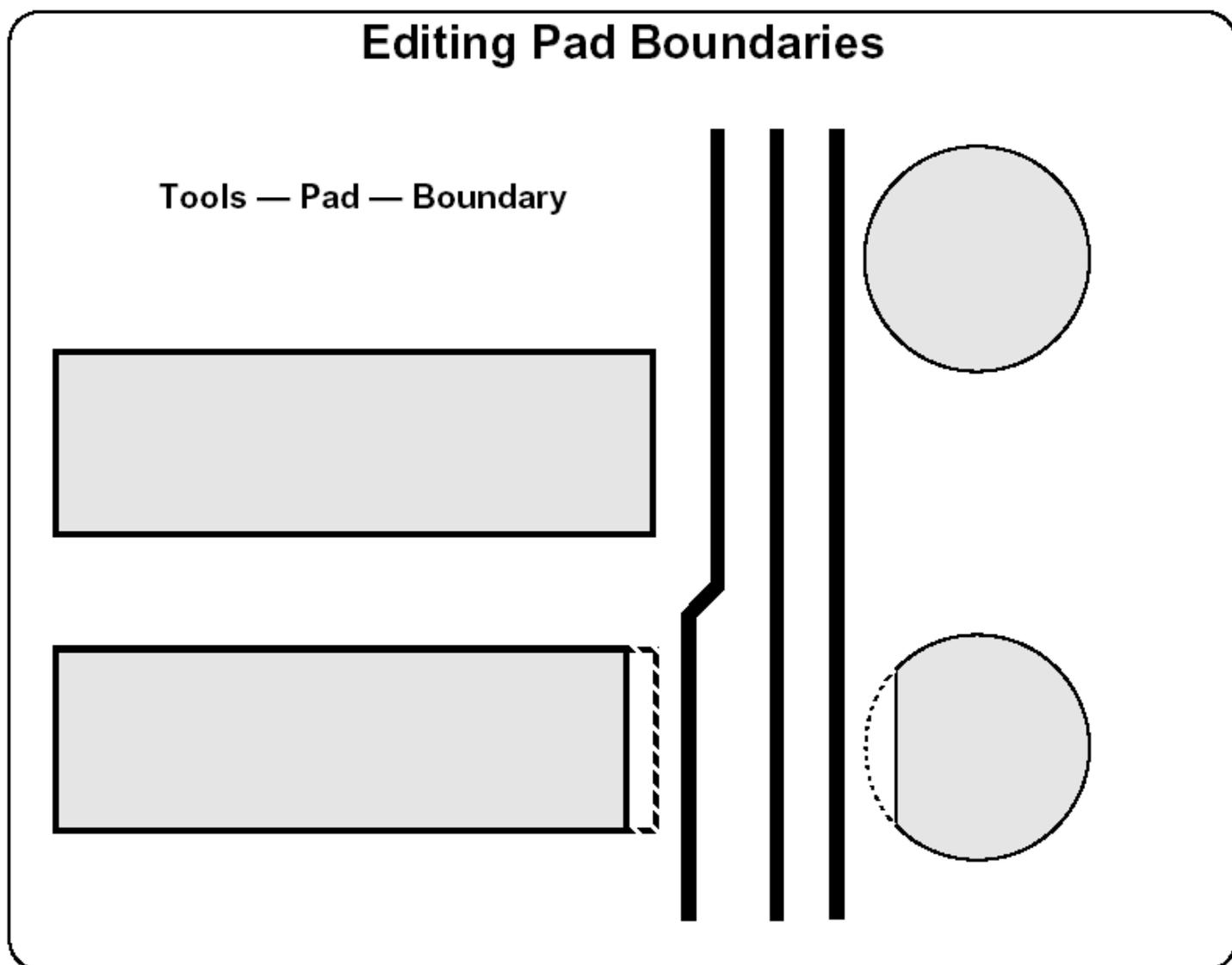
### ECL

Свойство ECL может быть true или false. Если свойство прикреплено к цепи, оно считается равным True и заставляет автотрассировщик прокладывать трассу в последовательном стиле или стиле с ветвлением. Цепи ECL планируются, так, что они должны быть соединены в определенном порядке с малым или не существующим ветвлением. Вы можете спланировать ECL вручную или автоматически.

### STUB\_LENGTH

Ветвление в высокочастотных или ECL сигналах считается нежелательным, но для достижения лучших процентов выполненных соединений допускаются некоторые ветки с минимальной длины. Длина этих веток выражается в единицах измерения проекта (mils, mm, cm, inches или microns). В лучших высокочастотных схемах не будет веток, но в практическом применении, правило “без веток” часто гораздо более консервативно, чем требуется. Позволение нескольких маленьких пеньков сильно улучшает процент законченной трассировки и часто имеет маленькое влияние на качество схемы.

Большинство других значений свойства выражаются как true/false или в значении единицы измерения.



### Editing Pad Boundaries (Изменение формы Pad)

Для изменения границы pad, используйте команду **Tools—Pad—Boundary**, затем выберите pin или via на активном подклассе. Выбранный pad становится доступным для редактирования.

Форма Options управляет подклассом etch, line lock и editing grid. Новое имя padstack генерируется автоматически. Эти новые padstacks называются *вторичные* padstacks. Имя вторичного padstack (например, 76x24smd-1.pad) станет доступно позже, при использовании команды **Tools—Padstack—Modify Design Padstack**.

Изменения, разъединяющие pad, не позволяют. Если редактирование создаст несимметричную геометрию pad, Allegro попытается сместить pad для сохранения симметрии относительно ее центра. Может произойти округление, если точность чертежа не установлена правильно.

Исходная геометрия pad может быть восстановлена при использовании команды **Tools—Pad—Restore**. Команда **Tools—Pad—Restore All** восстанавливает все отредактированные pads в вашем проекте.

## Logical Net Editing

### Logic — Net Logic



You must set the environmental variable “logic\_edit\_enabled” BEFORE you can execute this command.

### Logical Net Editing (Изменение логических связей)

Команда **Logic—Net Logic** используется для внесения “логических” изменений в проект. Примеры логических изменений включают:

- \* Создание новой цепи и добавление pins к этой новой цепи.
- \* Добавление pins к существующей цепи.
- \* Удаление pins из существующей цепи.
- \* Удаление цепи из проекта.
- \* Изменение имени цепи.

Закладка Options содержит две главные секции. Верхняя секция формы используется для управления цепями. Эта секция выбирает цепи для создания, удаления, переименования и изменения. Нижняя секция формы используется для управления pin. Эта секция устанавливает или убирает pins в/из цепи(ей).

Всплывающее меню с помощью правой кнопки содержит опцию **Identify**. После выбора этой опции, вы выбираете pin с помощью левой кнопки мыши. Поле статуса Allegro потом отобразит цепь, которому принадлежит выбранный pin.

## **Лабораторные**

Лабораторная 6-1 Defining Etch Grids

Лабораторная 6-2 Adding и Deleting Connect Lines и Vias

Лабораторная 6-3 Preparing for Autorouting

Лабораторная 6-4 Using the SPECCTRA Autorouter

Лабораторная 6-5 Using Slide

Лабораторная 6-6 Using Vertex

Лабораторная 6-7 The Replace Etch Option

Лабораторная 6-8 Editing with the Cut Option

Лабораторная 6-9 Checking for Unconnected Pins

## Глава 7: Glossing (Глянцевание)

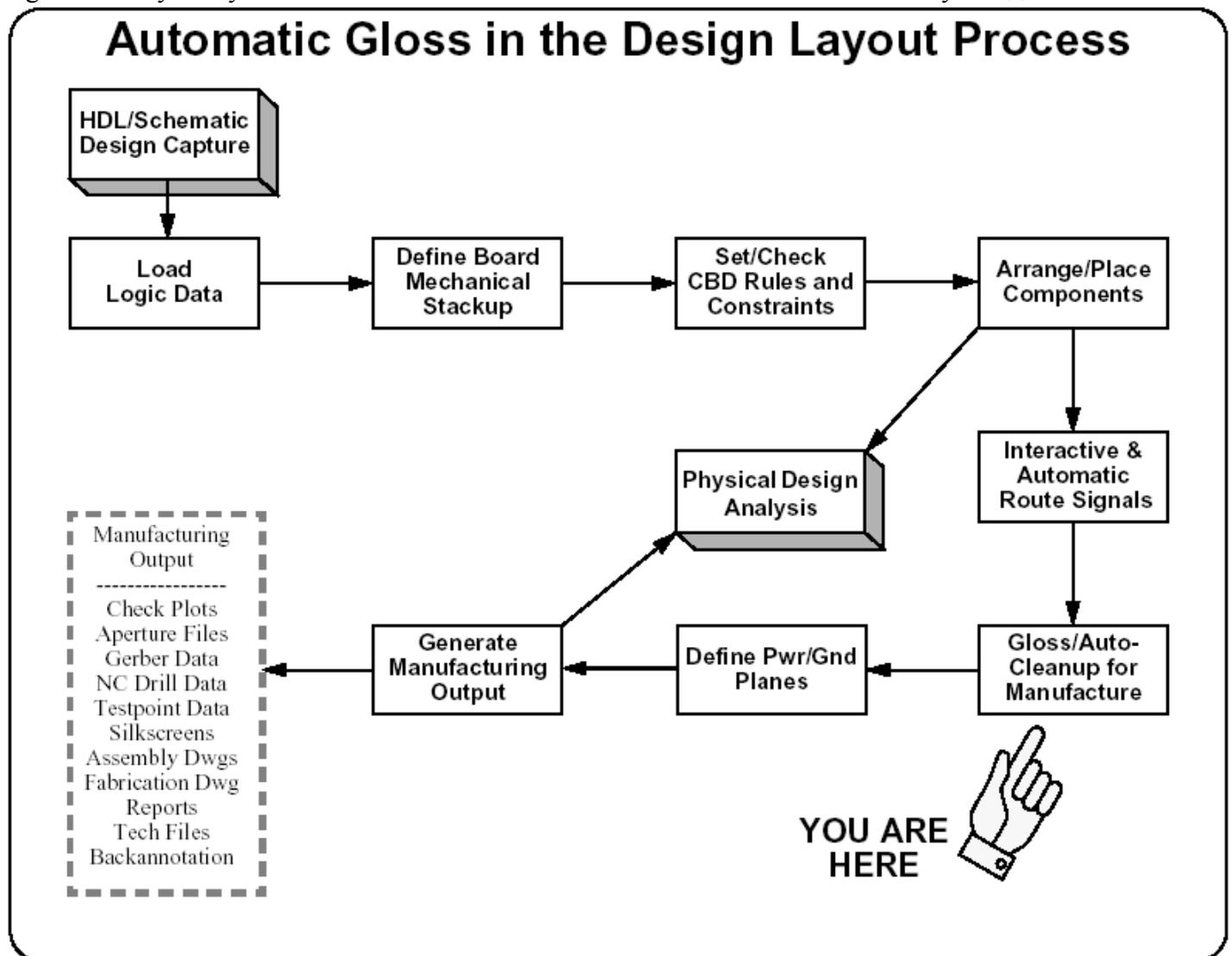
### Цели

В этой главе вы:

- ★ Узнаете о различных типах автоматического глянцевания.
- ★ Поймете как и почему используются эти свойства очистки.

### Термины и Определения

Термин	Определение
Fillet	Зона проводника V-формы размещенная на стыках для усиления соединений.
Drill break-out	Производственная проблема, вызванная несопадением высверленных отверстий с pads, приводящая к разрыву цепи.
Dangling line	Линия соединения, хотя бы один конец которой отсоединен от любого pin, pad, via, etch-shape или другого проводникового объекта.
Stand Alone Via	Via без прикрепленных к ней линий соединения. Это может быть создано случайно. Если вы нарочно создали standalone vias, которые прикреплены к слоям питания, вы можете не позволить глянцеванию удалить их с помощью опций NO_GLOSS или FIXED.



## Automatic Gloss in the Design Layout Process

Процесс проектирования продолжается. Вы уже закончили следующие фазы:

- ✦ Load Logic Data
- ✦ Define Board Mechanical Data
- ✦ Define Design Rules
- ✦ Component Placement
- ✦ Route Signals (connect)

Теперь вы готовы к автоматическому глянецованию и очистке цепей в вашем проекте. В этой главе рассмотрены восемь из девяти типов программ глянецования.

## Preparing for Automatic Gloss

- Determine if you want to gloss the entire design, individual areas, or individual nets.
- Attach NO\_GLOSS or FIXED properties to appropriate *nets*.
- Exclude *areas* from glossing (NO\_GLOSS\_TOP, BOTTOM, INTERNAL).
- Select glossing applications and parameters.

### Preparing for Automatic Gloss (Подготовка)

#### Excluding Nets (Исключение цепей)

Для указания цепей, которые требуют специального рассмотрения, установите следующие свойства:

NO\_GLOSS предотвращает изменение цепи приложениями автоматического глянцеваания.

FIXED предотвращает изменение цепи *любыми* автоматическими или ручными программами.

#### Excluding Areas (Исключение областей)

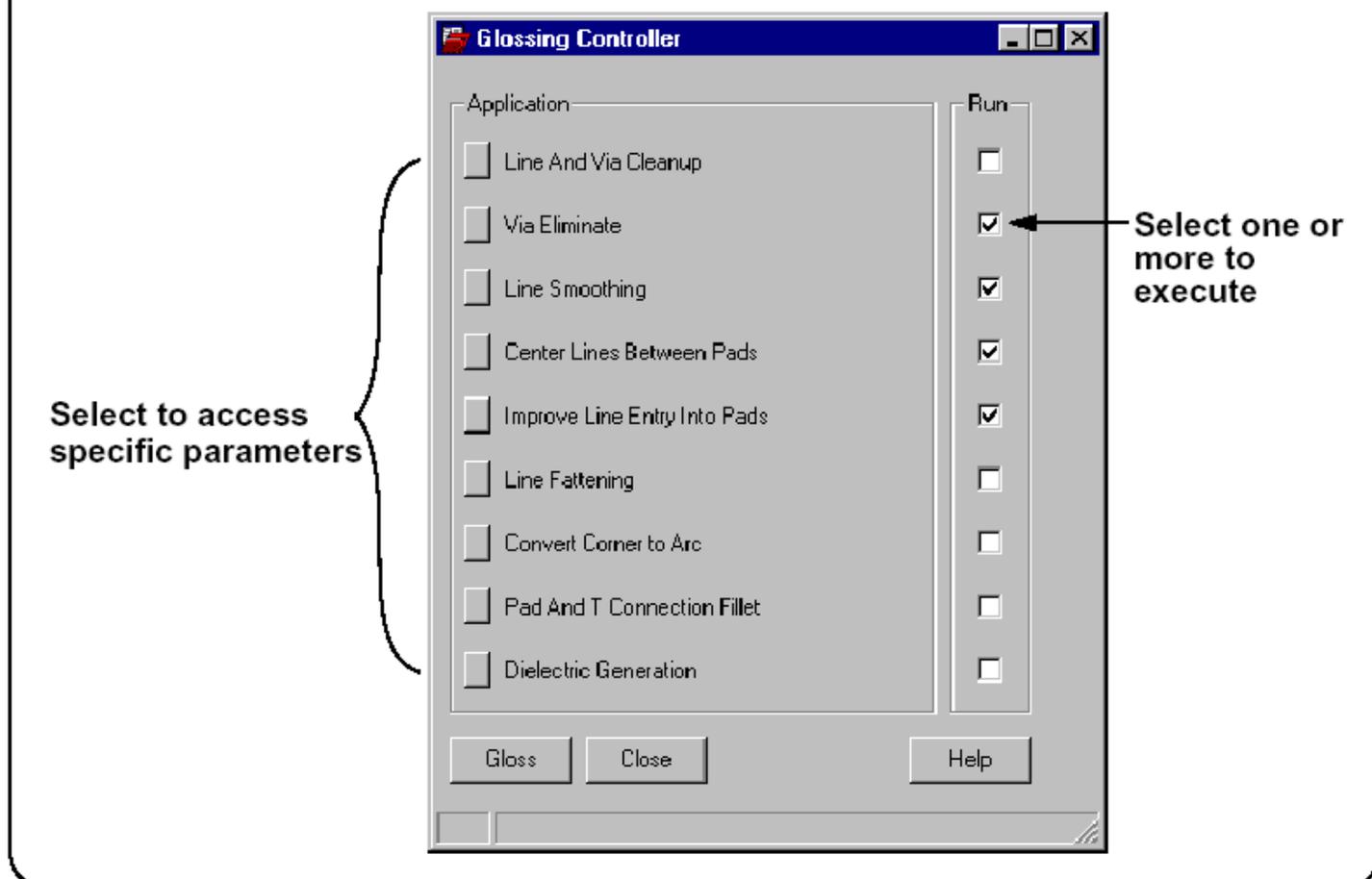
Окружая зону многоугольником, вы можете исключить эту зону из глянцеваания. Многоугольник – форма класса MANUFACTURING. Может быть помещена в любой из следующих подклассов:

- ✦ NO\_GLOSS\_TOP
- ✦ NO\_GLOSS\_BOTTOM
- ✦ NO\_GLOSS\_ALL
- ✦ NO\_GLOSS\_INTERNAL

Для добавления многоугольника, используйте **Add—Shapes—Solid Fill** или **Add—Frectangle** с полем Options Class установленным как MANUFACTURING и полем Subclass, установленным в желаемый подкласс.

## The Glossing Controller

Route — Gloss — Parameters



### The Glossing Controller (Общий контроль гляцевания)

Для автоматического гляцевания, выберите **Route—Gloss—Parameters**. Появится форма Glossing Controller. В этой форме перечисляется каждый из девяти типов очистки, позволенные в Allegro.

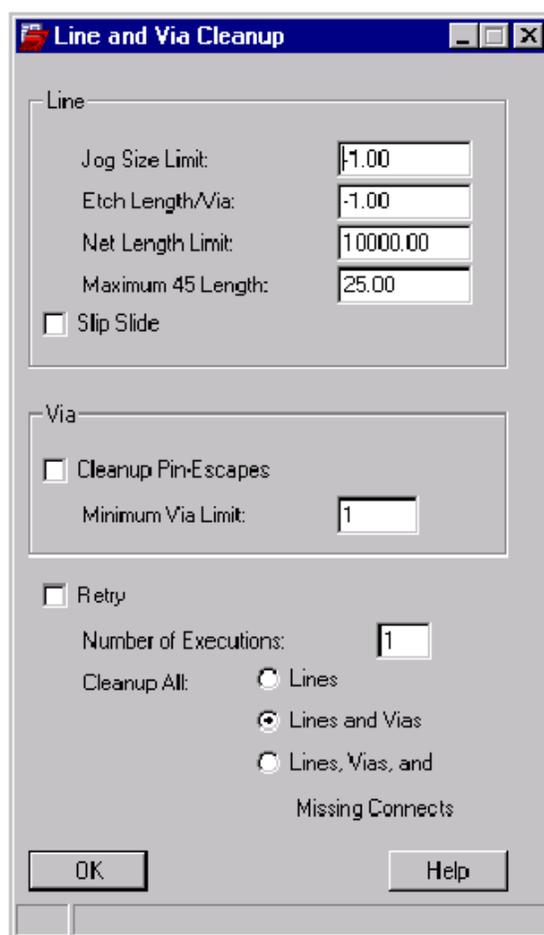
Колонка кнопок на правой стороне формы под общим названием *Run*, определяет, какие приложения гляцевания вы хотите запустить. Колонка кнопок на левой стороне формы позволяет получить доступ к индивидуальным параметрам для каждого приложения.

В Allegro имеются следующие приложения гляцевания:

- \* Line и Via Cleanup (Очистка Line и Via)
- \* Via Eliminate (Устранение Via)
- \* Line Smoothing (Сглаживание линий)
- \* Center Lines between Pads (Центрирование линий между Pads)
- \* Improving Line Entry into Pads (Улучшение соединений между проводником и pad)
- \* Line Fattening (Утолщение линий)
- \* Converting Corner to Arc (Преобразование углов в сегменты окружности)
- \* Pad и T Connection Fillet (Заливка Pad и T – образных соединений)
- \* Dielectric Generation

**Внимание:** С того времени, как Dielectric Generation используется в основном для MCMs, и используется в классе Allegro APD, он не рассматривается в этой главе.

## Line and Via Cleanup



### Line и Via Cleanup (Очистка Line и Via)

Опция Line и Via Cleanup формы Glossing Controller обрабатывает за раз одну цепь, разрывая линию соединения, и повторно трассируя ее, используя большую стоимость via (см SPECCTRA). Если повторно оттрассированный проводник лучше, он заменяет существующий.

**Jog Size Limit** определяет максимально возможное количество изломов, создаваемое во время очистки. Значение по умолчанию -1 т.е. без ограничения.

**Etch Length/Via** определяет насколько может быть увеличена длина проводника для исключения vias.

**Net Length Limit** не будет редактировать любое соединения или цепь, чья длина превышает значение, установленное этим параметром.

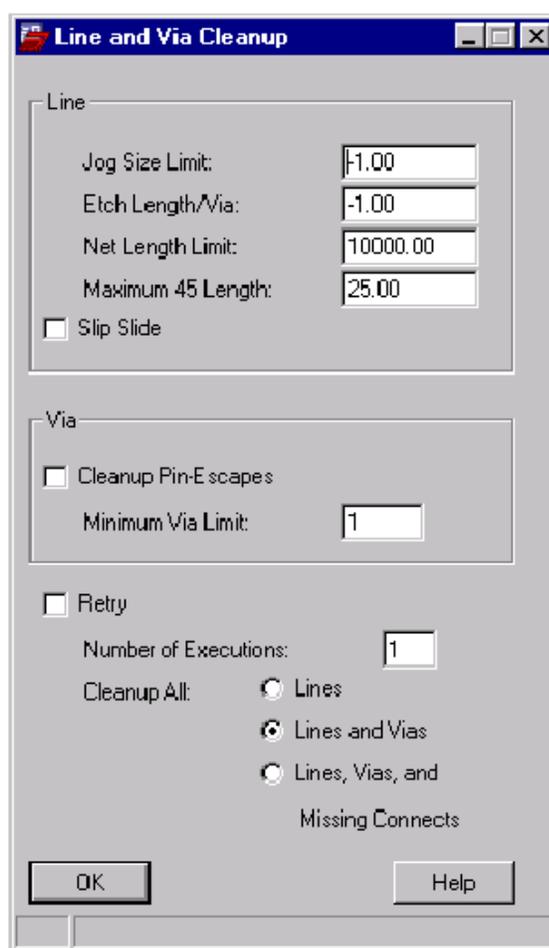
**Maximum 45 Length** определяет максимальную длину 45-градусного участка.

**Slip Slide** указывает, может ли Allegro при очистке сдвигать соединения, когда это необходимо.

**Cleanup Pin-Escapes** определяет, могут ли линии, выходящие из pin и vias и соединенные с SMD pins быть разорваны и повторно трассированы.

**Minimum Via Limit** определяет минимальное число содержащихся в соединении vias, для того, чтобы считаться кандидатом на очистку.

## Line and Via Cleanup—Further Options



### Line и Via Cleanup—Further Options (Очистка Line и Via – остальные параметры)

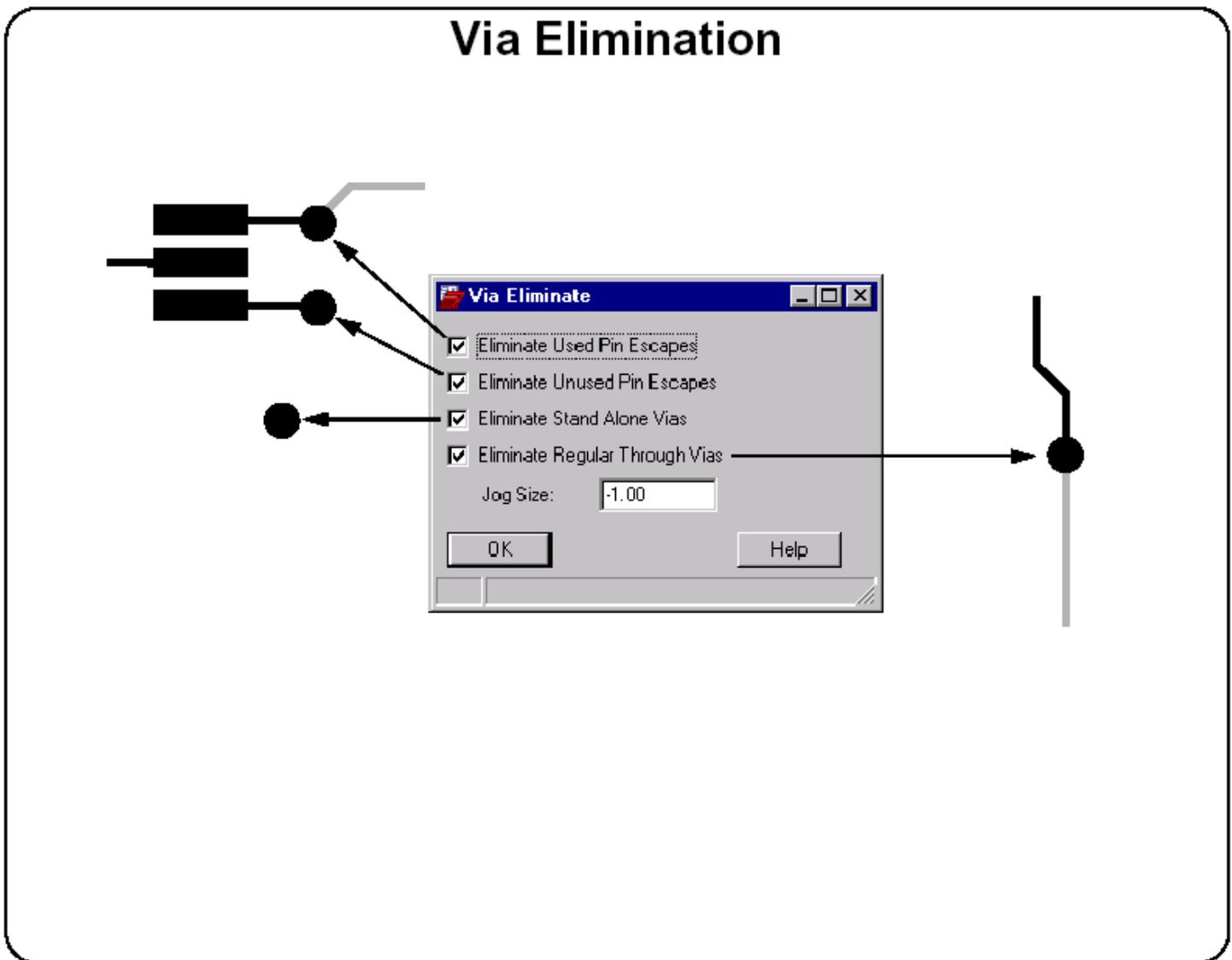
**Retry** заставляет трассировщик пытаться провести соединение снова, после того, как цепь была разорвана. Соединение устанавливается повторно, только если первая попытка была удачной. Если флажок **Retry** флажок установлен, трассировщик продолжает последовательно продолжать попытки, до завершения соединения или до того, как расширение окна выйдет за пределы проекта.

**Number of Executions** определяет количество повторений.

**Cleanup All** содержит следующие опции:

- \* **Lines** служит для удаления и повторной трассировки каждой линии соединения.
- \* **Lines и Vias** служит для удаления и повторной трассировки каждой цепи.
- \* **Lines, Vias, и Missing Connects** для удаления и повторной трассировки проводника цепью, проводники которой были удалены или переразведены. Если последние соединения лучше, они сохраняются. “Лучше” определяется по меньшему числу незавершенных соединений, меньшему числу vias, меньшей длины проводников и меньшим числом изломов.

**Внимание:** Опция **Lines** работает немного быстрее, чем **Lines и Vias**. Самая медленная комбинация - **Lines, Vias и Missing Connects**.



## Via Elimination (Устранение Via)

Опция Via Eliminate на форме Glossing Controller сокращает число vias в проекте.

Укажите типы устраняемых via, выбирая из полей формы Via Eliminate.

**Eliminate Used Pin Escapes** определяет, могут ли быть удалены используемые pin escapes (vias, расположенные на SMD pin или в контакте с ним).

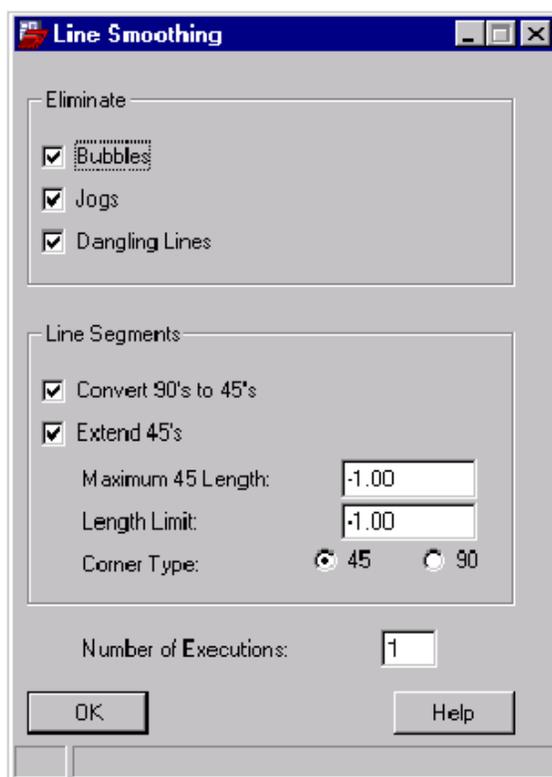
**Eliminate Unused Pin Escapes** определяет, могут ли быть удалены неиспользуемые pin escapes.

**Eliminate Stand Alone Vias** указывает, могут ли быть удалены одиноко стоящие vias. Одиноко стоящие via не является логической частью цепи.

**Eliminate Regular Through Vias** указывает, могут ли быть удалены обычные сквозные vias.

**Jog Size** определяет максимально возможное количество изломов, которое может быть добавлено во время удаления via. Значение по умолчанию –1, т.е. предел не определен.

## Line Smoothing



### Line Smoothing (Выравнивание линий)

Выравнивание линий убирает дополнительные изломы и сегменты линий в проекте. Выравнивание линий – хороший инструмент для увеличения свободного места (помощь при трассировке).

**Bubbles** определяет попытается ли Line Smoothing удалить линии соединения, которые имеют 45-градусный сегмент линии, за которым следует ортогональный сегмент, за которым, в свою очередь, следует другой 45-градусный сегмент, который находится под уклоном в другую сторону по отношению к первому 45-градусному сегменту, как показано в следующем примере:

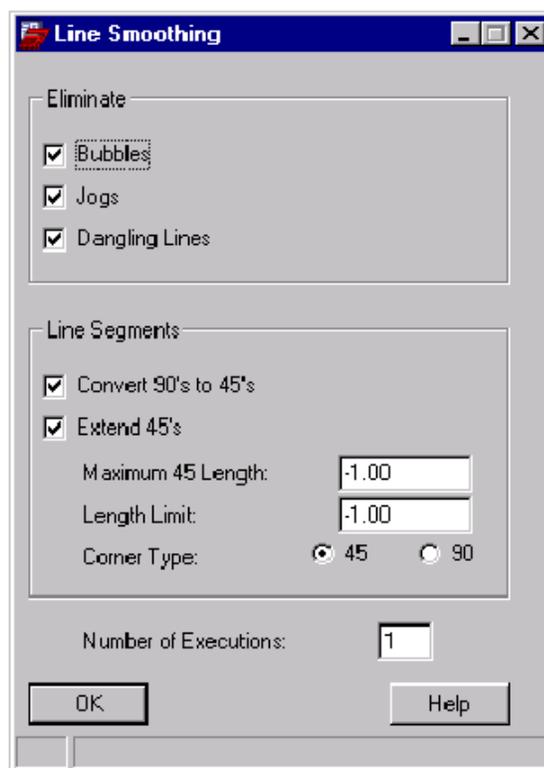


Эта конфигурация etch может образоваться из-за удаления via. Line Smoothing – инструмент, который сглаживает выступы вокруг pads, которых уже нет.

**Jogs** указывает удалять ли повторяющихся изломы или “ступеньки.”

**Dangling Lines** указывает удалять ли Line Smoothing незавершенные линии. По умолчанию ON.

## Line Smoothing—Further Options



### Line Smoothing—Further Options (Выравнивание линий - продолжение)

**Convert 90's to 45's** меняет 90-градусные углы на 45-градусные.

**Extend 45's** пытается растянуть 45-градусный сегмент так, чтобы горизонтальный или вертикальный сегмент мог бы быть удален.

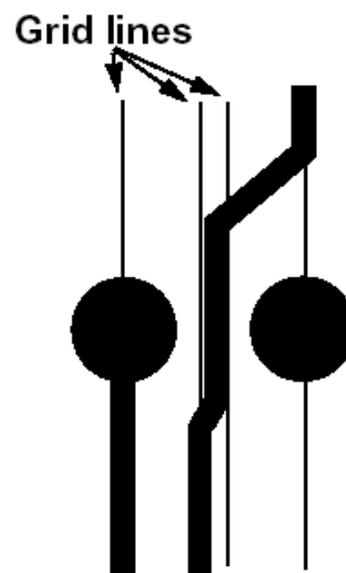
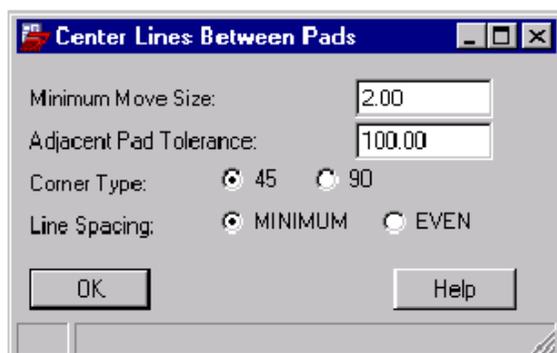
**Maximum 45 Length** определяет максимальное расстояние к которому будет растянут 45-градусный угловой сегмент.

**Length Limit** ограничивает максимальную длину сегментов линии, которые рассматриваются Line Smoothing. Выступы обрабатываются, если прямоугольный сегмент в нем меньше или равен значению данного параметра. Диагонали, чья ортогональная длина больше, чем это значение пропускается. Изломы рассматриваются только если ортогональный сегмент в нем меньше или равен этому пределу. Значение по умолчанию -1 (без предела).

**Corner Type** определяет углы, острые (45) или прямоугольные (90). По умолчанию 45.

**Number of Executions** определяет количество выполнений Line Smoothing. Значение по умолчанию 1.

## Centering Lines



### Centering Lines (Центрирование линий)

Опция Center Lines Between Pads формы Glossing Controller пытается передвинуть сегменты линий, которые проходят между смежными pins так, чтобы сделать их равноудаленными от pins. Эта опция должна запускаться, только когда трассировка закончена на 100%, потому что она расставит линии соединения за пределами сетки. Эта программа выполняется быстро.

**Minimum Move Size** определяет минимальное расстояние, на которое можно передвинуть линию.

**Adjacent Pad Tolerance** определяет расстояние между центрами двух смежных pins, которые будут рассмотрены функцией гляцевания.

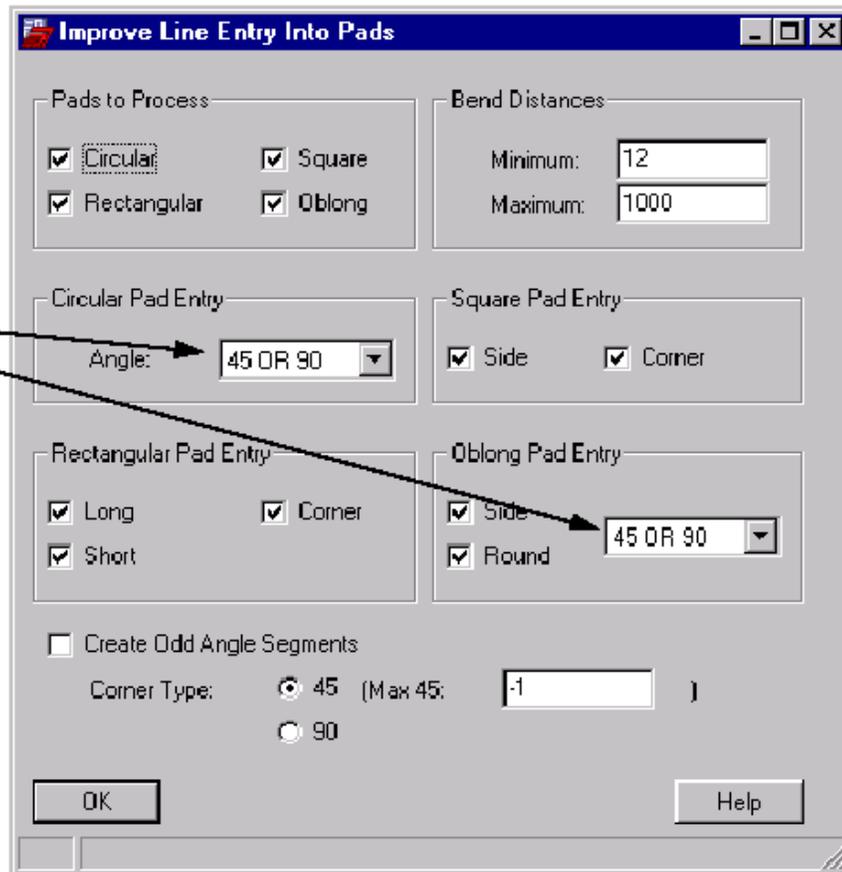
**Corner Type** определяет тип углов: острые (45) или прямоугольные (90). По умолчанию 45.

**Line Spacing** определяет интервал между границами pads:

- ★ **Minimum** (по умолчанию) определяет промежуток между линиями как минимальное расстояние между границами и делит остаток поровну между наиболее удаленными линиями и pads. Если это вызывает ошибку DRC, линии не будут центрированы.

- ★ **Even** располагает линии так, что они находятся на равном расстоянии друг от друга и от pins. Если это вызывает ошибку DRC, то они переработаются с учетом minimum line spacing.

## Improving Line Entry



ANY ANGLE  
45 ONLY  
90 ONLY  
45 OR 90

### Improving Line Entry (Улучшение соединения проводником - pad)

Удаляет острые углы, которые автоматическая трассировка создает между соединениями и границей pad. Меняется путь вхождения проводников в pad.

Секция **Pads to Process** позволяет вам выбирать рассматриваемые типы pads.

Секция **Bend Distances** определяет, на каком расстоянии от границы pad проводнику будет разрешено изогнуться.

Секции **Circular Pad Entry** и **Square Pad Entry** устанавливают углы, которые вы позволите для обработки.



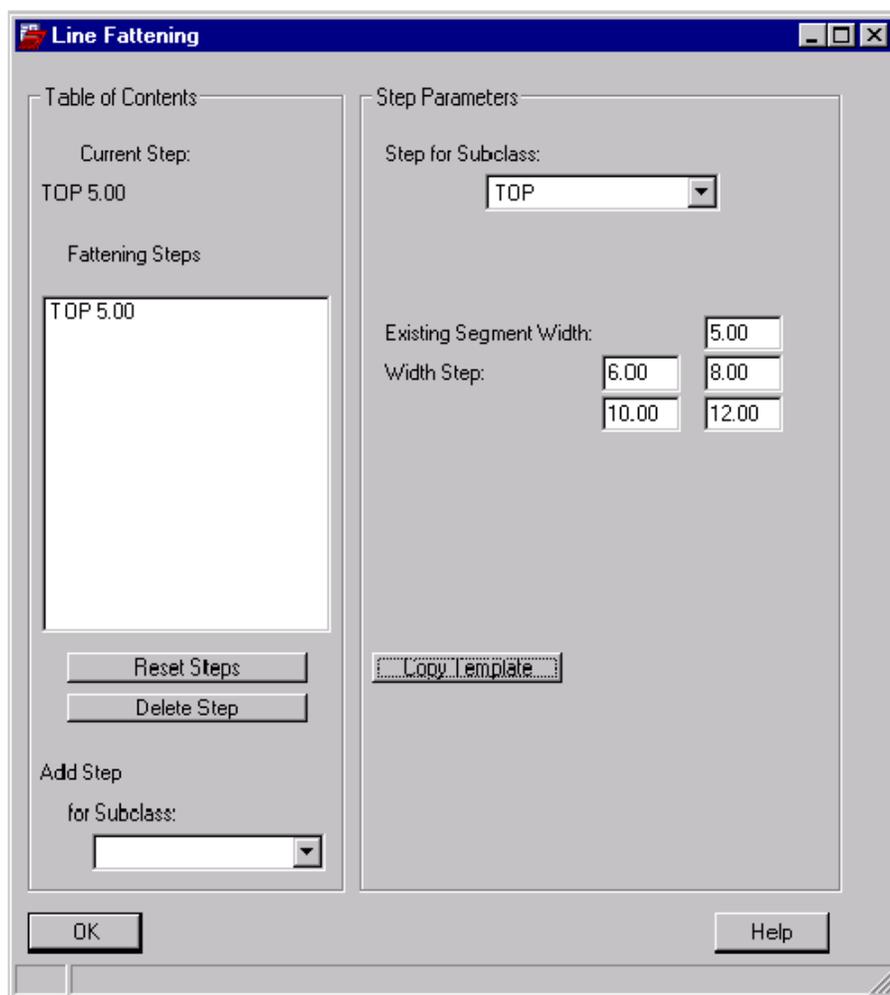
Секции **Rectangular** и **Oblong Pad Entry** позволяет траектории использовать фокус или точку цели вместо центра pad, как показано.



**Create Odd Angle Segments** определяет, может ли сегмент быть любым углом, отличным от кратного 45 градусам. По умолчанию Off.

**Corner Type** определяет могут ли углы, созданные делением и перемещением сегментов быть как острыми (45), так и прямоугольными. По умолчанию 45. По умолчанию для этого поля -1 или неограниченно.

## Line Fattening



### Line Fattening (Утолщение линий)

Опция Line Fattening формы Glossing Controller увеличивает ширину линий соединения, где возможно. Форма Line Fattening позволяет вам создавать набор новых толщин для каждой существующей ширины линии. Набор толщин для каждой линии может быть особенным для каждого подкласса проводников.

Форма Line Fattening имеет две части:

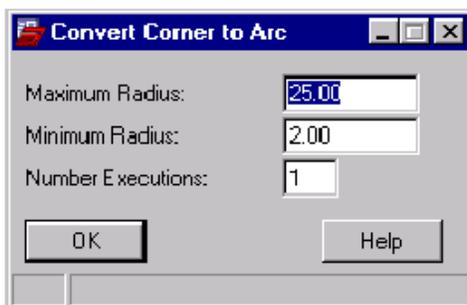
**Table of Contents** перечисляет все широты линий, для которых определены наборы параметров.

**Step Parameters** определяет наборы параметров или редактирует существующие наборы.

При открытии этой формы в первый раз, секция Fattening Steps отображает список текущих толщин линий, имеющих в подклассе, плюс временную категорию для всех существующих широт линий.

Каждый шаг утолщения линии может иметь максимум четыре новых значения. Вы можете создать временный набор для одной ширины линии, потом применить его для каждого следующего слоя, или вы можете определить индивидуальный набор для любой ширины и слоя.

## Converting Corners



### Converting Corners (Преобразование углов в сегменты окружности)

Опция Convert Corner to Arc в форме Glossing Controller преобразует 45- и 90- градусные угловые участки к дугам. Это свойство наиболее важно в аналоговых и гибких цепях, для высоковольтных и высокочастотных цепей. Значения максимального и минимального радиуса определяют размер дуги.

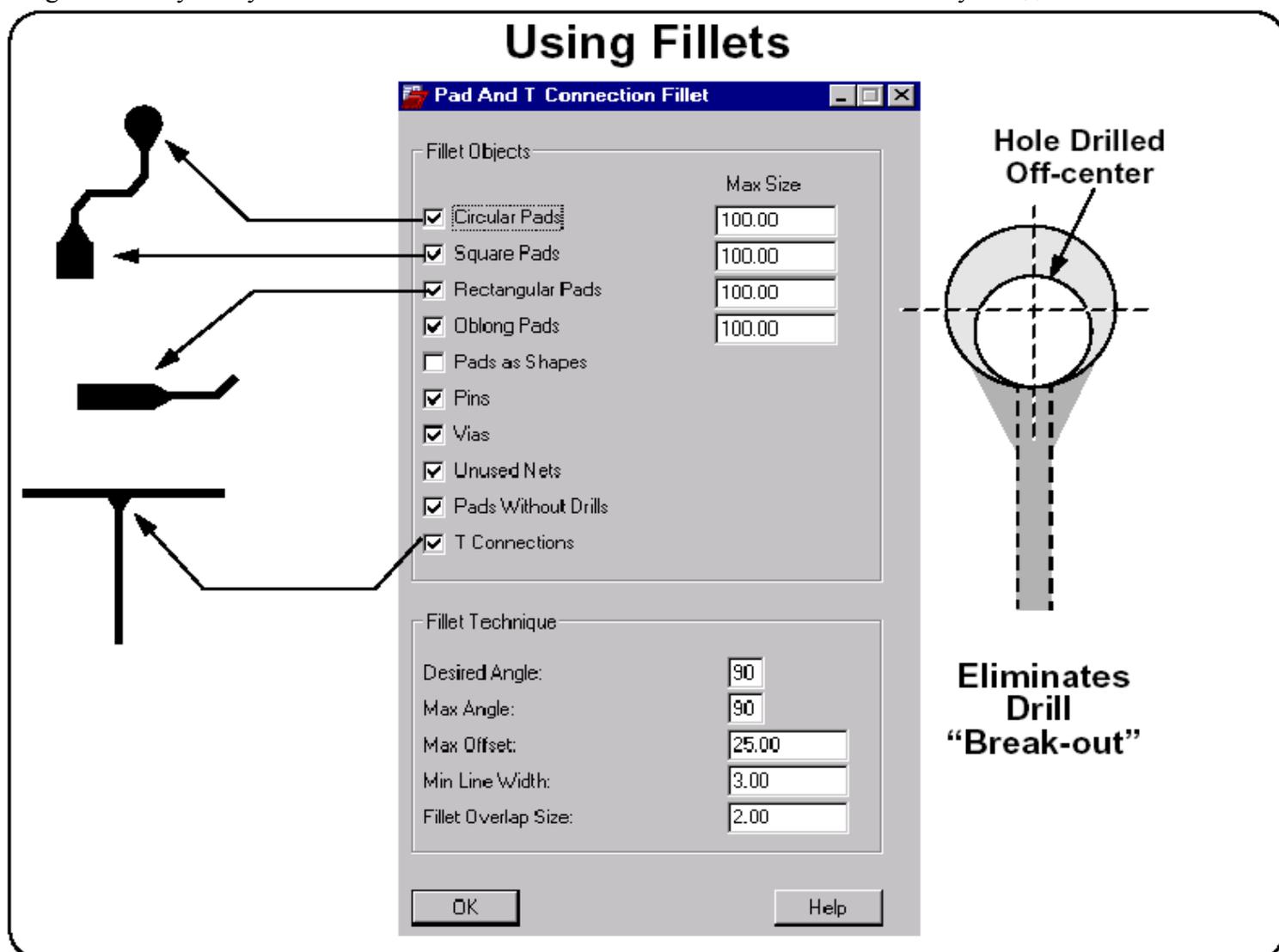
**Maximum Radius** определяет наибольший радиус используемый при выполнении. По умолчанию 25.

**Minimum Radius** определяет наименьший радиус используемый при выполнении. По умолчанию 2.

**Number Executions** указывает сколько раз запускается приложение Convert Corner to Arc. По умолчанию 1. Convert Corners to Arc исследует каждый подкласс проводников на наличие линии соединения с 45-градусными и 90-градусными углами. Когда угол найден, Allegro пытается создать дугу с максимально определенным радиусом. Если возникает ошибка DRC, он уменьшает радиус и пытается снова.

Этот процесс повторяется до того, как достигнет минимального значения радиуса или выполнится без ошибок DRC.

## Using Fillets



### Using Fillets (Заливка Pad и T – образных соединений)

Fillet – участок проводника V-формы, расположенный на стыках для улучшения соединений. Опция Pad and T Connection Fillet формы Glossing Controller позволяет вам создавать fillets. По мере увеличения плотности проекта, размеры pad и ширины линий уменьшаются, и при просверливании сквозных отверстий создаются возможные разрывы. Добавление заливки на этих стыках помогает это предотвратить это. Также, острые углы могут быть устранены на высоковольтных участках путем добавления заливки между лучами T - соединений.

Filleting – последняя операция выполняемая до последующей обработки. Только когда ваш проект трассирован на 100%, используйте опции fillet. Рекомендуется также выполнить вначале все остальные опции глянцеваания.

Первый проход будет сделан для определения заливки pad так, что внешние вершины концов линий заливки будут касаться границы pad. Если будет превышение максимального значения сдвига на Pad и форме T Fillet Parameters, линии заливки передвинутся ближе к pad.

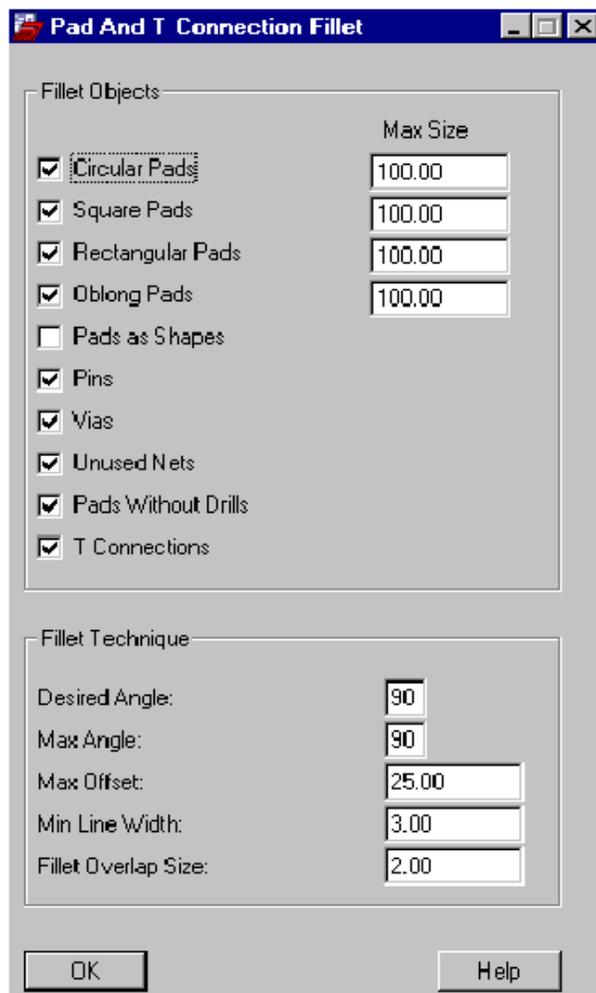


1st try—fillet lines are tangent to pad edges.



2nd try—point of v moved up to offset distance; fillet lines are no longer tangent.

## Using Fillets—Offset and Angle



### Using Fillets—Offset и Angle (Заливка – Отступ и углы)

Для квадратного pad линий заливки располагается так, что концы выравниваются с углами pad на обоих концах стороны, в которую входит линия. Если процесс заливки превышает максимальное значение сдвига fillet, он передвигается ближе к pad, сохраняя тот же угол fillet.

Пример.

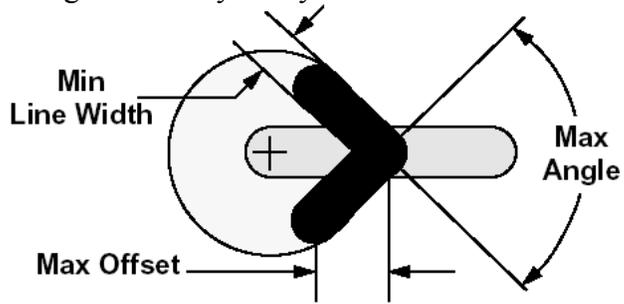


1st try—fillet lines are tangent to pad corners.



2nd try—point of v moved up to offset distance; fillet lines are no longer tangent.

Параметры **Maximum Offset** и **Angle** изображены ниже:



## **Лабораторная**

Лабораторная 7-1 Using Automatic Gloss

## Глава 8: Copper Areas (Полигоны)

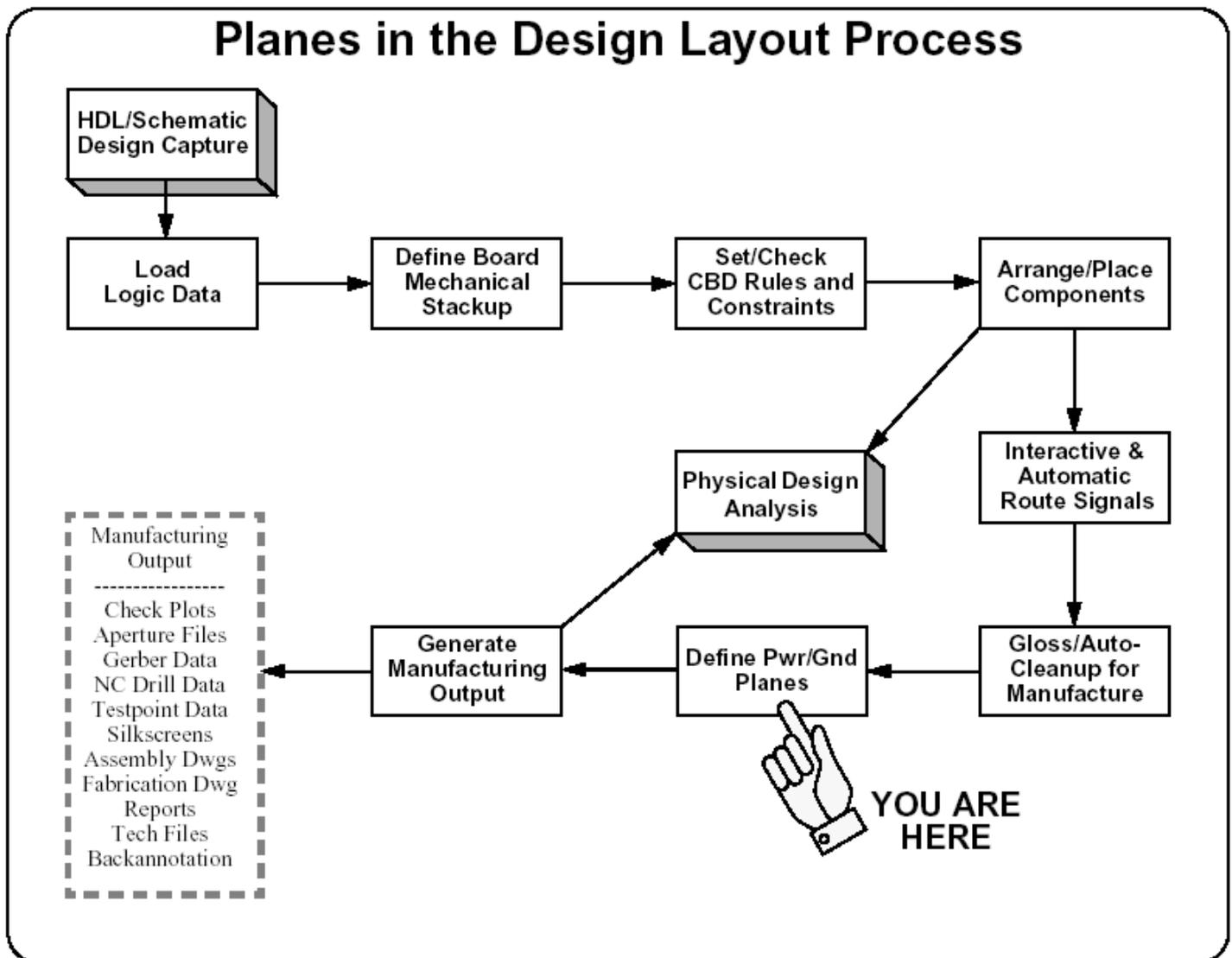
### Цели

В этой главе вы:

- ★ Научитесь создавать полигоны.
- Negative planes (Полигоны, создаваемые по негативной технологии)
- Positive planes (Полигоны, создаваемые по позитивной технологии)
- Split planes (Разделение полигона)
- Complex planes (Сложные полигоны)
- Edit existing planes (Изменение существующих полигонов)

### Термины и Определения

Термин	Определение
Void	Вырез в полигоне.
Thermal Relief	Тепловой барьер контактной площадки.
Anti-Pad	Зазор для обеспечения электрического разъединения между внутренней областью металлизации и металлизацией отверстия.
Negative Plane	Способ изображения на трафарете, где светлые зоны – медные, темные – не медные.
Positive Plane	Способ изображения на трафарете, где темные зоны – медные, светлые – не медные.

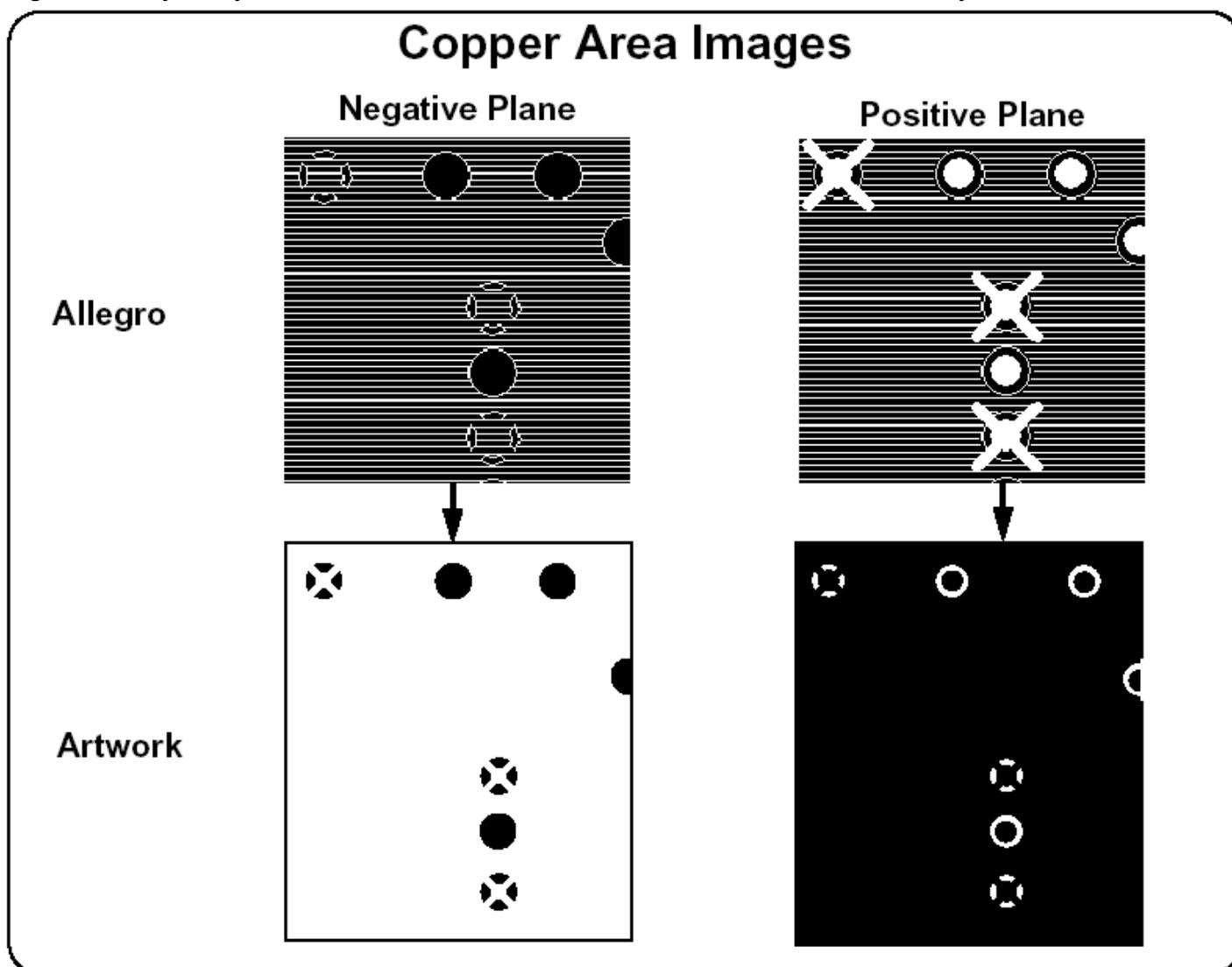


## Planes in the Design Layout Process

Процесс проектирования продолжается. Вы уже завершили следующие фазы:

- ✦ Load Logic Data
- ✦ Define Board Mechanical Data
- ✦ Define Design Rules
- ✦ Component Placement
- ✦ Route Signals
- ✦ Gloss

Теперь можно добавлять Power и Ground Planes. Они добавляются после последнего редактирования vias и сквозных отверстий.



## Copper Area Images (Типы изображений полигонов)

Существует два метода создания полигонов, каждый с плюсами и минусами.

### Negative Image (Негатив)

- ★ Первый плюс. При использовании векторного формата Gerber, требуемый файл фотошаблона для полигона гораздо меньше, потому что для заливки полигона не требуется данных.
- ★ Второй плюс. Этот тип медной зоны более гибкий; он может быть создан в начале процесса проектирования, будет вмещать динамическую расстановку и изменения трассировки.
- ★ Минус. Вам придется создавать flash symbols для всех типов thermal relief.

### Positive Image (Позитив)

- ★ Плюс. Экран Allegro - WYSIWYG (Что видишь то и получишь) т.е. вы видите фактические positive copper fill так же, как и anti-pad и thermal relief—не требуется специальных flash symbols.
- ★ Первый минус. Если вы создаете не растровый выходной файл для фотошаблона, то требуемый для планирования этой медной зоны файл будет гораздо больше из-за векторных данных, требуемых для заполнения полигона. Вам также придется исправить некоторые ошибки заполнения формы, перед созданием фотошаблона.
- ★ Другой минус. Вам придется восстанавливать форму, после внесения изменений в расстановку и трассировку.

## Creating a Negative Copper Area (Создание полигона негативным способом)

1. Используйте команду **Add Shape** для рисования полигона на нужном проводящем слое.
  - Проверьте панель Options на активные классы и подклассы.
  - Полигон должен быть внутри route keepin.
  - Чтобы закончить создание полигона, нажмите правую кнопку, и выберите **Done** из всплывающего меню.
  - После закрытия полигона, меняется верхнее меню Allegro.
  - Теперь вы в режиме **Edit Shape**.
2. Используйте команду **Edit—Change Net** для присвоения полигону имени цепи. Например: vcc, gnd, +5v, agnd, dgnd, +12v.
3. Используйте команду **Shape—Fill** для заполнения полигона.

— Верхнее меню Allegro меняется, и вы больше не находитесь в режиме **Edit Shape**.

Хотя Allegro изображает медную зону, как заполненный полигон, это изображение зарезервировано и полигон появляется на фотошаблоне как чистая зона. Далее устанавливается связь всех pins и vias внутри полигона. Эти pins и vias становятся черными кругами (нет соединения) или шаблонами thermal relief (соединенные). Для просмотра свойств thermal relief и anti-pad:

- ★ Включите опции **Filled Pads and Cline Endcaps** и **Thermal Pads** в форме Drawing Options.
- ★ Используйте одинаковые цвета для подклассов Etch, Pin и Via Class. Если Etch, Pin, и Via имеют одинаковый цвет, то цветовой приоритет не важен.
- ★ Держите видимым не более чем один слой Etch, Pin, и Via одновременно (один слой для каждого подкласса).

Allegro определяет thermal relief по имени flash и свойствам anti-pad: геометрии, высоте и ширине указанным в padstack.

**Внимание:** Сетчатые формы не могут быть негативного типа. Allegro не может иметь незаполненные многоугольники (unfilled shapes) на слоях проводимости. Они не могут быть использованы для представления полигонов.

## Creating a Positive Copper Area (Создание полигона позитивным способом)

1. Используйте команду **Add Shape** для рисования полигона на нужном слое etch.
  - Проверьте Options на активные классы/подклассы.
  - Полигон должен быть внутри route keepin.
  - Чтобы закончить создание полигона, нажмите правую кнопку мыши и выберите **Done** из всплывающего меню.
  - После закрытия полигона, меняется верхнее меню Allegro.
  - Теперь вы в режиме **Edit Shape**.
2. Используйте команду **Edit—Change Net** для присвоения полигону имени цепи.
  - Например: vcc, gnd, +5v, agnd, dgnd, +12v.
3. Используйте команду **Shape—Param** для определения опций void и fill.
4. Используйте команду **Void—Auto** для проведения ручного или автоматического выреза в полигоне.
5. Используйте команду **Shape—Fill** для заполнения полигона.

Меняется верхнее меню Allegro и вы больше не находитесь в режиме **Edit Shape**.

Создание positive copper area – состоит из пяти шагов. Первые два шага и последний точно такие же, как для построения negative copper area.

Команда **Add Shape** предлагает на выбор три типа форм: Crosshatch, Solid или Unfilled.

Используйте Crosshatch или Solid (между этими стилями можно переключаться). Установите в панели Options правильный слой проводников. Нарисуйте полигон и используйте команду **Edit—Change Net** для присвоения полигону имени цепи.

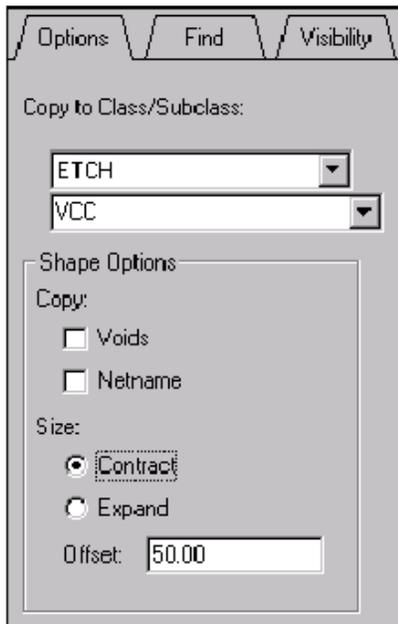
Positive copper area отличается от negative copper area. Positive copper будет подвергаться параметрическим управляемым процессам “void-и-fill”. Поэтому требуются следующие дополнительные шаги:

- ★ **Shape—Parameters** управляет процессами void-и-fill внутри полигона.
- ★ **Void—Auto** считывает параметры для полигона. Создаются зазоры для всех pins и vias. Voltage pins, которые требуют соединения с другими слоями получают thermal relief. Когда запущен **Void—Auto**, он проверяет проблемы заполнения (маленькие или узкие зоны, которые будет трудно заполнить, базируясь на размере отверстия, указанном в ограничениях проектирования).
- ★ Выберите кнопку **Shape—Fill** из верхнего меню для завершения этого процесса.

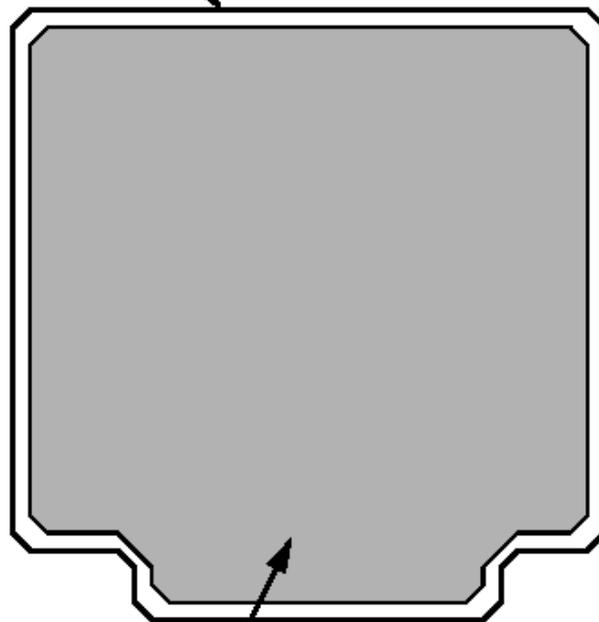
## Copying Existing Shapes

You can copy an existing shape from another class and subclass instead of using the **Add Shape** command to create a new shape.

### Edit—Z-Copy



### Board Geometry/Outline Polygon



Shape outline copied and contracted to Etch/Vcc

## Copying Existing Shapes (Копирование существующих полигонов)

Эскиз формы для полигонов power и ground может быть скопирован из полигонов другого подкласса.

Очень часто форма плоскостей power и ground planes будет такой же, как контуры платы, но немного меньше. Полигон, определяющий контур платы может быть сжат до размеров, определяемых пользователем и скопирован в требуемый класс и подкласс.

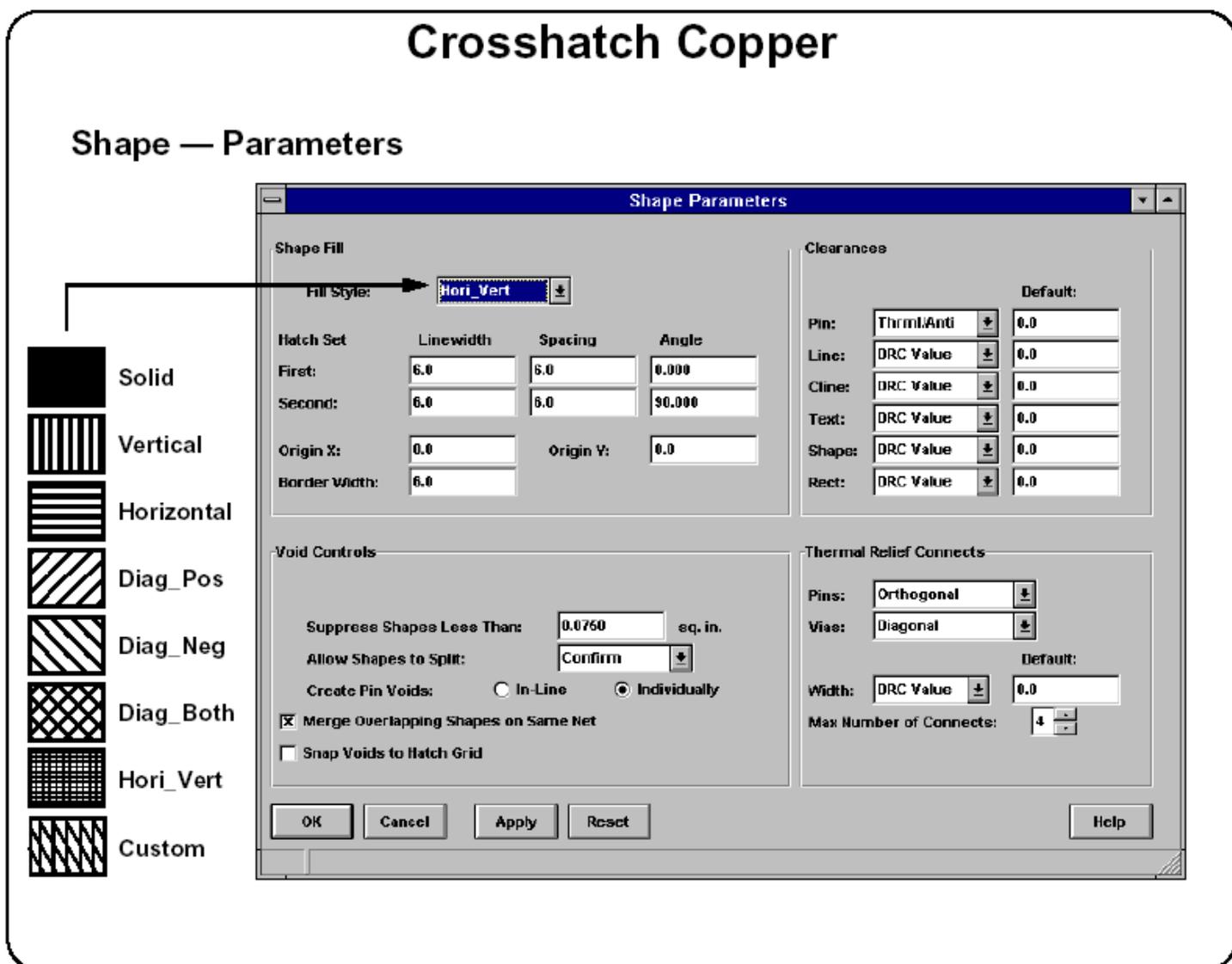
Плоскости также могут быть скопированы из одного подкласса в другой. При копировании плоскости из одного подкласса в другой, используйте панель Options для выбора, будут ли скопированы voids и netname.

## Void and Fill Parameters

### Shape—Parameters

### Void и Fill Parameters (Параметры заливки и отступов)

- ✦ Секция **Shape Fill** позволяет вам выбирать стиль заполнения полигона.
  - Вы можете переключаться между стилями заполнения в любое время.
- ✦ Секция **Clearances** позволяет вам определять ширины отступов полигона от pins, vias и т.п. (для предотвращения замыкания).
  - **DRC Value** устанавливает размер зазоров между pin/via, равным значениям приспанным цепи.
  - **Thermal/Anti-pad** (доступно только для Pins) устанавливает размер зазоров равным anti-pad geometry определенным в padstack.
  - **Default** устанавливает значение зазора равным полю Default (справа).
  - **None** означает, что для данного объекта не будет зазора.
- ✦ Секция **Void Controls**:
  - Управляет процессом проверки (при создании файлов фотошаблона (Gerber) для этого слоя), подтверждающей, что полигон был заполнен правильно.
  - Устанавливает, как будут обрабатываться острова.
  - Устанавливает, будут ли полигоны соединенными или разделенными.
  - Ищет модели pin для упрощения зон зазоров.
  - Управляет объединением нескольких полигонов в одну медную зону.
- ✦ Секция **Thermal Relief Connects** позволяет вам определять вид соединений pins, vias с полигоном.



## Crosshatch Copper (Тип заливки полигона)

В секции Shape Fill вы можете выбирать стиль заливки нажимая левую кнопку мыши в поле Style. (Наиболее частый стиль Hori\_Vert.)

**Hatch Set** определяет до двух различных направлений, в которых будут рисоваться линии.

**Linewidth, Spacing** и **Angle** определяются для каждого вида заливки.

**Origin X** и **Origin Y** позволяет вам определять начальную точку для группы линий решетки.

**Border Width** ширина линии, используемой для границы полигона.

**Allow Shapes to Split:** В зависимости от того, как вы выбрали параметры void и fill, и какой зазор будет вокруг pads, vias, lines и т.д., может полигон больше не оставаться цельным. Если это происходит, используются следующие опции:

- \* **Yes** означает разбивку полигона на части.
- \* **Confirm** позволяет вам выбрать, продолжить разбивку или остановить процесс autovoid.
- \* **No** означает, не разбивать полигон (процесс autovoid останавливается).

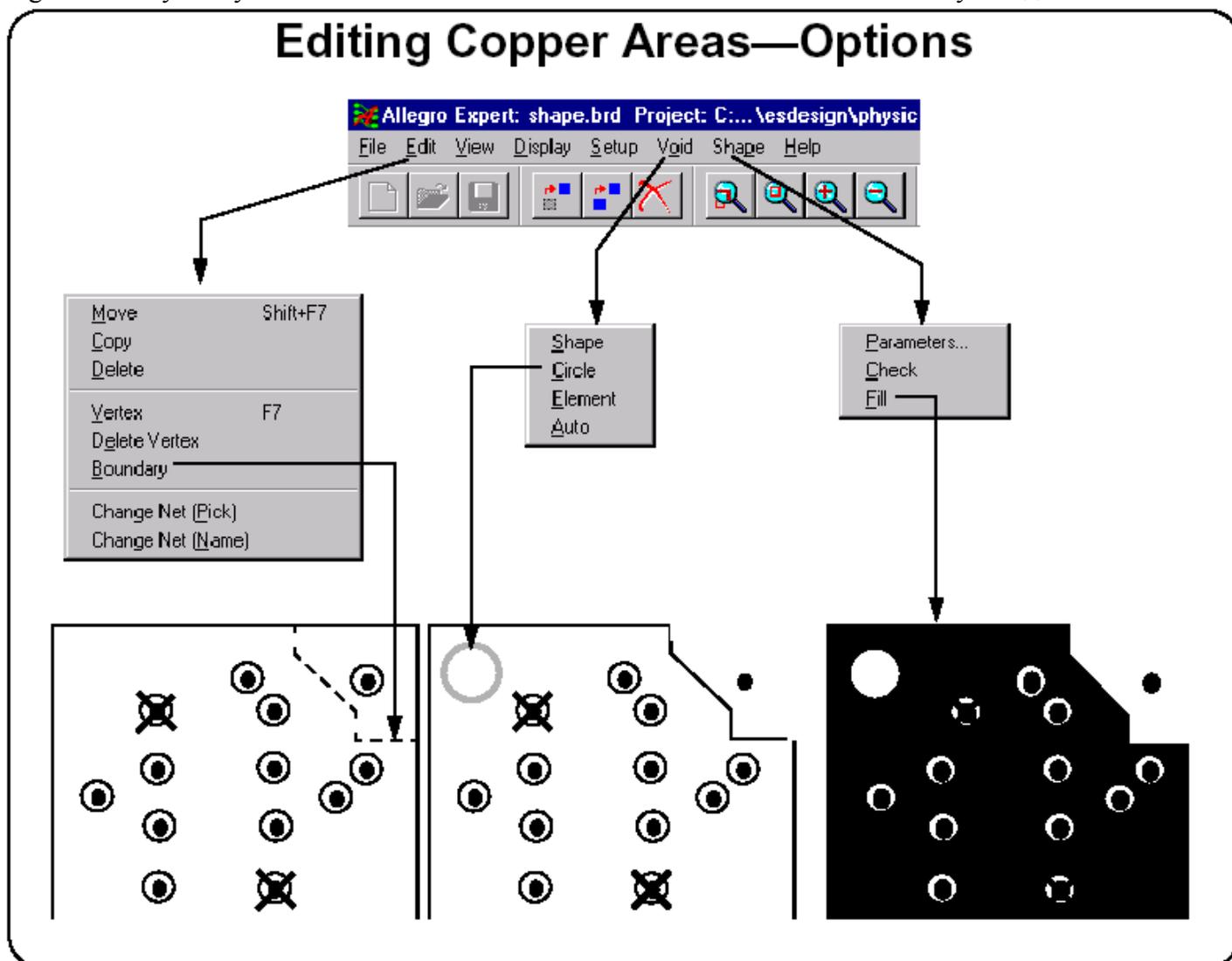
Линии решетки WYSIWYG отображаются в реальную ширину. Используйте кнопки Apply и Reset для изменения параметров. Эти кнопки позволяют вам переключаться между предыдущими и текущими установками, чтобы видеть эффект до и после их изменения.

## Editing Copper Areas

- Select **Edit—Shape** from the top menu.
- Select the Shape.
- Select **Done** from the right mouse pop-up menu.
- Shape is now in an “unfilled” state. The top menu changes, and you are now in **Edit Shape** mode.
- You can edit the shape outline boundaries.
- You can add/delete and edit void areas within the shape outline.
- You *must* use **Shape—Fill** to fill the shape and exit from **Edit Shape** mode.

### Editing Copper Areas (Изменение существующего полигона)

- ✦ Выберите **Edit—Shape** из верхнего меню.
- ✦ Выберите полигон.
- ✦ Выберите **Done** из всплывающего меню правой кнопки мыши.
- ✦ Полигон теперь в “незаполненном” состоянии. Верхнее меню меняется и вы теперь в режиме **Edit Shape**.
- ✦ Можно редактировать границы формы.
- ✦ Можно добавлять/удалять и редактировать незалитые зоны внутри формы.
- ✦ Используйте **Shape—Fill** для заполнения формы и выхода из режима **Edit Shape**.



## Editing Copper Areas—Options (Изменение существующего полигона - Параметры)

**Void—Auto** запускает программу, которая проверяет мелкие или узкие зоны, которые могут вызвать проблемы при заливке. Если найдены проблемы для заливки, эти зоны выделяются кругами (проблемы формы). Используйте командные опции **Void** для разрешения этих проблем. Потом выберите **Shape—Check** из верхнего меню для удаления маркеров ошибок и перепроверки полигона. При проверке полигона на проблемы заполнения, никогда не создавайте отверстие меньше, чем 4 mils.

**Void—Shape** создает незалитый участок внутри полигона.

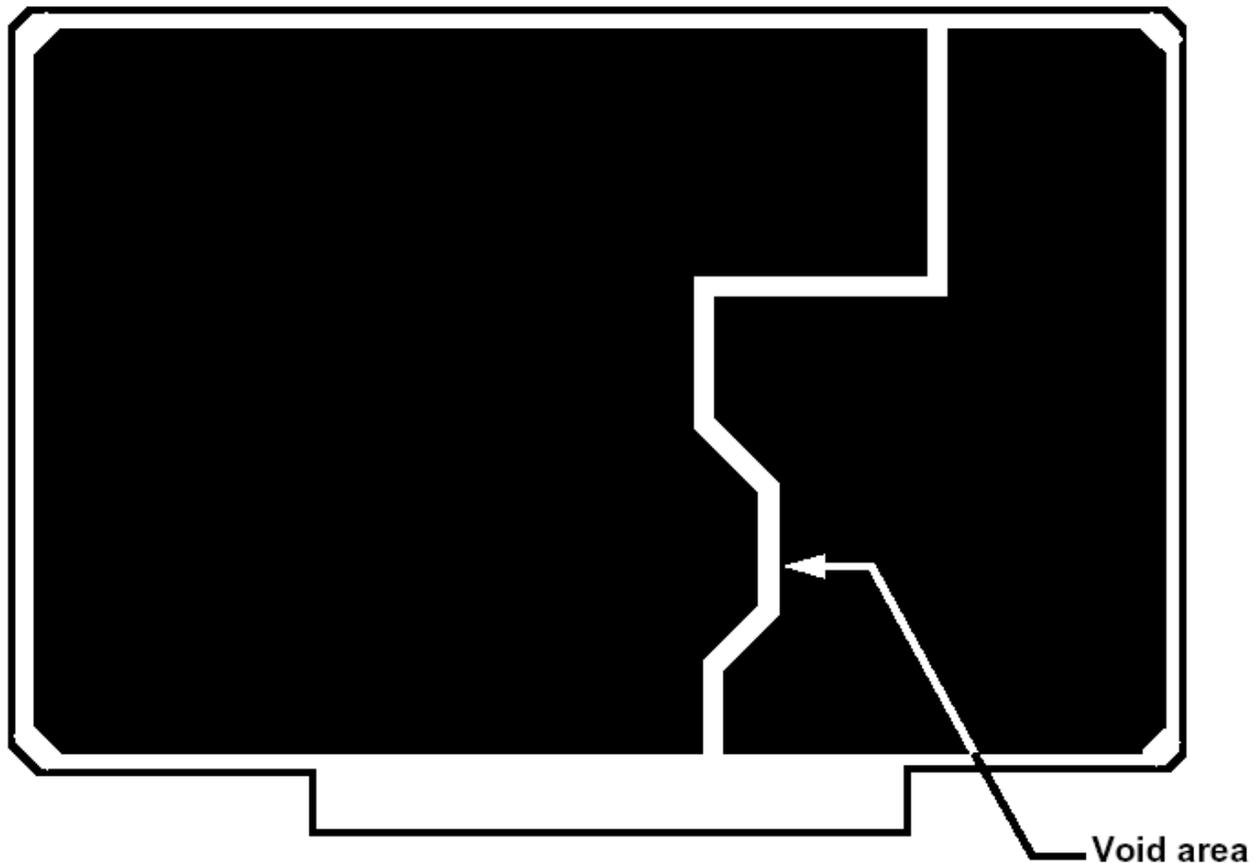
**Void—Circle** создает незалитый круг внутри полигона.

**Void—Element** позволяет вам выбрать pin или via и автоматически добавляет отверстие с гарантированным зазором.

**Edit—Boundary** позволяет вам изменять форму полигона.

Заметьте, что для доступа к показанным командам полигон должен быть в “незаполненном” состоянии.

## Split Planes



### Split Planes (Разделение полигона)

Для помощи в планировании геометрии каждого полигона, используйте выделение для определения различных вовлеченных цепей расположения pins. Для выделения отдельных цепей:

1. Нажмите на иконку **Highlight** из верхнего меню.



2. Выберите, цвет, который хотите активировать в форме Options.

3. В Find Filter, введите имя цепи одной из создаваемых вами плоскостей.

Все pin этой цепи становятся выделенными.

4. Поменяйте активный цвет в форме Options.

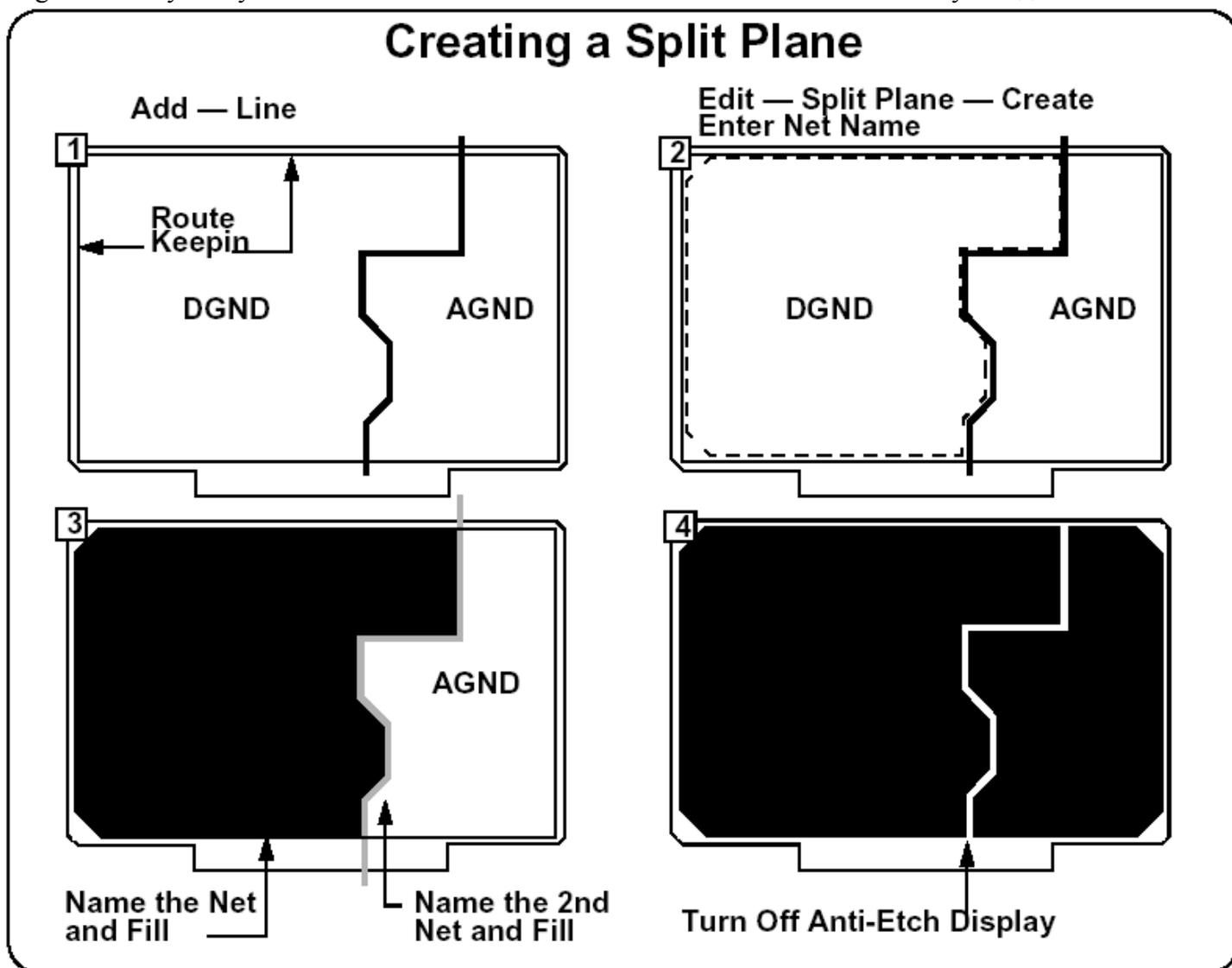
5. В Find Filter, введите имя цепи другой создаваемой плоскости.

Новая группа pins выделяется новым цветом.

Обе группы остаются выделенными до того, как вы используете команду **DeHighlight**.



Используйте этот метод отображения pins разными цветами для определения, где провести линию, которая станет разделом между двумя полигонами.



## Creating a Split Plane (Создание разделенных полигонов)

Существует подкласс, с именем ANTI-ETCH. Он используется для определения положения области разделения полигона. Ниже приведены фазы данного процесса:

✦ Начертите линию на слое Anti-Etch, где вы хотите создать разделение. Сделайте эту линию достаточно широкой для создания зазора адекватного размера. Начните и закончите эту линию Anti-Etch вне зоны route keepin.

✦ Выберите активный слой в форме Options.

✦ Выберите **Edit—Split Plane—Create** из верхнего меню.

✦ Введите имя цепи.

✦ Введите имя цепи для второй формы.

✦ Раздельные формы заполняются автоматически.

✦ Выберите **Edit—Shape**. Используйте следующие команды для завершения процесса:

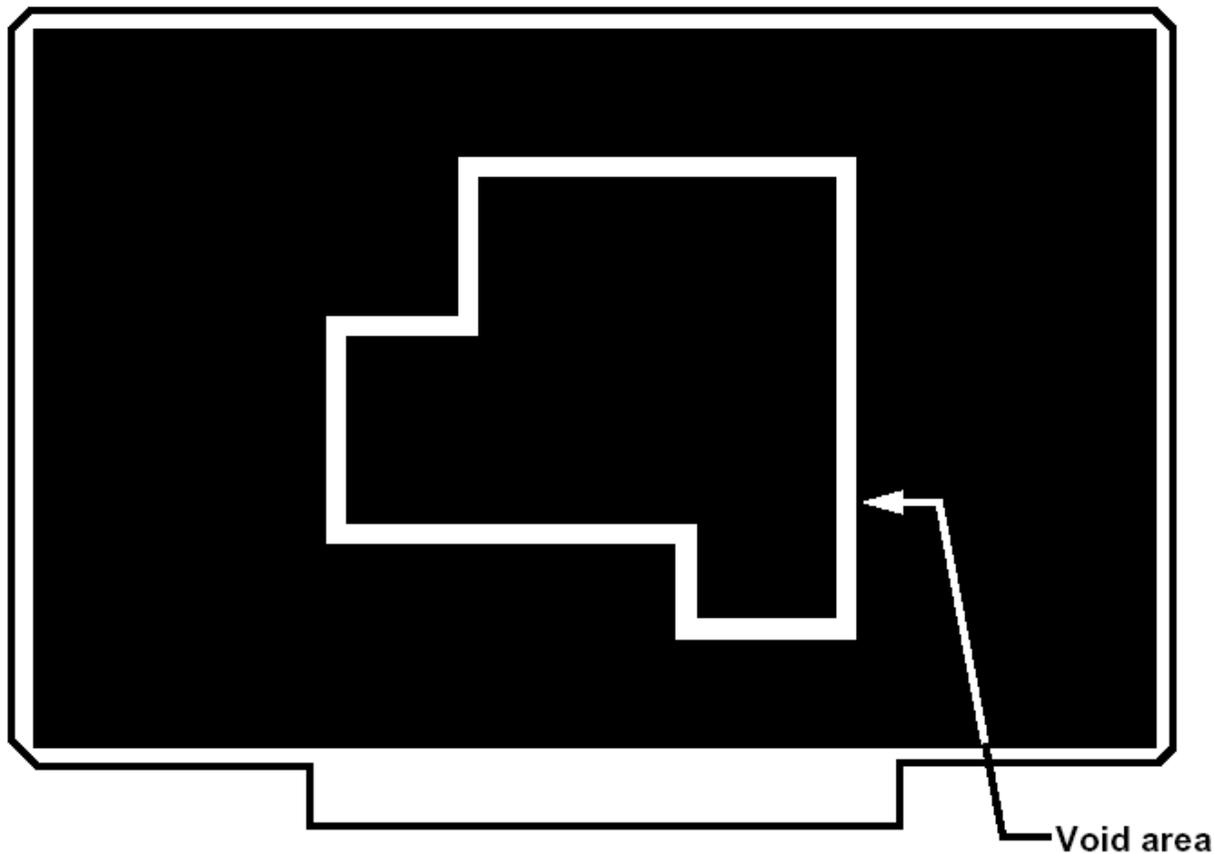
— **Shape—Parameters**

— **Void—Auto**

— **Shape—Fill**

Команда **Shape—Fill** должна быть использована для выхода из режима **Edit—Shape**.

## Complex Planes



### Complex Planes (Комплексные полигоны)

#### Complex Planes—Positive Image:

Комплексные полигоны, это полигоны внутри полигонов. Если изображение вашего полигона positive, вы можете создать остров внутри другой полигона, используя команду **Split Plane**. Например, вы вначале определите зазор между двумя секциями путем построения линии Anti-Etch подходящей ширины. Потом, выберите **Edit—Split Plane—Create**. Потом определите имя цепи и заполните каждую отдельную форму. В конце отредактируете каждую секцию формы и используете **Void—Auto** для установки правильных зазоров и соединений.

Функциональные возможности Split Plane позволяют вам создавать большие острова или комплексные плоскости, путем создания нескольких полигонов внутри route keepin. Команда Split Plane может быть использована для разрыва полигона внутри route keepin на любое число отдельных полигонов.

## **Лабораторные**

Лабораторная 8-1 Copper Areas

Лабораторная 8-2 Creating a Split Plane

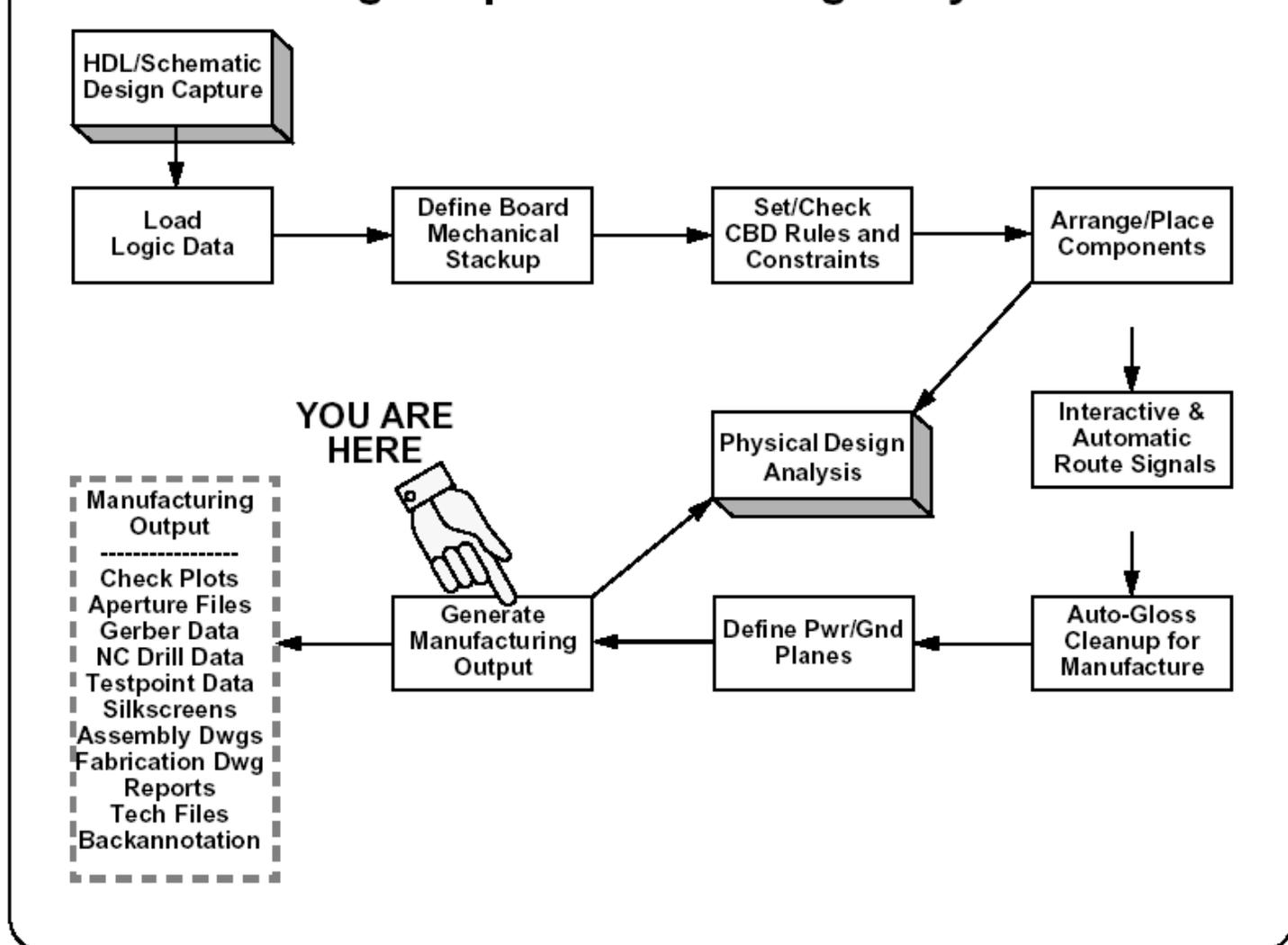
## Глава 9: Manufacturing Output

### Цели

В этой главе вы:

- ★ Научитесь завершать проект.
- Переименовывать компоненты.
- Делать обратную аннотацию (backannotation).
- Создавать файлы для шелкографии (silkscreens).
- Создавать файлы отчетов.
- Создавать файлы фотошаблонов.
- Создавать файлы сверловки (NC Drill).
- ★ Научитесь создавать документацию по проекту.
- Создавать производственные чертежи.
- Создавать сборочные чертежи.
- ★ Научитесь адресовать требования для производства и тестирования.
- Создавать контрольные точки (testpoints).

## Manufacturing Output in the Design Layout Process



## Manufacturing Output in the Design Layout Process

Вы достигли последней стадии процесса проектирования. Завершены следующие фазы:

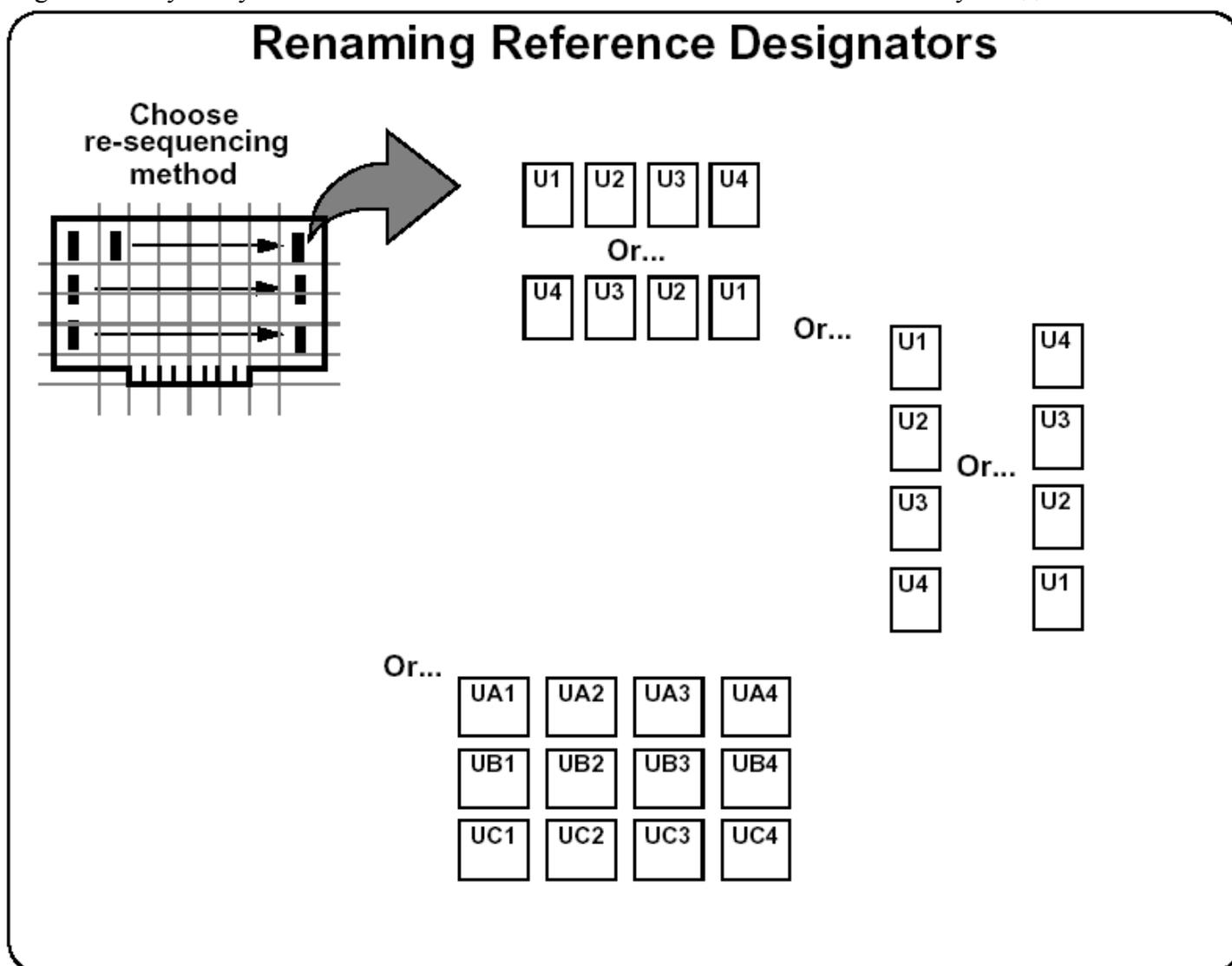
- ✦ Load Logic Data
- ✦ Define Board Mechanical Data
- ✦ Define Design Rules
- ✦ Component Placement
- ✦ Route Signals
- ✦ Gloss
- ✦ Add Power и Ground Planes

Теперь вы готовы создать производственный продукт. Это включает создание файлов) используемых в производстве. Финальные отчеты и данные для тестов также создаются на этой стадии. Эти файлы включают:

- Testpoint files
- Check Plot files
- Gerber (artwork) files
- Drill files

Изменение условных обозначений и отчетов также рассматривается в этой главе.

## Renaming Reference Designators



### Renaming Reference Designators (Переименование позиционных обозначений)

Общепринято переименовывать (переставлять) reference designators на плате после расстановки элементов или в конце фазы расстановки. Конкретный компонент легче расположить, когда reference designators на плате расположены в последовательном и предсказуемом порядке (например, слева направо, сверху вниз).

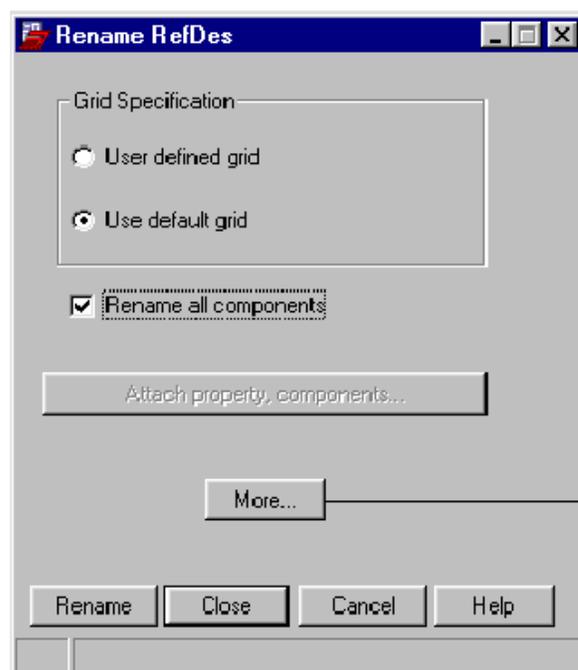
Процесс автоматического переименования в Allegro позволяет вам переименовывать каждый компонент в проекте одним действием. Можно также выбрать для переименования отдельные компоненты, прикрепив к ним свойство AUTO\_RENAME или переименовать компоненты только на одной стороне платы.

Переименование управляется только расположением линий placement grid (определяемых пользователем или выбранных по умолчанию) или последовательным переименованием внутри блоков сетки. При переименовании на базе сетки, вы можете указывать направление (горизонтальное или вертикальное) и порядок (слева направо, справа налево, сверху вниз) процесса переименования.

Для доступа к инструментам автоматического переименования в Allegro, выберите **Logic—Auto Rename RefDes**.

## Rename Reference Designators (Main Form)

Logic—Auto Rename RefDes—Rename



To get to  
the Setup  
Form

### Rename Reference Designators (Main Form) (Главная форма)

Используйте следующие шаги для автоматического переименования ваших компонентов:

1. Выберите **Logic—Auto Rename Refdes—Rename** из верхнего меню.

2. Выберите тип сетки размещения, которую вы хотите использовать.

—**User Defined Grid** – Вы сами определяете сетку на классе BOARD GEOMETRY и подклассах PLACE\_GRID\_TOP и PLACE\_GRID\_BOTTOM. Система будет использовать эти сетки, просматривая каждый квадрат сетки по направлению, определенному в Rename RefDes Setup Form (см. следующую страницу).

—**Use Default Grid** – Шаг сетки по умолчанию.

3. Выберите компоненты для переименования.

— **Rename All Components** – Переименовывает все компоненты на той стороне платы, которая определена в Rename RefDes Setup Form.

— **Attach Property, Components** – Необходимо прикрепить свойство AUTO\_RENAME ко всем компонентам, которые будут переименованы в этом проходе.

4. Нажмите **More...** для проверки или изменения параметров.

5. Нажмите **OK** в меню Rename RefDes, чтобы начать выполнение.

## Rename Reference Designators (Setup Form)

### Rename Reference Designators (Setup Form)

★ **Layer Options** – Определяет слои, которые на которых вы хотите переименовывать. Вы можете выбрать Top, Bottom или Both (по умолчанию). Определите также слой, где начнется переименование и исходное положение Component, который будет использован для целей переименования.

★ **Directions for Top/Bottom Layer**- Выберите направление и порядок для слоев, определенных в секции Layer Options. Для каждого слоя, определите вначале исходное направление, и потом порядок.

★ **Reference Designator Format** –Опции для создания reference designator. При переименовании компонентов, система будет использовать префикс reference designator в package symbol, если вы введете значение "\*" в поле RefDes Prefix и НЕ выберите опцию Preserve Current Prefixes option.

★ **Sequential Renaming** – Определяет количество цифр, которые будут использованы в reference designator, при использовании метода переименования Sequential, т.е. использование значения два(2) отобразится в формате "U01".

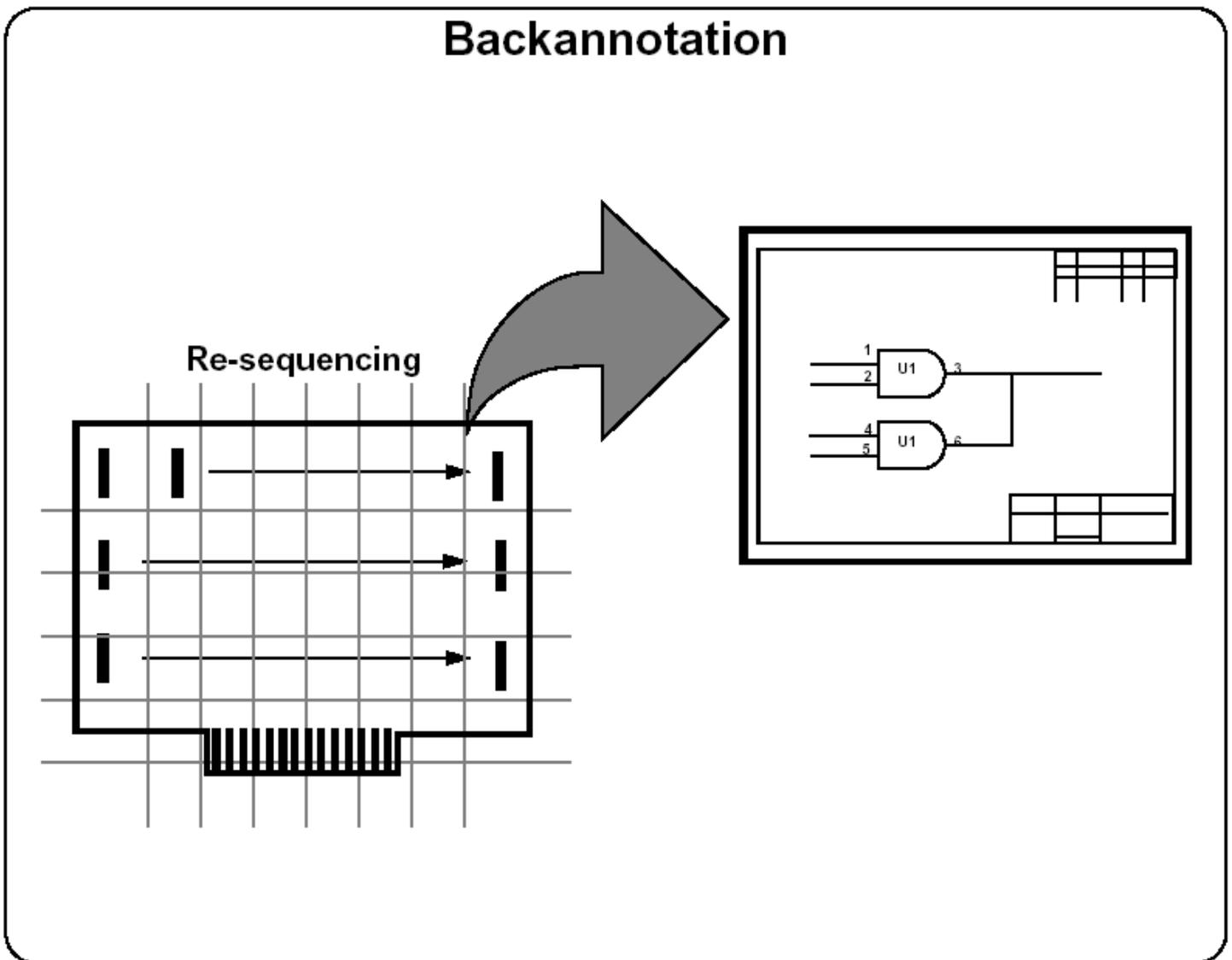
★ **Grid Based Renaming** – Определите формат reference designator, при использовании метода переименования Grid Based. Установите символ, который будет использоваться для первого и второго направления, вместе с подстрочным индексом, используемым, если более чем один компонент занимает одно положение на сетке.

Выберите **Close** чтобы закрыть эту форму и вернуться в главную форму.

## Renaming Reference Designators—Notes

### Запомните

- ✦ Компоненты могут быть переименованы по одиночке, редактируя прикрепленный к ним текст reference designator.
- ✦ Свойство AUTO\_RENAME может быть прикреплено к определенным группам компонентам для их отдельного переименования.
- ✦ Свойство HARD\_LOCATION может быть использовано для предотвращения переименования определенных компонентов.
- ✦ Определяемые пользователем секции сетки могут быть использованы для определения особых границ рядов и колонок.
- ✦ Существует много опций, доступных для определения числа и буквы последовательности.
- ✦ Когда вы переименовываете компоненты, вы должны осуществить backannotate к исходной схеме.



### Backannotation (Обратная аннотация)

Когда вы переименовываете reference designators, вы изменяете базу данных Allegro. Эти изменения должны быть сообщены обратно в схему, с помощью backannotation, которая документирует изменения reference designators.

Для доступа к программе Backannotation, выберите **File—Export—Logic**.

## Testpoint Generation

There are two types of testing:

- Bareboard
  - Electrical continuity check (opens and shorts)
  - Performed after fabrication
- In-circuit
  - Logical performance check
  - Performed after assembly

## Testpoint Generation

### Test Types

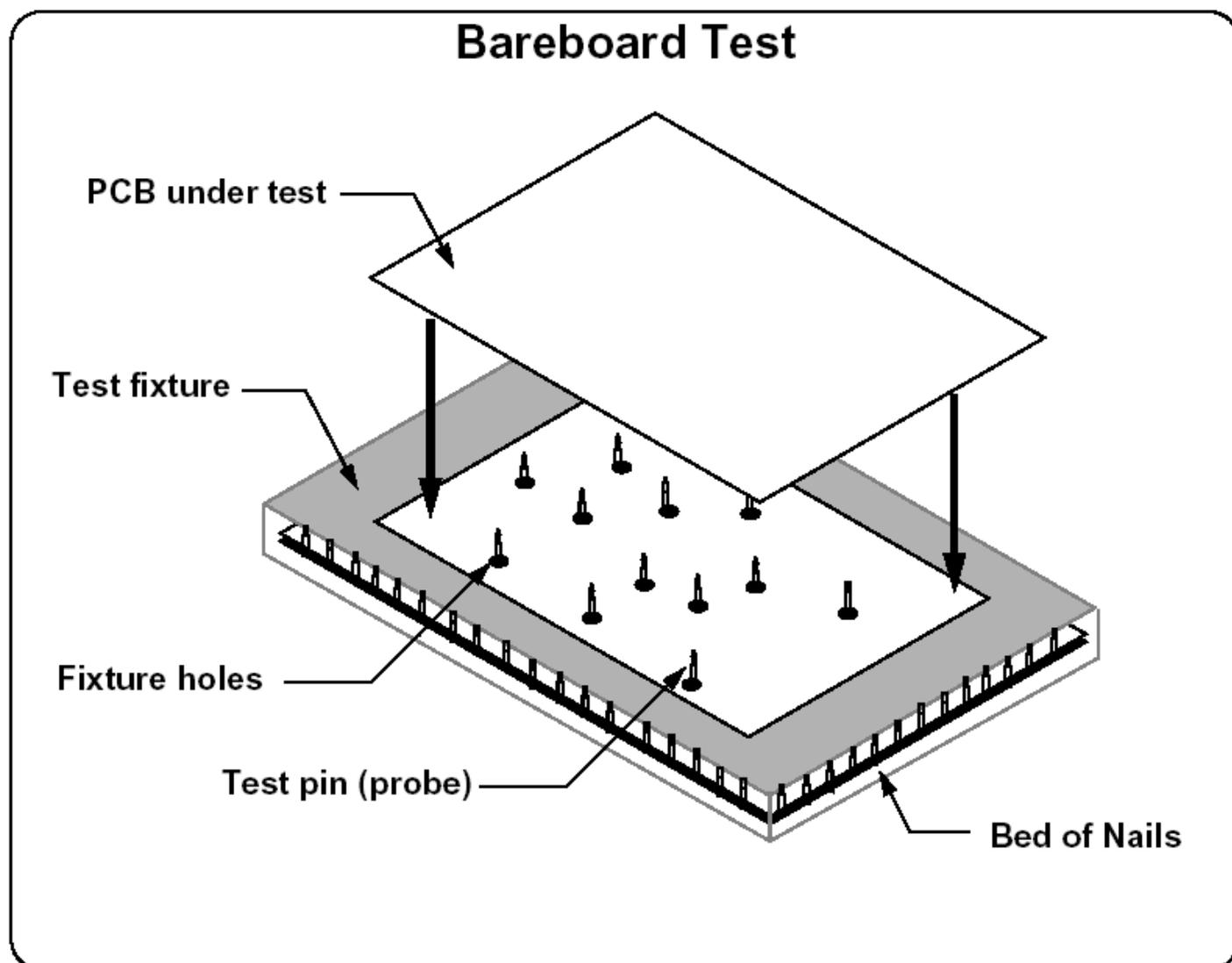
Все платы требуют некоторое тестирование.

После производства физической платы, она тестируется на целостность производственным оборудованием.

Оно проверяет соединения между всеми component pins и подтверждает, что нет никаких “замыканий” или “разрывов”. После того, как физическая плата проверена, она готова к монтажу.

После того, как плата смонтирована, она проходит дальнейшее тестирование, которое подтвердит, что плата и компоненты работают вместе, как и проектировалось.

Устройство может пройти через *функциональный* тест. Этот тест включает генератор сигналов (симулятор) и много длинных циклов операций для исследования интенсивности отказов из-за нагрева и проблемы загрязнения.



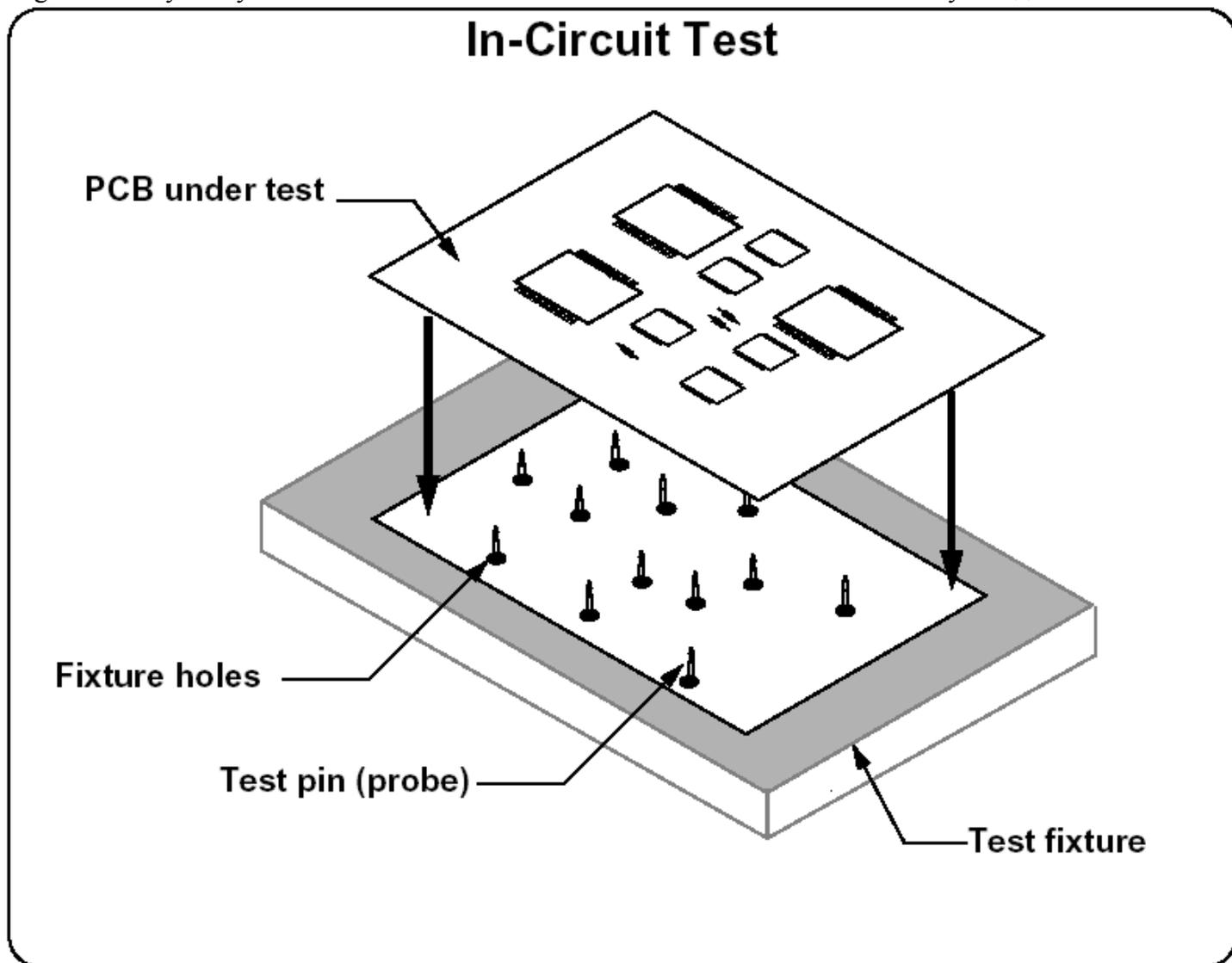
## Bareboard Test (Тест несмонтированной платы)

Во время теста bareboard, исследуются все pins компонентов на каждой стороне печатной схемы платы. Этот тест требует “прибор”, содержащий испытательные щупы, которые соединяются с PCB в определенных местах.

Тестеры bareboard используют “ложе из гвоздей (bed of nails),” в которых подпружиненные щупы расположены через каждые 100 mils. (в гибких и двойной плотности тестерах щупы расположены ближе.) Испытательные щупы присоединяются к определенным точкам контактов на поверхности PCB.

Большинство текущих проектов PCB двусторонние. К сожалению, большинство машин для испытания bareboard односторонние. Это значит, что у них только одна bed of nails. Новейшие, двусторонние тестеры могут испытывать обе стороны PCB сразу.

Вместо двусторонних тестеров некоторые компании используют дорогостоящие “грейферные” испытательные арматуры. Это позволяет испытывать обе стороны платы, используя односторонний тестер. Чтобы избежать большой стоимости грейферного тестирования, другие компании тестируют платы дважды (каждую сторону по разу).



### In-Circuit Test (Тест смонтированной платы)

Во время тестирования in-circuit, инженеры по испытаниям должны иметь доступ к каждому сигналу, испытывая pin или routing via на нижней стороне платы.

Как и bareboard тестирование, тестирование in-circuit требует испытательную арматуру (щупы), которое служит как приемник для испытываемых сигналов. Однако, в отличие от тестирования bareboard, щупы подводятся прямо к тестируемым узлам платы и сигналы идут через кабельные соединители к проверяющему устройству. (не существует bed of nails).

## How TestPrep Works

The TestPrep process automatically generates testpoint locations.

- First: You set parameters based on the type of test being performed (bareboard or in-circuit).
- Second: The TestPrep process:
  - Scans each net in the design.
  - Compares the pins or vias within each net against the parameters, and selects test sites.

(This may be a repetitive process with incremental parameter settings.)

If no suitable pin or via is found:

- No testpoint is generated (warning messages are issued in log file).
- A new via may be generated.

- Third: “Marks” all valid testpoint locations.
- Fourth: Outputs marked locations to NC files used to drill the test fixtures.

If TestPrep does not test 100% or is not run, manual creation and editing is possible.

## How TestPrep Works

Окно параметров позволяет вам изменить TestPrep, в зависимости от требований к каждому типу теста.

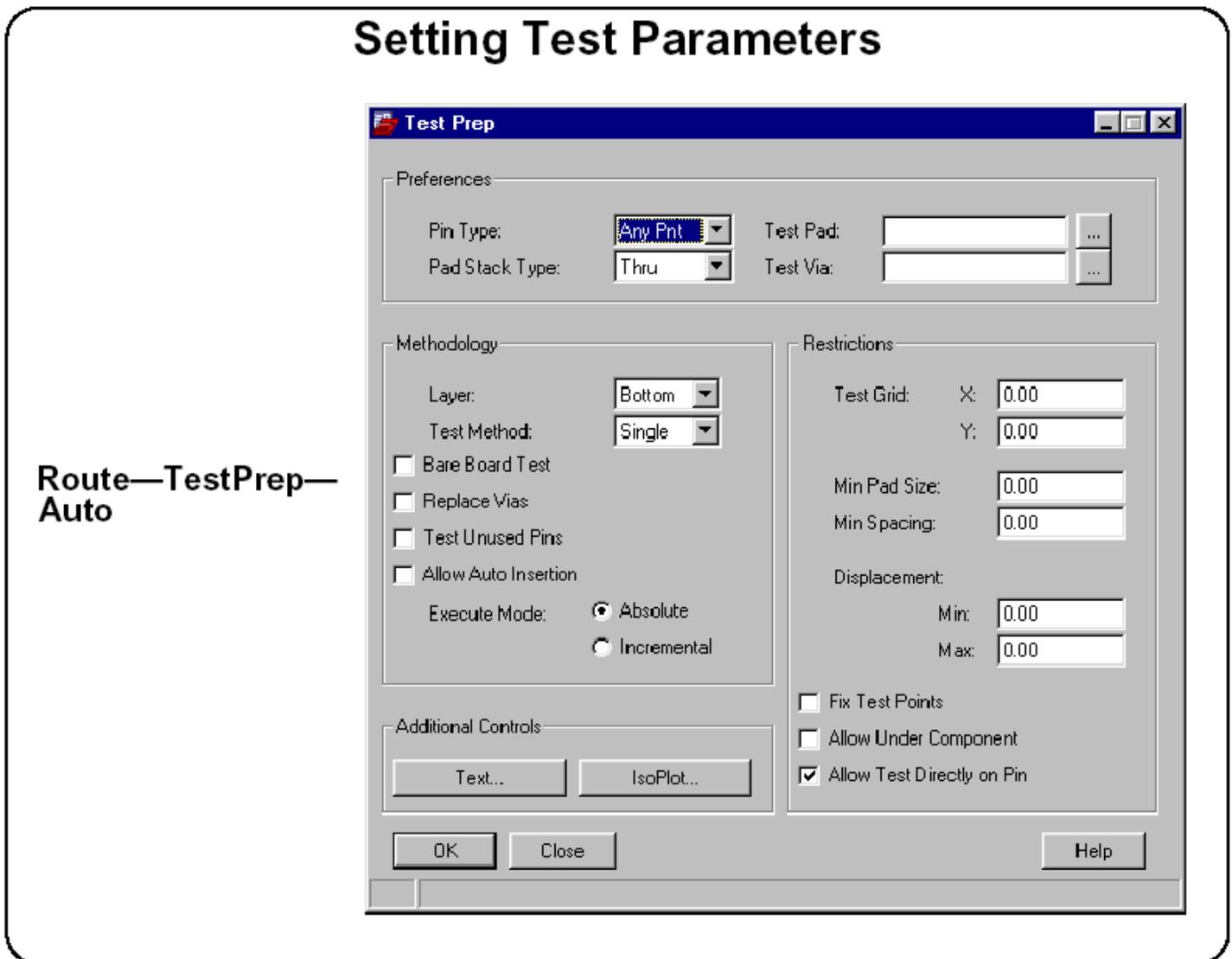
Базируясь на ваших установках и параметрах сетки, программа сканирует базу данных цепь за цепью в поиске нужных pins. (Для исключения цепи из процесса тестирования, прикрепите свойство NO\_TEST.) Поиск дозволенных испытываемых посадочных мест происходит согласно иерархической структуре, начиная с IO pins.

Если не найдено IO pin, которые удовлетворяют параметрам, выбирается IC output pin. Если нет доступных output pin, тогда любые подходящие pin считаются входными или дискретными pins. (Эти типы выбранных pin помечаются звездочками в файле журнала).

Если не найдено дозволенных pins, Allegro просматривает все ранее существовавшие vias. Если все эти критерии не подошли, тогда программа пытается вставить новую testpoint (контрольную точку).

Все выбранные точки отмечаются testpoint symbol (triangle) на слоях Manufacturing/Probe\_top или Probe\_bottom.

Итог подготовки к тестированию – создание файла данных с координатами, которые используются для высверливания отверстий в тестируемой арматуре. Эти координаты отвечают расположению отметок тестирования на плате.

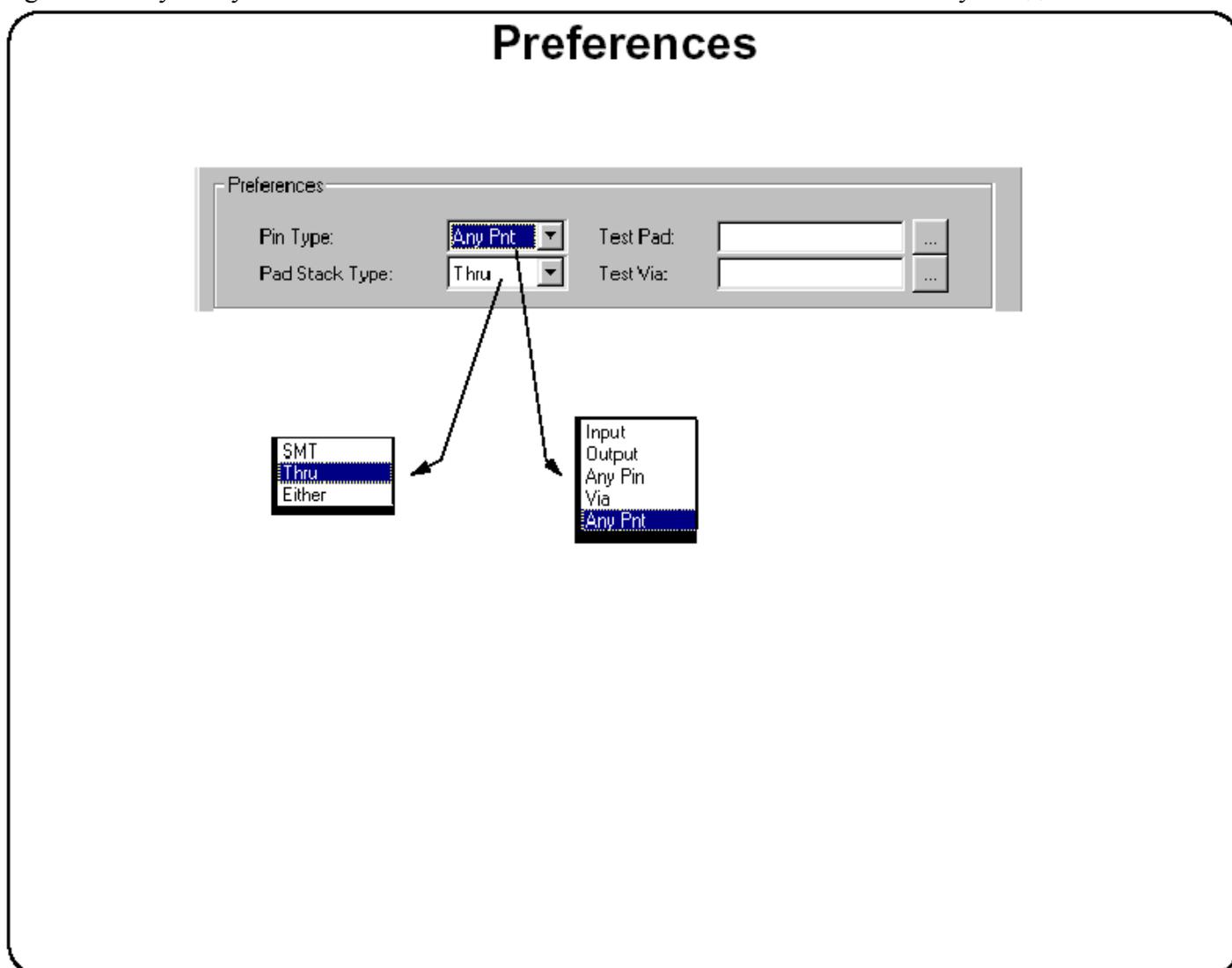


## Setting Test Parameters (Параметры тестирования)

Allegro автоматически выбирает расположение pin компонентов или расположение via как испытательное посадочное место. Вы можете управлять процессом выбора используя форму параметров.

Форма параметров имеет три секции, которые определяют доступные точки выбора:

- ✦ **Preferences** - характеристики pins и vias, используемые как контрольные точки.
- ✦ **Methodology** – идентификация типа требуемого тестирования.
- ✦ **Restrictions** – дополнительные требования для вычисления возможных контрольных точек.



## Preferences (Предпочтения)

★ **Pin Type** имеет пять опций.

— Первые три опции—**Input**, **Output** и **Any Pin**—определяют электрические предпочтения, когда последние два—**Via** и **Any Pnt**—определяют физические предпочтения.

Выберите **Any Pin** для ввода input pins, испытываемых первыми, за ними следуют output pins. Выберите **Any Pnt** для поиска мест нахождения, используя всплывающее меню.

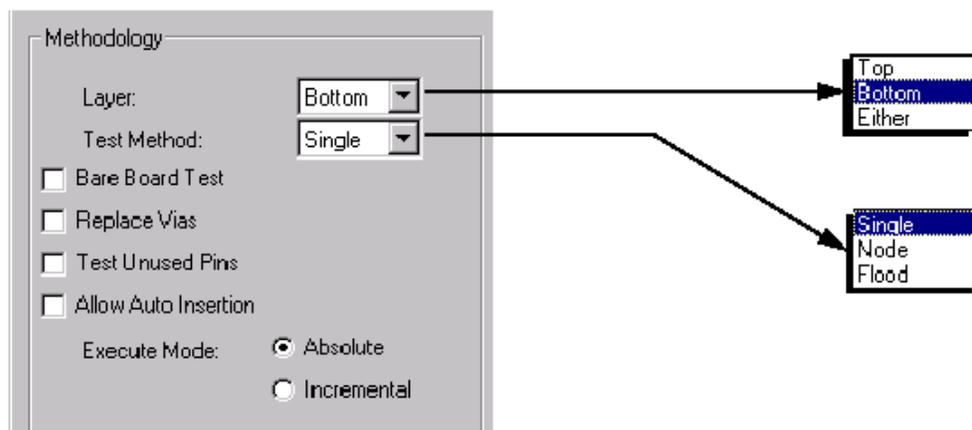
★ **Padstack Type** описывает тип pad, требующуюся как контрольная точка для пробника.

— Вы можете выбрать поверхностный (surface-mount), сквозной (through-hole) или оба типа padstack из всплывающего меню.

★ **Test Pad** определяет surface-mount pad, которая может быть добавлена в режиме автоматического добавления (auto-insertion).

★ **Test Via** определяет through-hole pad, которая может быть добавлена в режиме auto-insertion или (замена via) replace-via.

## Methodology



### Methodology (Методология)

Используйте эту часть для определения особенных операций тестирования.

**Layer** определяет, какая сторона платы будет зафиксирована для контрольной точки. Возможно **Top**, **Bottom** или **Either**.

**Test Method** определяет число испытываемых точек на каждой цепи.

— **Single** означает одну testpoint на цепь (для in-circuit).

— **Node** означает одну testpoint на каждом конце цепи.

— **Flood** означает одну testpoint для каждого pin в цепи.

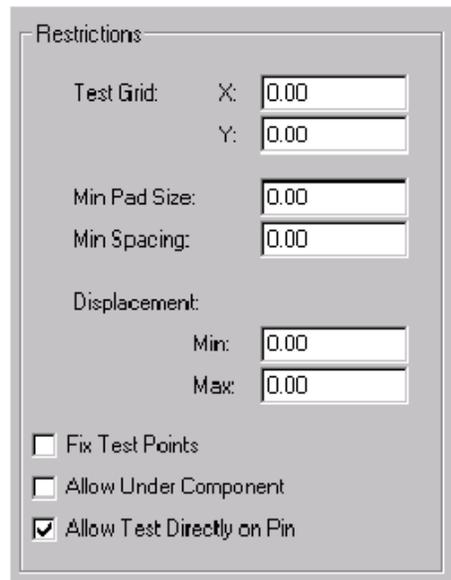
**Bare Board** Используется для указания смонтирована плата или нет, к началу теста. НЕТ, pin компонентов могут тестироваться только на стороне без компонентов.

**Replace Vias** работает вместе с полем Test Via в секции *Preferences* (показана на предыдущей странице). Выбор этой опции вызывает попытку изменить vias, выбранные для тестирования на Test Via padstack. (Это обычно увеличивает размер pad/hole для лучшей посадки щупов.) Если появляется ошибка DRC, используется начальный размер via.

**Allow Auto Testpoint Insertion** также работает с полем Test Via в секции *Preferences*, и позволяет добавлять в цепь via, если не существует подходящих. Используйте эту опцию для тестов in-circuit, подтверждающих что, что нижняя сторона имеет доступ ко всем устройствам SMT (или для цепей, которые не содержат сквозных vias).

**Execute Mode** определяет, должны ли остаться существующие testpoints или все testpoints должны быть убраны и воссозданы заново (**Absolute**).

## Restrictions



Restrictions

Test Grid: X: 0.00  
Y: 0.00

Min Pad Size: 0.00  
Min Spacing: 0.00

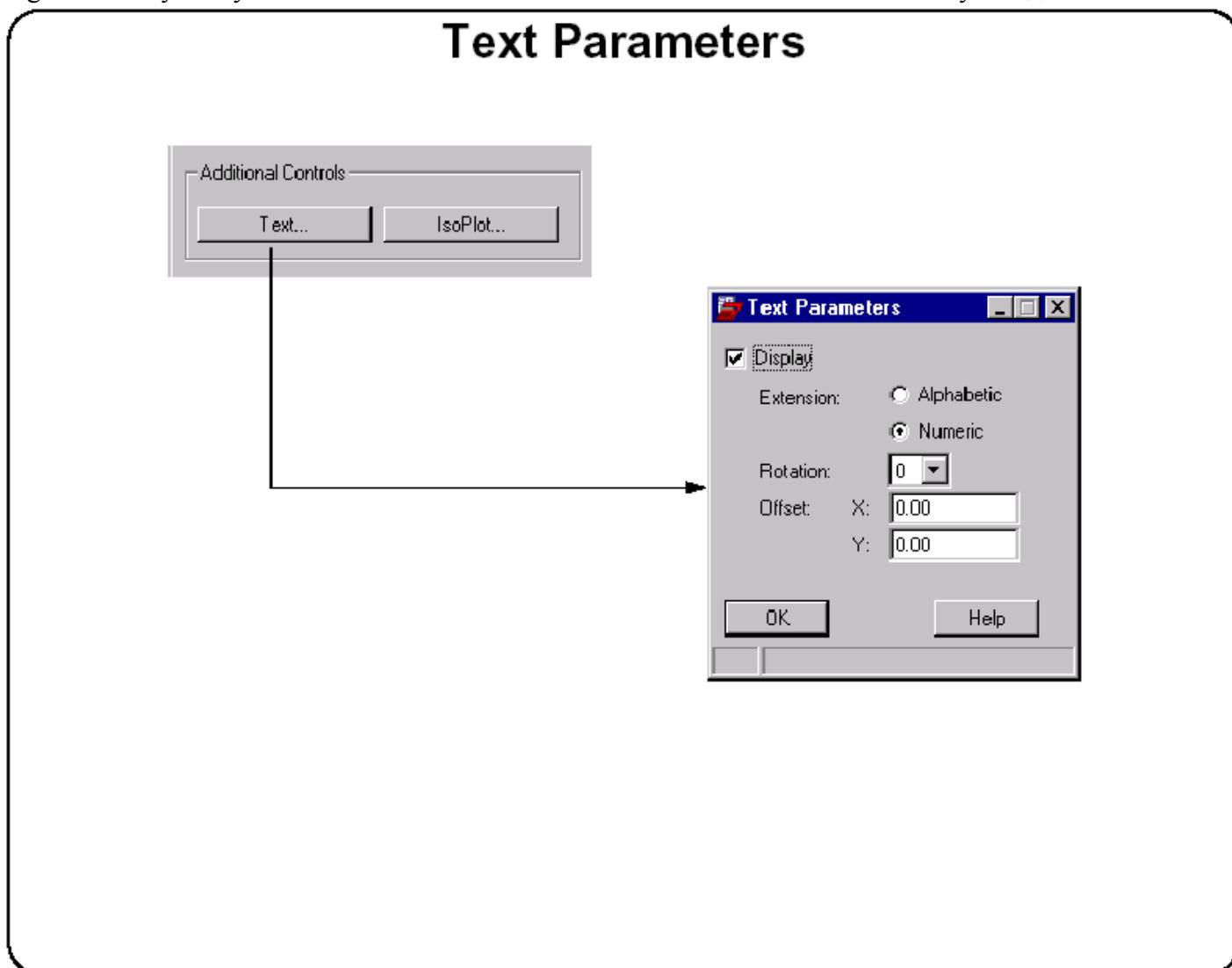
Displacement:  
Min: 0.00  
Max: 0.00

Fix Test Points  
 Allow Under Component  
 Allow Test Directly on Pin

### Restrictions (Ограничения)

Используйте секцию Restrictions формы параметров TestPrep для приспособления к требованиям продиктованными различными типами испытательных приборов. Из-за возможности изгиба щупов и потери точности, принято указывать ограничения пространства и промежутков.

**Fix Testpoints** заставляет все, находящиеся в данный момент в проекте testpoints становиться незаменяемыми/неудаляемыми. Эта опция предотвращает дальнейшее редактирование или автоматическое удаление существующих testpoints.



## Text Parameters (Параметры текста)

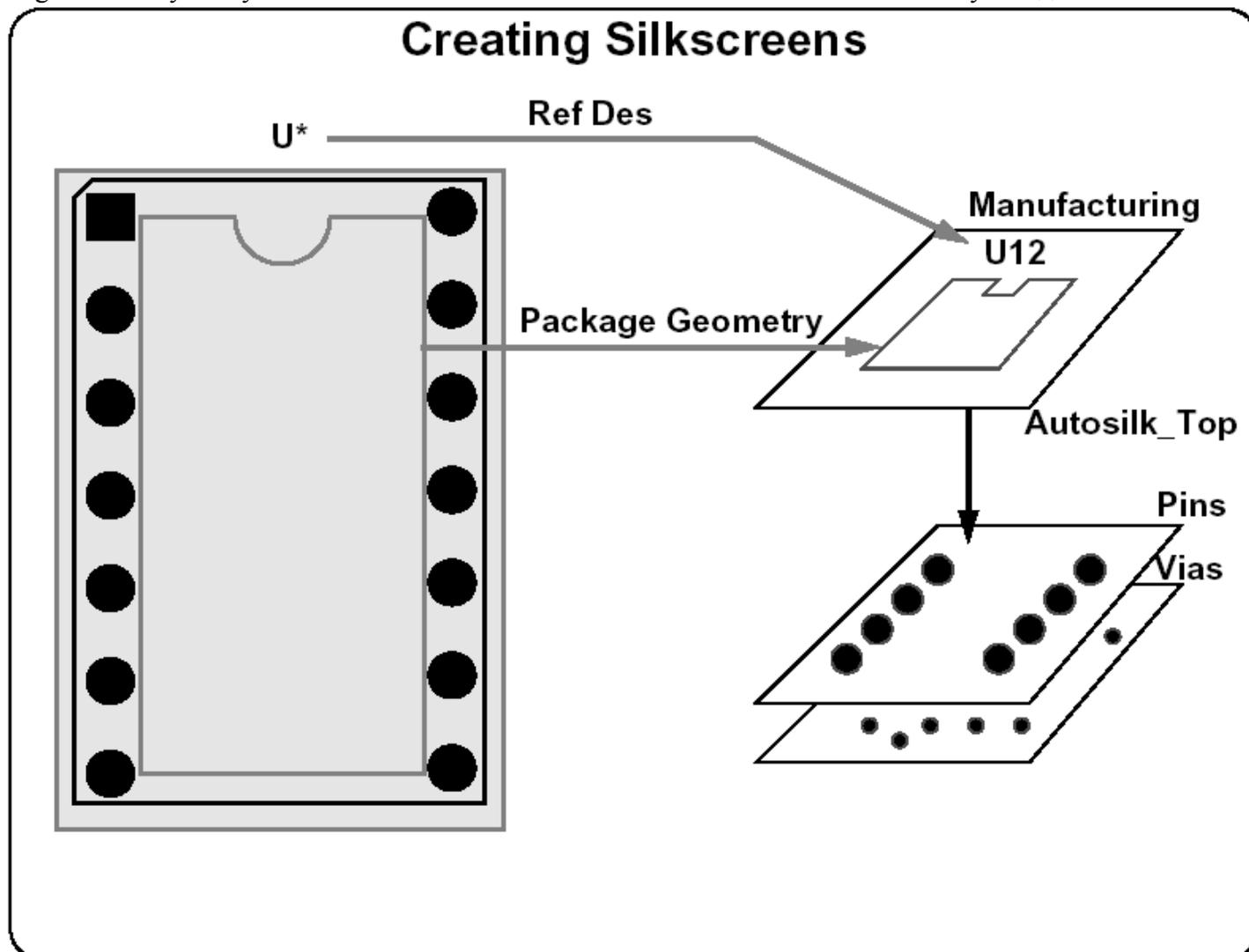
Allegro создает текст, для идентификации каждой testpoint. Когда testpoint выделяется или перемещается, связанный текст также выделяется или перемещается. Войдите в окно Text Parameters выбрав кнопку **Text Control** в окне TestPrep.

**Display** заставляет имя цепи отображаться с testpoint. Для замены имени цепи на номер цепи, припишите свойство PROBE\_NUMBER для тестируемых цепей. Вы можете вывести эти графические данные в hardcopy plot, чтобы она служила документацией по тесту. Текст имени цепи хранится на слоях Manufacturing/Probe\_Top или Probe\_Bottom.

**Extension** добавляет как буквенные, так и численные инкрементные добавления к именам testpoint.

**Rotation** позволяет вам выбрать угол поворота текста.

**Offset** определяет позицию текста по отношению к центру pad.



## Creating Silkscreens (Создание файлов для шелкографии)

В этот режим можно войти выбрав **Manufacture—Silkscreen**, в верхнем меню.

Вы можете создать silkscreens как смесь графики из следующих классов:

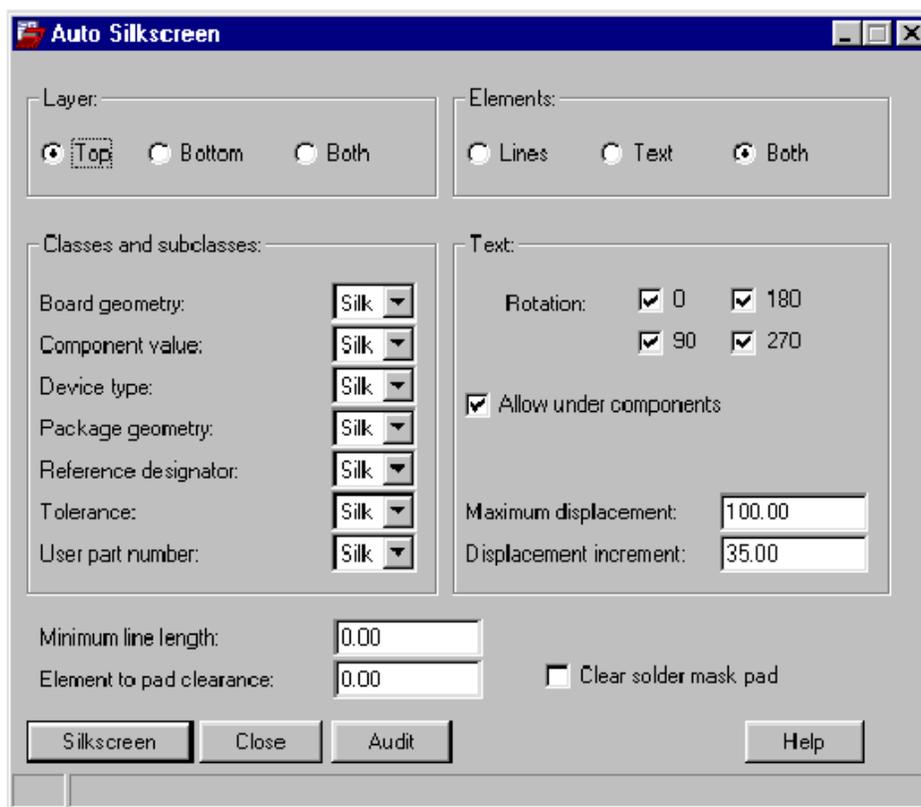
- \* BOARD GEOMETRY
- \* COMPONENT VALUE
- \* DEVICE TYPE
- \* PACKAGE GEOMETRY
- \* REF DES
- \* TOLERANCE
- \* USER PART NUMBER

Каждый класс имеет подклассы **SILKSCREEN\_TOP** и **SILKSCREEN\_BOTTOM**, которые вы можете использовать для создания silkscreens. Этот процесс вначале копирует всю графику из подклассов **SILKSCREEN\_TOP** и **SILKSCREEN\_BOTTOM** в класс **MANUFACTURING** на подклассы **AUTOSILK\_TOP** или **AUTOSILK\_BOTTOM**. Многие стандарты рекомендуют освобождать soldermask от любых изображений silkscreen. Если линия или дуга шелкографии пересекает pad или hole, часть пересекаемой линии или дуги пересекающей pad автоматически убирается. Если строка текста пересекает pad, текст обычно также убирается с pad.

Если текстовая строка не может быть перемещена для предотвращения пересечения с pad, в файл журнала записывается предупреждение (*autosilk.log*). Это предупреждение содержит

координаты и содержание текстовой строки, также как сторону проекта, где произошло нарушение.

## Creating Silkscreens—Menu



## Creating Silkscreens—Menu

**Layer** сторона проекта, для которой создается silkscreen.

**Elements** обрабатываются линии, текст или оба. Выбранные элементы удаляются из определенного подкласса AUTOSILK и заново создаются. Не выбранные элементы остаются без изменений.

**Classes и Subclasses** классы, где будет происходить процесс Auto Silkscreen. Для каждого из классов перечисленных в форме вы можете выбрать следующее:

- ✦ **Silk** только копирует графику из подкласса SILKSCREEN.
- ✦ **None** определяет, что ничего не берется из класса.
- ✦ **Any** использует вначале подкласс SILKSCREEN. Если в нем ничего не найдено, используется подкласс ASSEMBLY.

**Text** Определяет как текст изображается (располагается) на silkscreen.

**Maximum Displacement** определяет максимальное расстояние в любом направлении, на которое может быть сдвинут текст.

**Minimum Line Length** определяет минимальную длину любого линейного сегмента дозволенного в подклассе AUTOSILK. Если линии будут найдены сегменты короче определенного значения, то они будут удалены. По умолчанию 0.

**Element to Pad Clearance** определяет, зазор, между элементами и границами pads. Вы можете определить зазор к Regular pad или Soldermask pad.

## Incremental Updates of Silkscreens

At least one run of the Automatic Silkscreen process must be run in order for incremental silkscreen updates to occur.

After incremental silkscreen mode is in effect, the following will occur:

- If a component is moved, its old silkscreen will be removed and the new silkscreen will be generated to properly clear around pins and vias.
- If a via is added, any silkscreen that is too close will be updated as required.
- If a via is deleted, any silkscreen that was “clipped” because it was too close will be added back.

When in incremental mode, any operation that results in a silkscreen error will only display a warning in the Allegro command area that a silkscreen failure occurred. To see the actual error, you must use the silkscreen Audit feature.

**Note:** Running Refresh Symbol will cause both the original silkscreen layers AND the Autosilk layers to be re-generated.

## Incremental Updates of Silkscreens (Обновления Silkscreens)

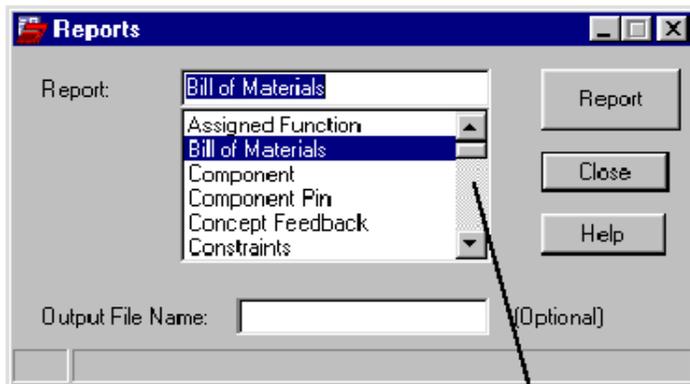
Режим Silkscreen Incremental доступен только после использования команды **Manufacture—Silkscreen**.

При передвижении или замене элементов в incremental mode, создается autosilk silkscreen на основе текущего определения silkscreen в symbol. Следовательно, слой autosilk вообще не должен редактироваться вручную. Взамен, должны изменяться начальные подклассы silkscreen так, что когда любые части изменяются, правильная информация autosilk будет создана автоматически. Касается как линейной, так и текстовой информации.

При генерации библиотеки или создании буфера вырезанного изображения, информация autosilk НЕ БУДЕТ создаваться. Будет использоваться начальная шелкография symbol.

## Generating Reports

### Tools—Reports



- Assigned Function
- Bill of Materials
- Component
- Component Pin
- Concept Feedback
- Constraints
- Design Rules Check
- ECL Actual/Schedule
- ECL Actual/Schedule(%)
- ECL (Long)
- ECL (Short)
- ECL Schedule
- Film Area
- Function
- Function Pin
- Module
- Net List
- Netin (back anno.)
- Netin (non-back)
- Padstack Definition
- Padstack Usage
- Placed Component
- Properties on Nets
- Spare Function
- Summary Drawing Report
- Symbol Library Path
- Symbol Pin
- Unassigned Functions
- Unconnected Pins
- Unplaced Components

### Generating Reports (Отчеты)

Allegro предоставляет несколько видов отчетов, которые дают информацию о проекте. Вы можете создавать их в любое время. Для входа в меню выберите **Tools—Reports**.

Хорошая практика проектирования - всегда создавать Summary Drawing Report как окончательную проверку. Этот отчет проверяет ошибки DRC, не трассированные соединения и нерасставленные компоненты. Он также отображает статистику платы и компонентов.

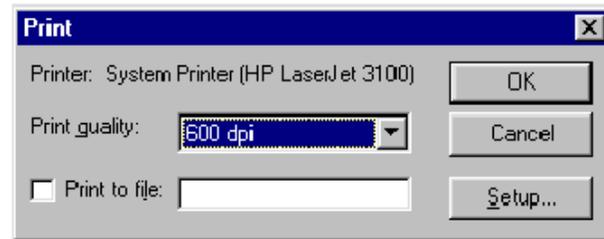
После выбора **Report** и просмотра окна отчета, вы можете сохранить или напечатать этот доклад.

## Creating Checkplots

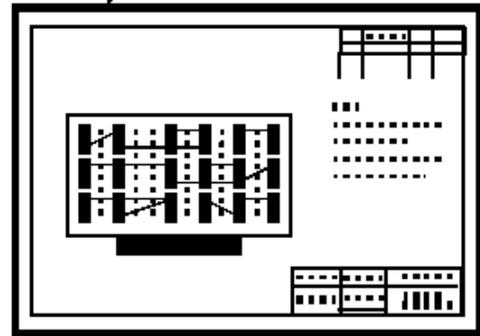
This menu will vary, depending on your system's printer/plotter.

File — Plot

(NT)

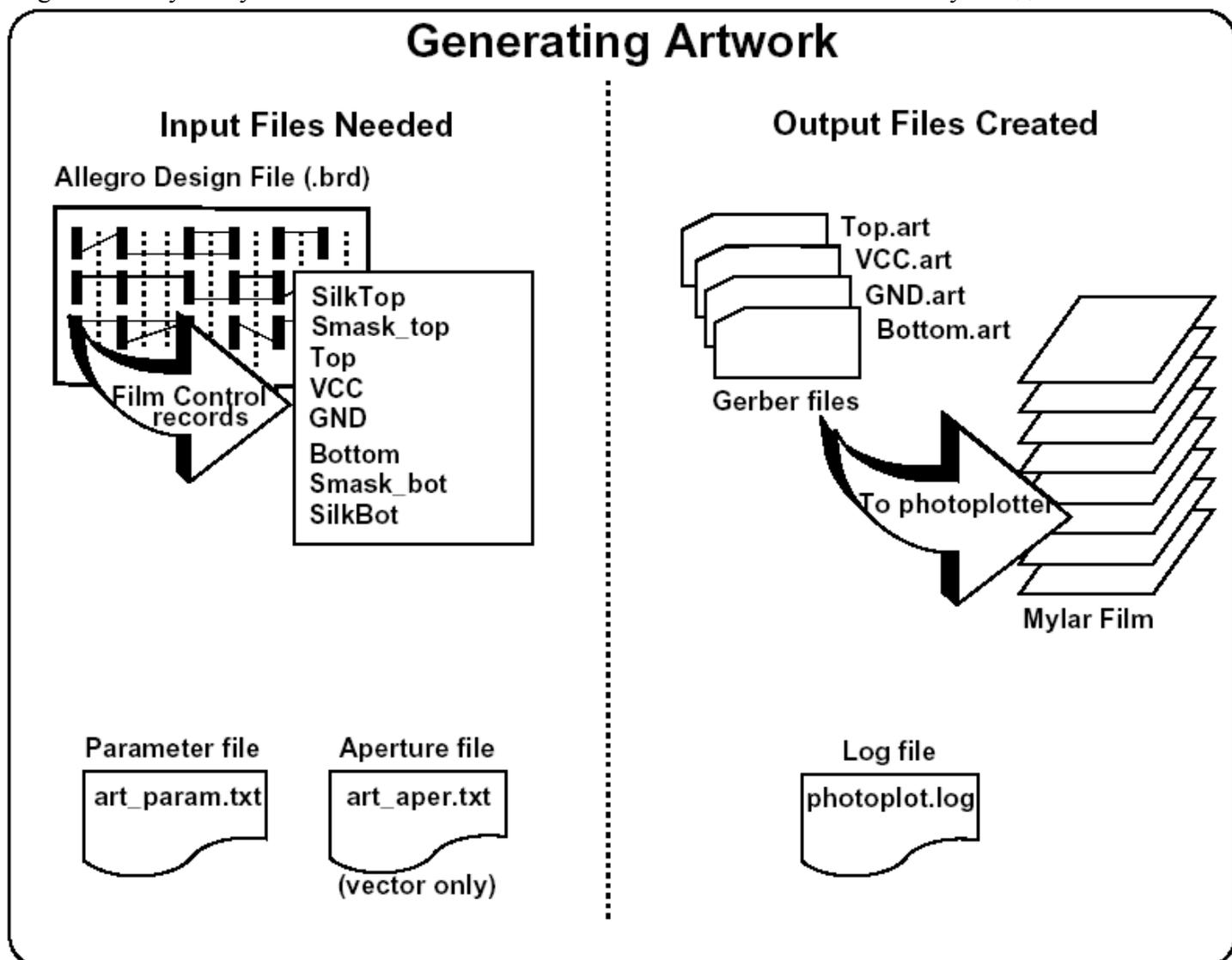


(UNIX)



## Creating Checkplots (Печать)

Для того, чтобы распечатать ваш чертеж выберите **File—Plot** из верхнего меню. Появится меню принтера/плоттера, в зависимости от конфигурации вашей системы. Печать представляет собой текущее изображение окна рабочего пространства Allegro.



## Generating Artwork (Файлы слоев)

### Input Files Needed (Входные файлы)

Файл Parameter (*art\_param.txt*) - ASCII файл, который описывает формат данных Gerber, которые использует photoplotter для создания artwork film.

Файл Aperture (*art\_aper.txt*) – ASCII файл содержащий D коды фотоплоттера. Для лазерного фотоплоттера этот файл не требуется.

### Output Files Created (Выходные файлы)

Файл журнала (*photoplot.log*) содержит:

- ✦ Размер зоны черчения: photoplot keeping, или весь чертеж
- ✦ Параметры Gerber определяются в файле *art\_param.txt*
- ✦ Список апертур определяется в файле *art\_aper.txt*
- ✦ Имя каждого файла Gerber определяется внутри файла Film Control:

—Присущая слоям информация (например, позитивное или негативное изображение).

—Предупреждения (например, область печати превышает размер пленки).

—Ошибки (например, ненайденные апертуры).

Все выходные файлы Gerber имеют имена <file>.art, где file – имя файла схемы, которое вы вводите в форме Film Control (например, Top.art, GND.art, и SilkTop.art).

## Parameter File

**Artwork Control Form**

Film Control | General Parameters

**Device Type**

- Gerber 6x00
- Gerber 4x00
- Gerber RS274X
- Barco DPF
- MDA

**Film Size Limits**

Max X: 24.000  
Max Y: 16.000

**Coordinate Type**

- Absolute
- Incremental

**Error Action**

- Abort Film
- Abort All

**Format**

Integer Places: 5  
Decimal Places: 3

**Output Options**

- Optimize Data
- Use 'G' Codes

**Suppress...**

- Leading Zeroes
- Trailing Zeroes
- Equal Coordinates

**Output Units**

- Inches
- Millimeters

Max Apertures per wheel: 999      Scale Factor for output: 1.0000

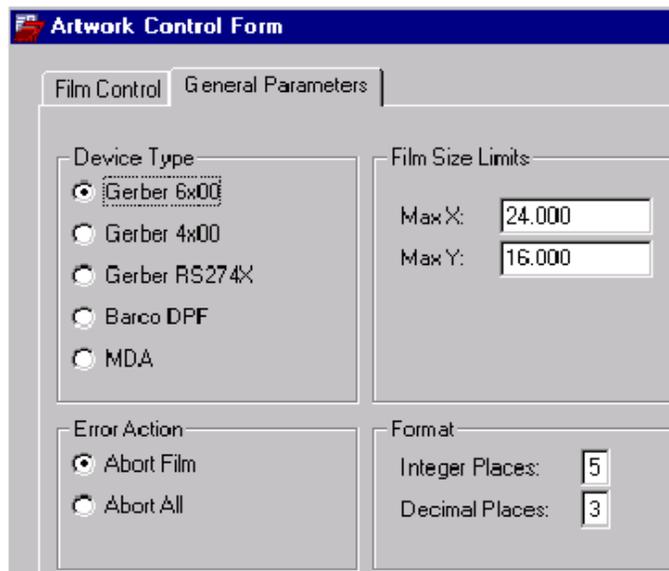
OK    Cancel    Apertures...    Help

### Parameter File (Файл параметров)

Для доступа к окну Artwork Control, выберите **Manufacture—Artwork** из верхнего меню. Выберите закладку **General Parameters**, чтобы открыть секцию Artwork Parameters.

В этом окне отображаются значения по умолчанию, если файл *art\_param.txt* существует в вашем ARTPATH (в файле *env*). Для управления параметрами artwork всеми пользователями, установите значение параметра ARTPATH равным пути к существующему файлу параметров.

## Standard Artwork Parameters



**Artwork Control Form**

Film Control | General Parameters

Device Type

- Gerber 6x00
- Gerber 4x00
- Gerber RS274X
- Barco DPF
- MDA

Film Size Limits

Max X:

Max Y:

Error Action

- Abort Film
- Abort All

Format

Integer Places:

Decimal Places:

### Standard Artwork Parameters

Показанная часть окна содержит стандартные параметры, которые вы можете установить для всех пяти форматов файлов, поддерживаемых Allegro.

#### Standard Parameters

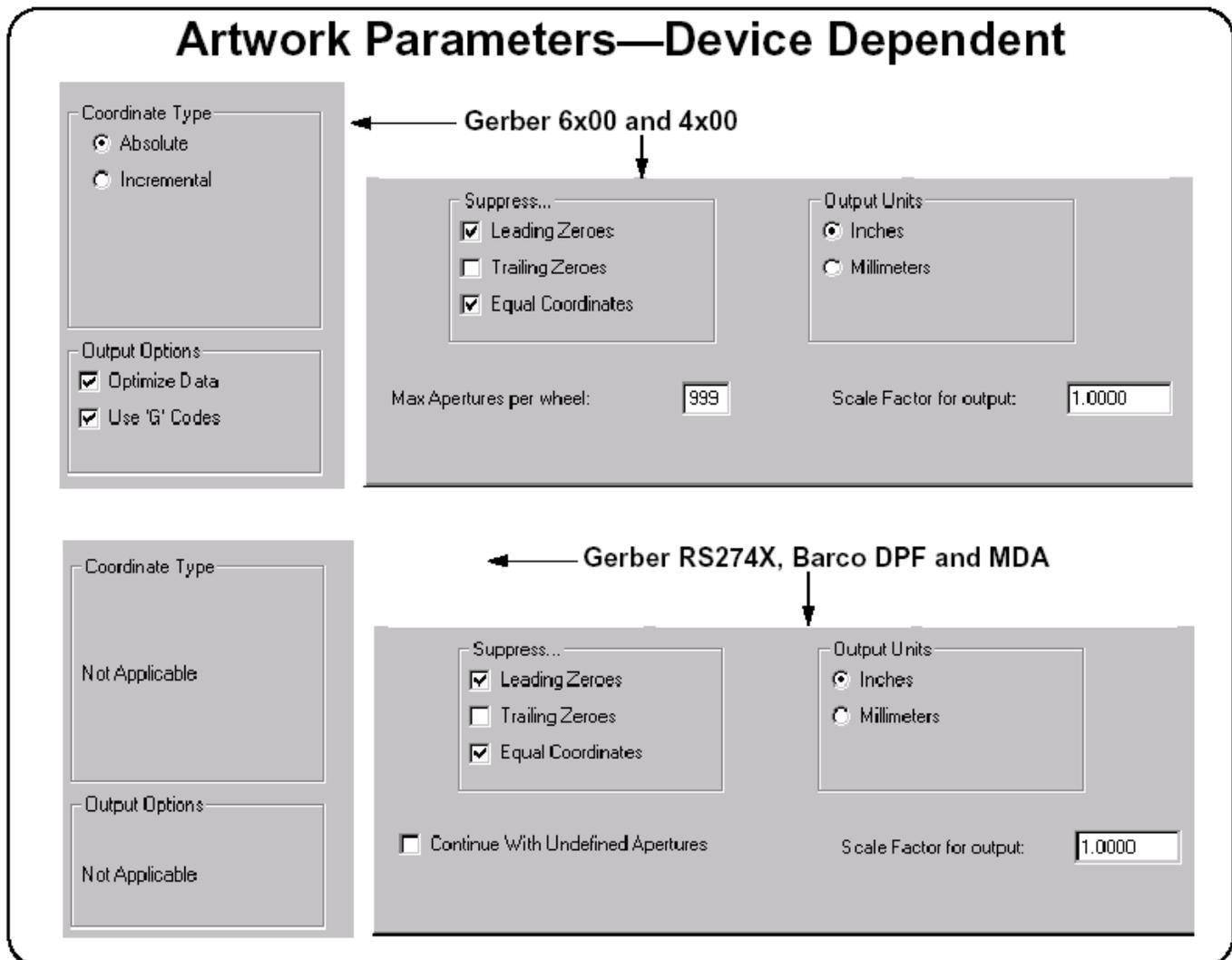
**Device Type** поля, определяющие формат файлов.

**Film Size Limits** Размеры пленки используемой фотоплоттером. Если существуют элементы, которые изображены вне границ, в файл журнала записывается предупреждение.

**Error Action** определяет действие, которое предпринимается, когда обнаружена ошибка во время технологического процесса. Все ошибки записываются в файл журнала.

**Format** определяет число целых разрядов и число десятичных разрядов в выходных координатах (промежуток от 0 до 5). Формат Gerber должен отражать установки точности вашего проекта. Например, единицы измерения проекта mils, и точность установлена 1, тогда установите точность формат Gerber до четырех десятичных разрядов (выход в дюймах).

**Scale Factor for Output (не показано)** масштабирует все записи в файле Gerber.



## Artwork Parameters—Device Dependent

### Device-Dependent Parameters (Параметры, зависящие от формата)

**Coordinate Type** указывает, являются ли координаты абсолютным расстоянием от начала отсчета (*Absolute*) или расстоянием от последней координаты (*Incremental*). Не поддерживается для Barco DPF.

**Suppress** указывает, записывает ли Allegro ведущие, замыкающие нули и равные координаты в файл данных Gerber. Нельзя исключать ведущие и замыкающие нули вместе. *Equal Coordinates* не поддерживается для Barco DPF.

**Output Units** - Единицы измерения (дюймы, миллиметры, и mils для Barco DPF).

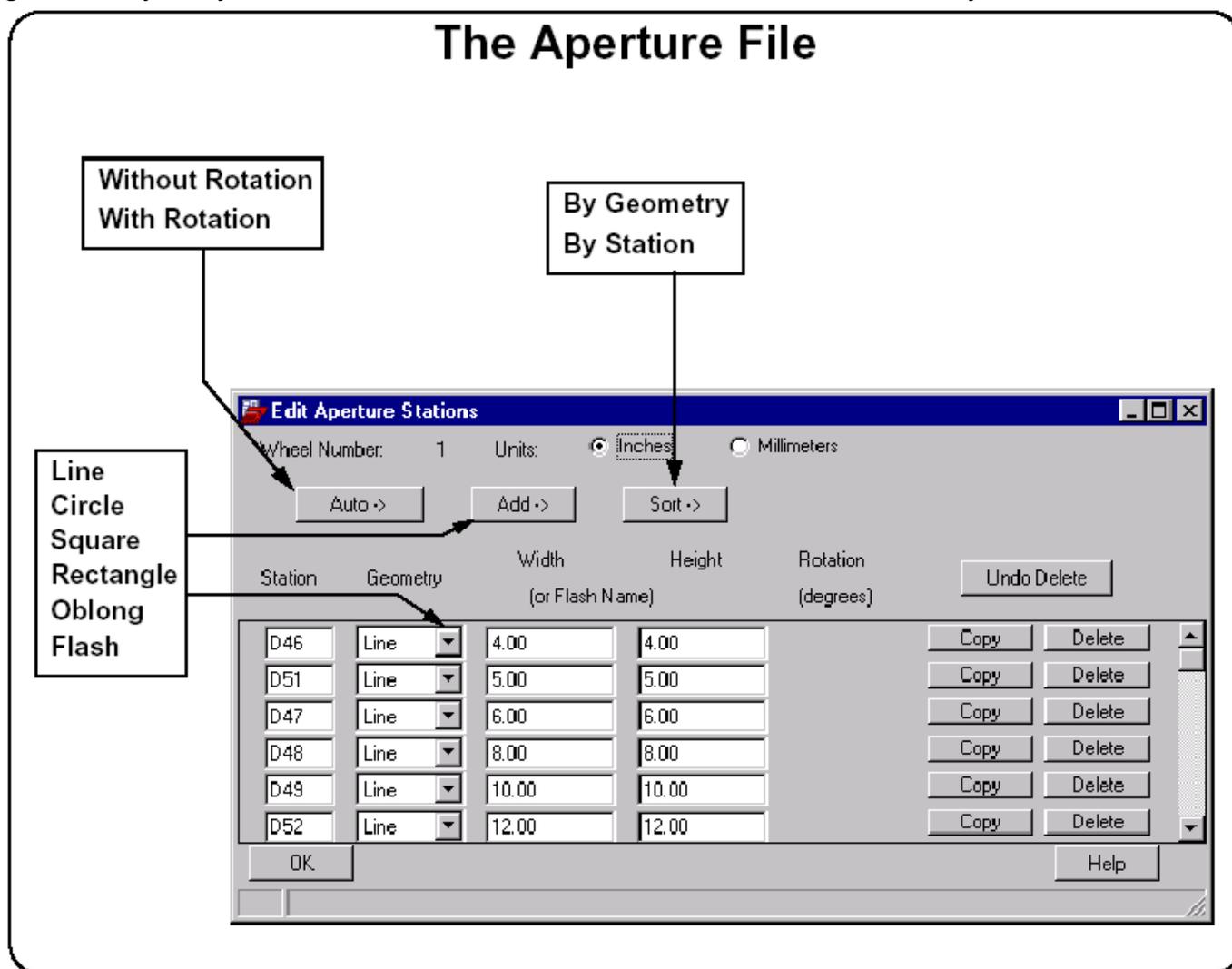
**Output Options** Другие параметры (не для Gerber RS274X, MDA или Barco DPF):

—**Optimize Data** сортирует координаты для уменьшения времени работы фотоплоттера.

—**Use 'G' Codes** определяет использование G кодов в данных Gerber. Данные Gerber используют G коды для описания процесса (например, получить координаты x, y, выбор aperture). Формат Gerber 4x00 требует G коды (по умолчанию для этого устройства). Плоттеры Gerber 6x00 не нуждаются в G кодах.

**Max Apertures per Wheel** определяет максимальное число апертур, используемых фотоплоттером. Можно ввести значение от 1 до 999. Вы используете больше, чем указанное число, Allegro впишет предупреждение в файл журнала. Только для Gerber 4x00, 6x00.

**Continue With Undefined Apertures** указывает Allegro, что делать, когда он не может найти определение для flash aperture в padstack. Только для использования с растровыми форматами Gerber RS274X, MDA и Barco DPF.



## The Aperture File (Файл апертур)

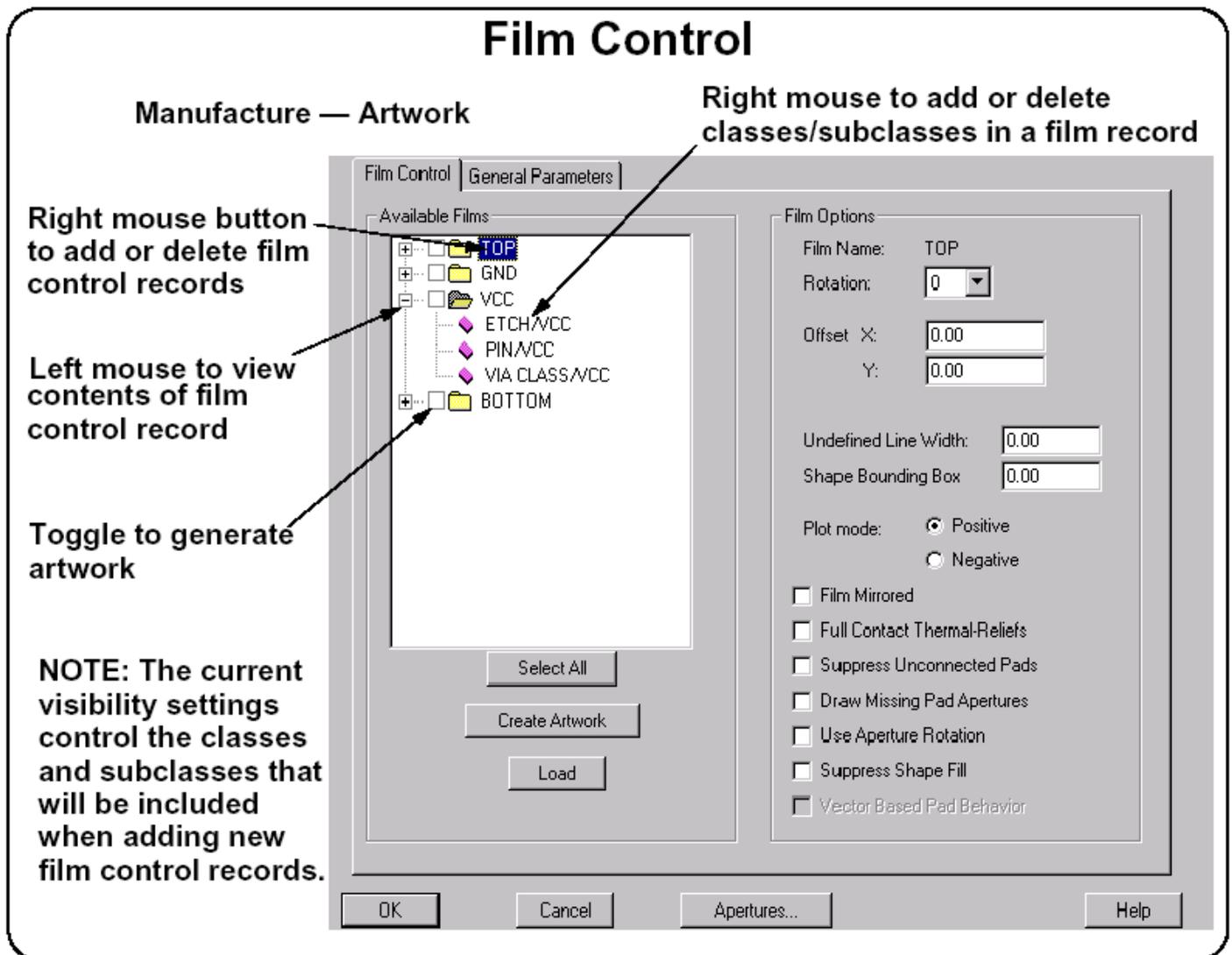
В векторном artwork, создается список апертур, которые фотоплоттер использует для создания artwork film. (Этот шаг не требуется для растровых форматов.) Для доступа к показанной окну, выберите кнопку **Apertures** в форме Artwork Control. Потом нажмите кнопку **Edit** в окне Aperture Wheel. Если файл *art\_aper.txt* не существует в ARTPATH, форма Edit Aperture Stations будет пуста.

Используйте кнопку **Add** для добавления апертур или используйте кнопку **Auto** для автоматического создания апертур, требующихся фотоплоттеру. Для управления апертурами всеми пользователями, установите параметр ARTPATH (в файле *env*) в положение существующего файла апертуры.

Существует три типа апертур: одного размера (линия, круг, квадрат), двух размеров (прямоугольник) и flash records (для нестандартных геометрических фигур). Припишите каждой апертуре уникальный номер или D-код (D10 - D999).

**With Rotation** применяется к повернутым padstacks. Некоторые плоттеры могут принять код вращения с кодом апертуры для повернутых padstacks. Некоторые плоттеры не принимают этот код. Если вы сомневаетесь, используйте опцию **Without Rotation**.

Кнопка **Sort** сортирует компоненты таблицы апертур по геометрии или по номеру (D10 - D999).



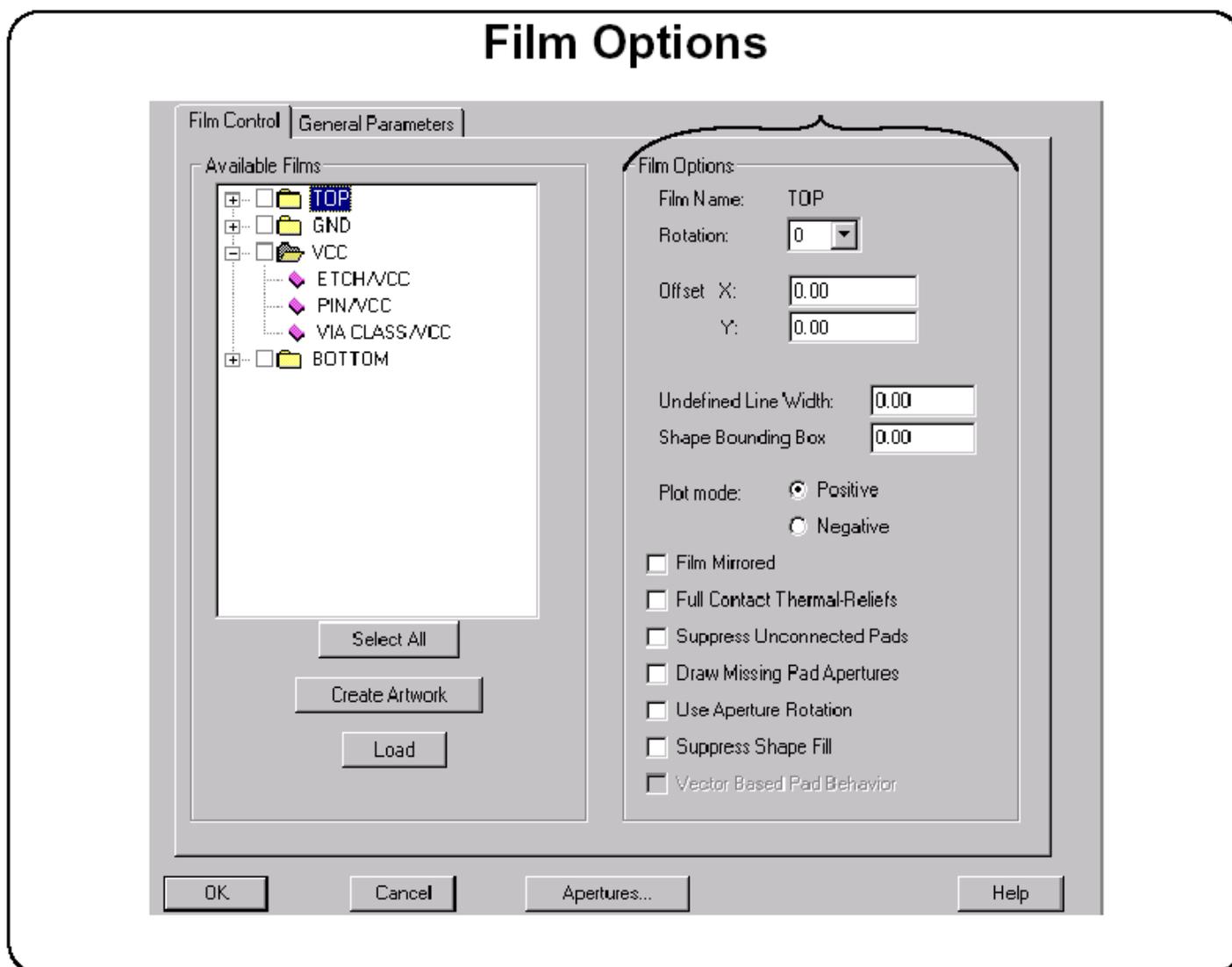
## Film Control (Параметры файлов artwork)

Film control определяет классы и подклассы для которых будут созданы файлы manufacturing (artwork) и их параметры.

По умолчанию, у вас будет запись film control для каждого проводящего подкласса платы. В каждой из этих записей будут классы Etch, Pin и Via отвечающие подклассу etch. Вы можете просматривать текущие классы и подклассы, определенные записью film control путем выбора знака плюс слева от соответствующей записи film control. Вы можете добавлять или удалять класс/подкласс из записи film control с помощью контекстного меню. Вы попадете в это меню, выбирая правой кнопкой мыши класс/подкласс.

Когда вы добавляете новую запись film control, текущая видимость класса/подкласса в Allegro управляет классами и подклассами, которые будут включены в запись film control.

Вместе записями проводящих слоев film control, вам может понадобиться создать записи film control для top и bottom side silkscreen, top и bottom side soldermasks и возможно других.



## Film Options (Параметры файлов artwork - продолжение)

В окне Film Options далее описывается каждая запись Film Control.

**Film Name** отображает имя файла данных Gerber.

**Rotation** указывает (в градусах) вращение film image.

**Offset X Y** сдвигает начало отсчета photoplot. В этих полях вы можете ввести положительные и отрицательные значения.

**Plot mode** определяет positive или negative artwork.

**Undefined Line Width** определяет ширину линий, имеющих нулевое значение ширины в Allegro layout (например, текст, линии assembly и silkscreen).

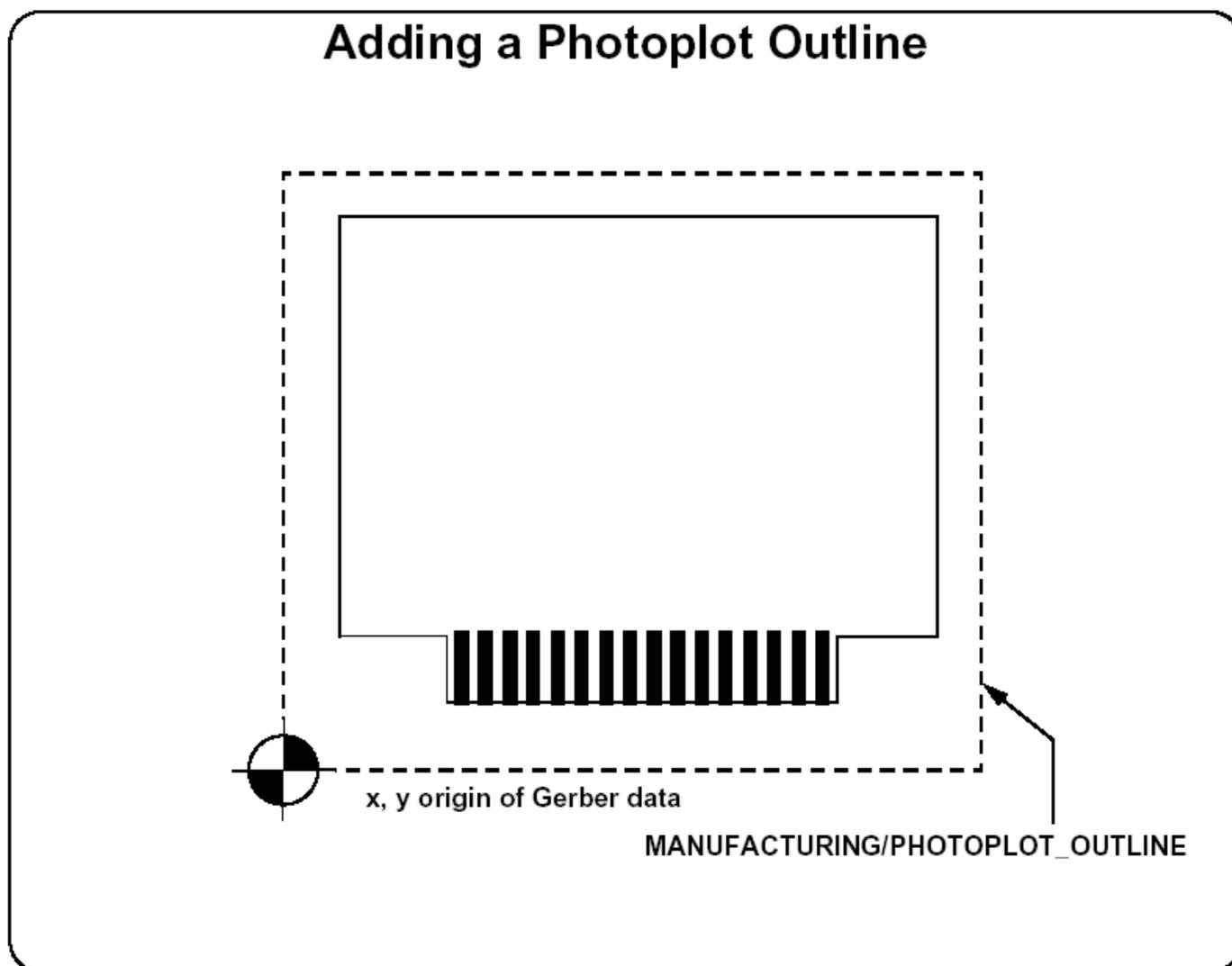
**Film Mirrored** отражает artwork относительно оси Y.

**Full Contact Thermal-Reliefs** указывает, что не нужно использовать thermal relief flash для pins и vias на плоскостях negative (полный контакт).

**Suppress Unconnected Pads** пропустит pads of pins и vias, у которых нет соединений.

**Draw Missing Pad Apertures** заменяет отсутствующую апертуру другой из списка апертур и использует ее для рисования pad. Это не решает проблему. Свойство не появляется для растровых форматов.

**Use Aperture Rotation** означает, что данные Gerber могут использовать апертуры в списке апертур, у которых есть определенная информация о вращении (например, имена flash). Не появляется в растровых формах параметров.



## Adding a Photoplot Outline

По умолчанию, Allegro использует все пространство чертежа, как зону plot. Например, если размер вашего чертежа – А3, тогда все координаты Gerber считаются от левого нижнего угла этого чертежа, как от начало отсчета (независимо от того, где определено начало отсчета проекта).

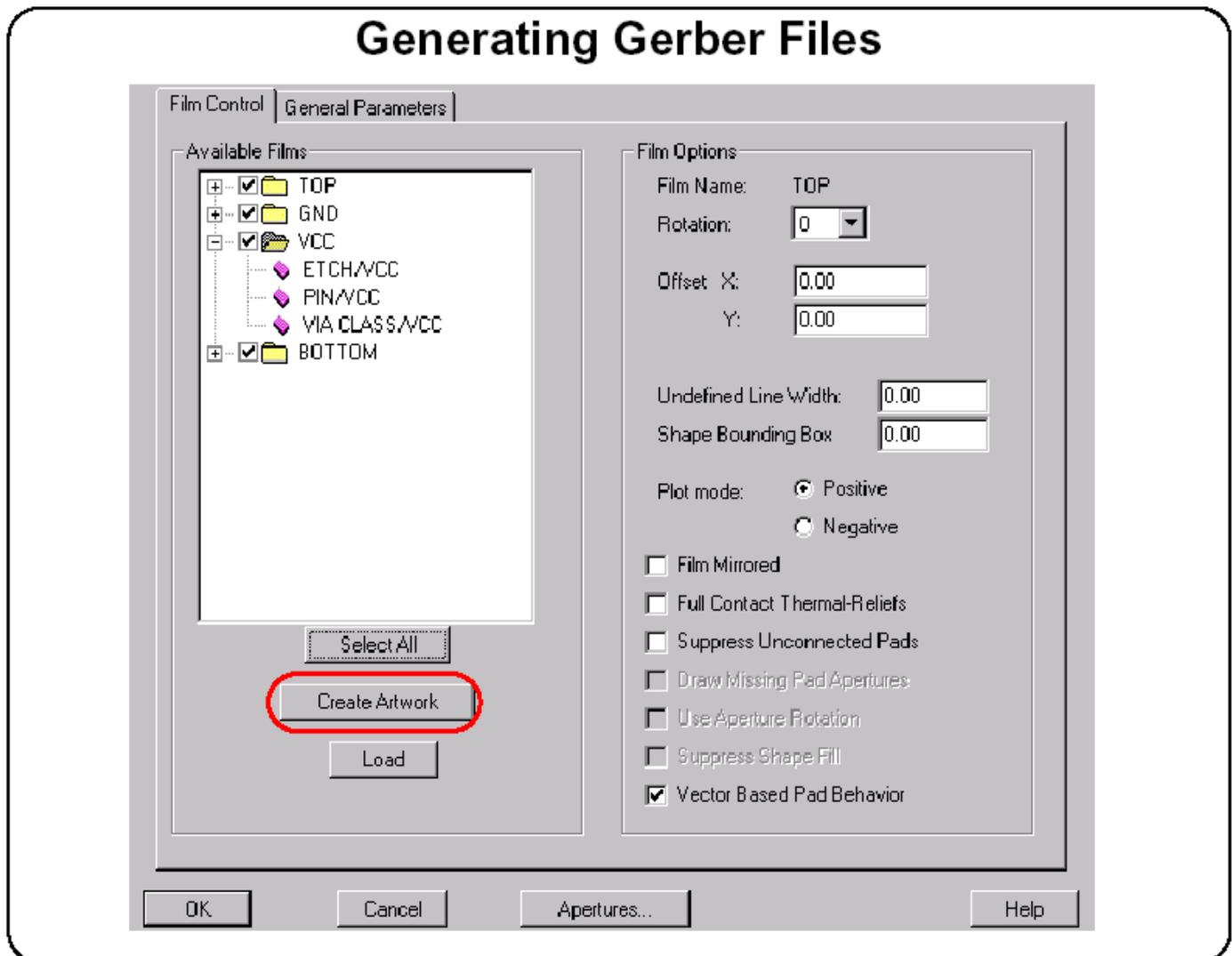
Чтобы аннулировать эту plot area, создайте прямоугольную рамку, называемую photoplot outline. Координаты Gerber считаются от левого нижнего угла этого прямоугольного контура как от начало отсчета. (Растровые форматы игнорируют контур photoplot outline и всегда используют размеры чертежа.)

**Внимание:** Если не отображен контур photoplot, он все равно используется artwork. (Убедитесь, что контур photoplot виден при добавлении имен файлов в форме Film Control.)

Allegro обрабатывает только те элементы, которые полностью находятся внутри контура photoplot. Каждый элемент, который выходит за пределы контура photoplot исключается из файла Gerber и предупреждение записывается в файл *photoplot.log*.

Операция вращения использует центр контура photoplot или, если контур не используется, центр чертежа.

Создать контур photoplot можно, создав прямоугольник на классе/подклассе Manufacturing/Photoplot\_Outline.



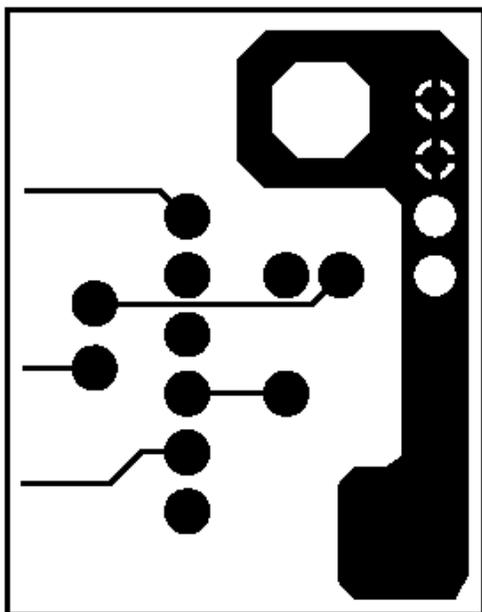
## Generating Gerber Files

Allegro создает файлы данных, когда вы нажимаете кнопку **Create Artwork**.

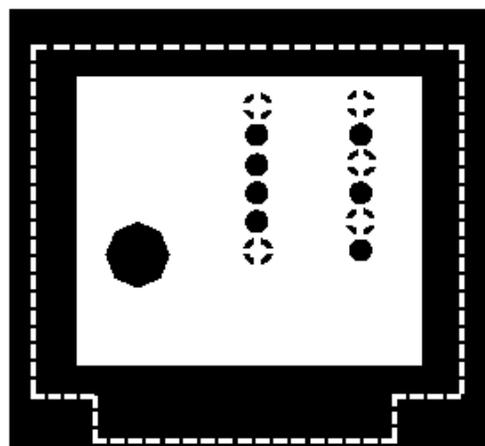
Перед использованием этой команды:

- ✦ Определите параметры artwork.
- ✦ Создайте списки апертур, если вы используете векторный artwork.
- ✦ Создайте artwork film control records.
- ✦ Определите, какие файлы artwork создать. Используйте кнопку, **Select All** если вы хотите создать все файлы artwork.

## Viewing Gerber Files



Positive (copper = black)

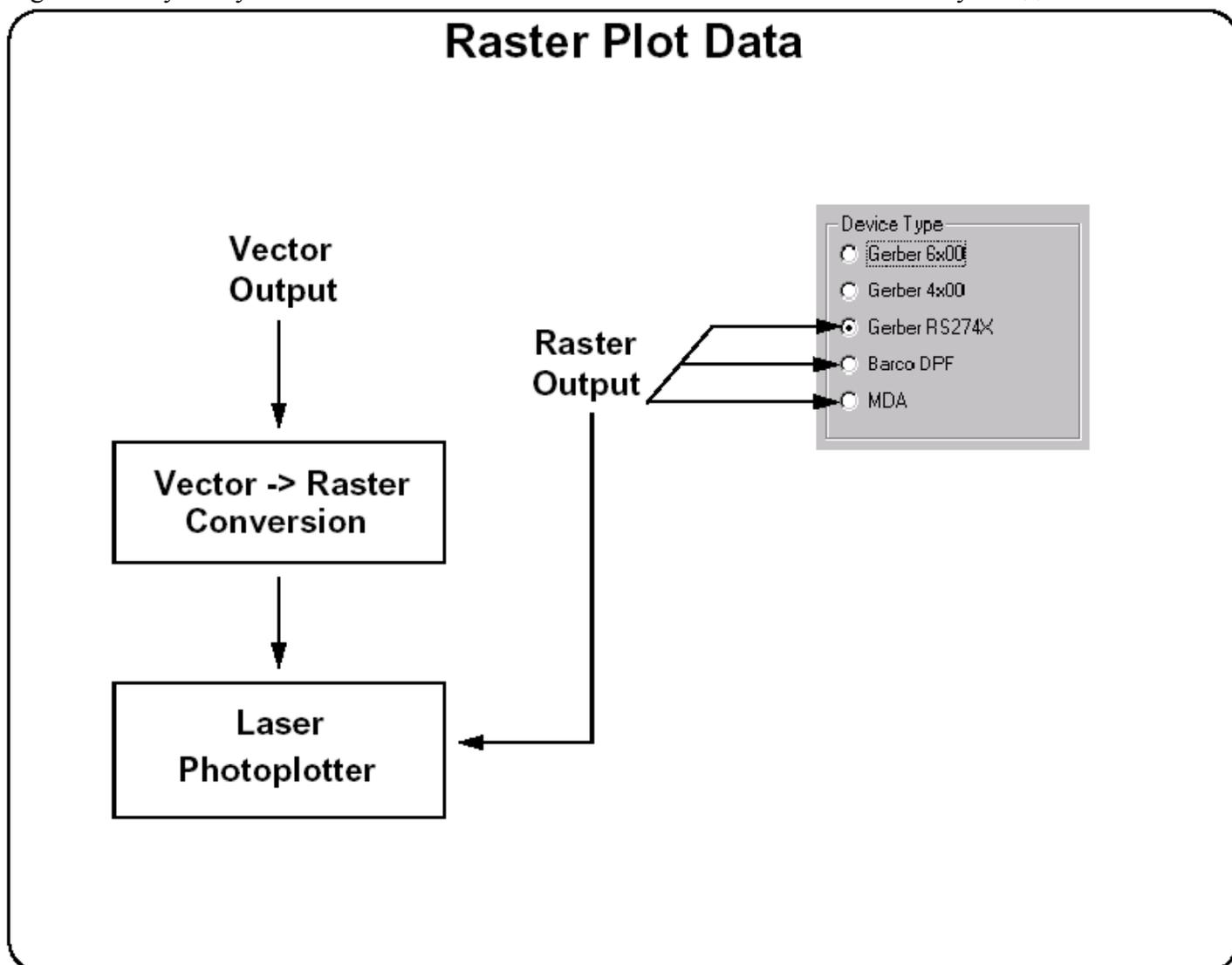


Negative (copper = clear)

### Viewing Gerber Files

При загрузке векторных файлов Gerber, вам должны быть доступны файл параметров (*art\_param.txt*) и файл апертур (*art\_aper.txt*). Если вы загружаете растровый файл Gerber, определения параметров и апертур содержатся внутри файла Gerber.

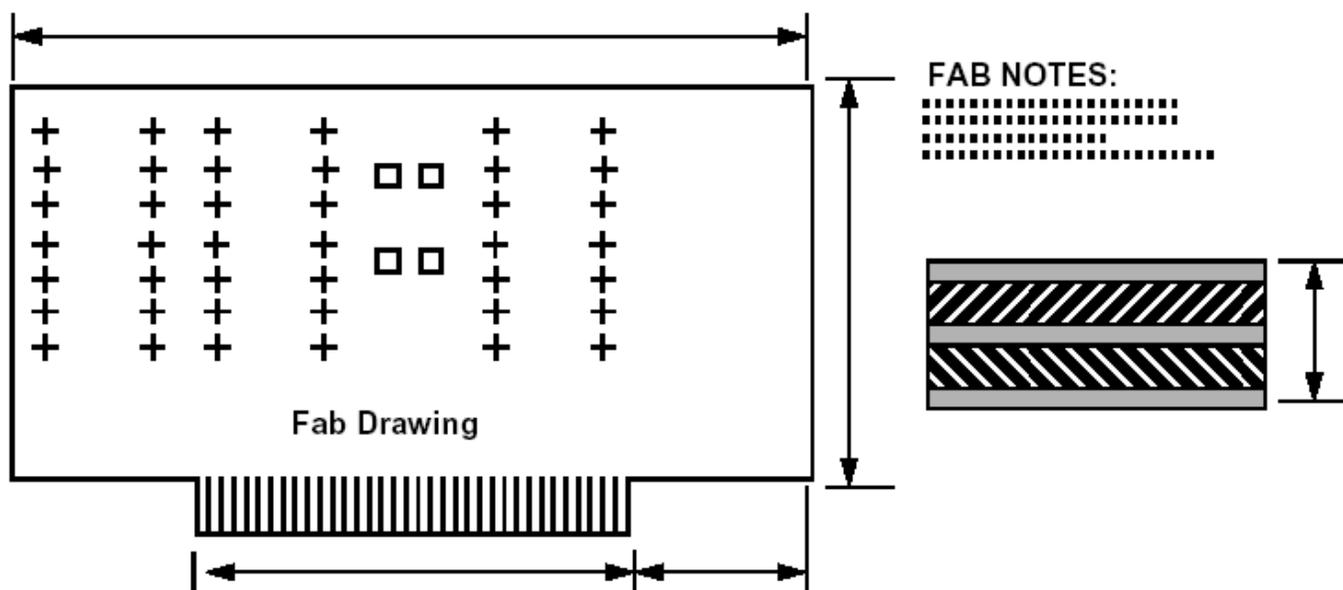
Для загрузки файла Gerber для просмотра, выберите **File—Import—Artwork**. Меню Load Photoplot позволит вам загрузить данные Gerber в любой из классов Etch, Board Geometry, Drawing Format или Manufacturing. Эти чертежи могут быть отредактированы или скопированы, но знайте, что информация о сигналах не существует в данных Gerber; поэтому, не осуществляется проверка DRC.



## Raster Plot Data

В растровых artwork, photoplotter управляет растровым изображением в памяти. Растровый photoplotter считывает растровый файл, который определяет положение темных и светлых зон. Файлы данных Gerber Allegro для растровых artwork намного меньше, потому что они не содержат параметры, необходимые плоттеру для заполнения форм, только границы форм и пустоты между формами. В растровом artwork, отсутствует проблема наличия апертур, достаточно маленьких для заполнения формы. Растровые фотоплоттеры могут заполнять зоны, размером меньше чем один mil. Allegro поддерживает три типа растровых форматов: Barco DPF, Gerber RS-274X и MDA. Для растровых форматов, точность artwork должна быть всегда на один десятичный разряд больше, чем точность в проекте. Не используйте разные единицы измерения в проекте и artwork. Если единицы измерения проекта - метрические, используйте метрические единицы для artwork. Для растровых форматов, определения всех апертур включены в файл artwork. Из-за этого, файл artwork – полностью самодостаточен. Никаких других внешних файлов не требуется. Flash symbols (.fsm files) вставляются в растровый выход и видны при просмотре файла Gerber в Allegro.

## Creating Fabrication Drawings



DRILL CHART			
ALL UNITS ARE IN MILS			
FIGURE	SIZE	PLATED	QTY
+	39.0	PLATED	42
□	43.0	PLATED	4

### Creating Fabrication Drawings (Создание чертежей)

Если вы начали проект с шаблона или файла master design, то у вас уже имеется граница чертежа (размер A-D format symbol).

Начертите или расположите на чертеже сечения, таблицы и т.п.

Теперь вы готовы к созданию производственного чертежа. Как и в процессе photoplot, все, что вы видите в рабочей зоне, будет включено в любой plot file. Различные format symbols (примечания (fab notes), сечения слоев (layer stackups) должны создаваться с учетом этого. Например, когда вы создаете FAB NOTES format symbol (используя Symbol Editor), создайте специальный слой для него (такой как Manufacturing/Fabnotes). Когда вам нужно создать plot file для производственного чертежа, поставьте соответствующие специальные слои в чертеже расклада в положение ON для того, чтобы сделать видимыми данные, относящиеся к производству. Для выбора видимости, выберите **Display—Color/Visibility** из верхнего меню.

В дополнение, производственному чертежу потребуются включенные слои MANUFACTURING/NCDRILL\_LEGEND и NCDRILL\_FIGURE ON для видимости drill symbols и информации hole chart. Сделайте формат чертежа (границы, титульные блоки) и контур платы видимыми, также как слой, который содержит данные размеров (Board Geometry/Dimension).

Для создания plot file для плоттера pen или electrostatic, выберите **File—Plot**.

## Drill Symbols and Legend Table

Title of Drill Legend  
(user-specified).

The Legend header and  
content can be modified  
by creating a custom  
drill template(.dlt)

DRILL CHART			
ALL UNITS ARE IN MILS			
FIGURE	SIZE	PLATED	QTY
○	39.0	NON-PLATED	82
□	49.0	NON-PLATED	8
△	39.0	NON-PLATED	5
◇	28.0	NON-PLATED	3
○	72.0	OPTIONAL	2

Figure column displays  
the drill figure for each  
hole size.

Plated column displays  
the plating for each hole.

Holesize column  
displays the size for  
each hole.

Qty column displays the  
quantity (total count) of  
each hole size.

### Drill Symbols и Legend Table (Условные обозначения отверстий и таблица соответствий)

Используйте команду **Drill Legend** для создания таблицы сверловки. Над каждым отверстием, которое будет просверлено, надпись отображает фигуру данного вида отверстия с необязательной буквой внутри фигуры. Эта комбинация фигуры и буквы представляет информацию о размере отверстия и контактной площадке, которую вы указываете при создании pin и via padstack. **Drill Legend** также создает drill legend на проекте. Для каждой различной фигуры или буквы, drill legend показывает размер отверстия и общее число отверстий этого типа. Каждый раз, когда вы выбираете Drill Legend, она удаляет любую существующую таблицу сверловки и создает новые, основанные на текущих видимых слоях pin. (Слои Pin должны быть видимыми, когда вы создаете legend.)

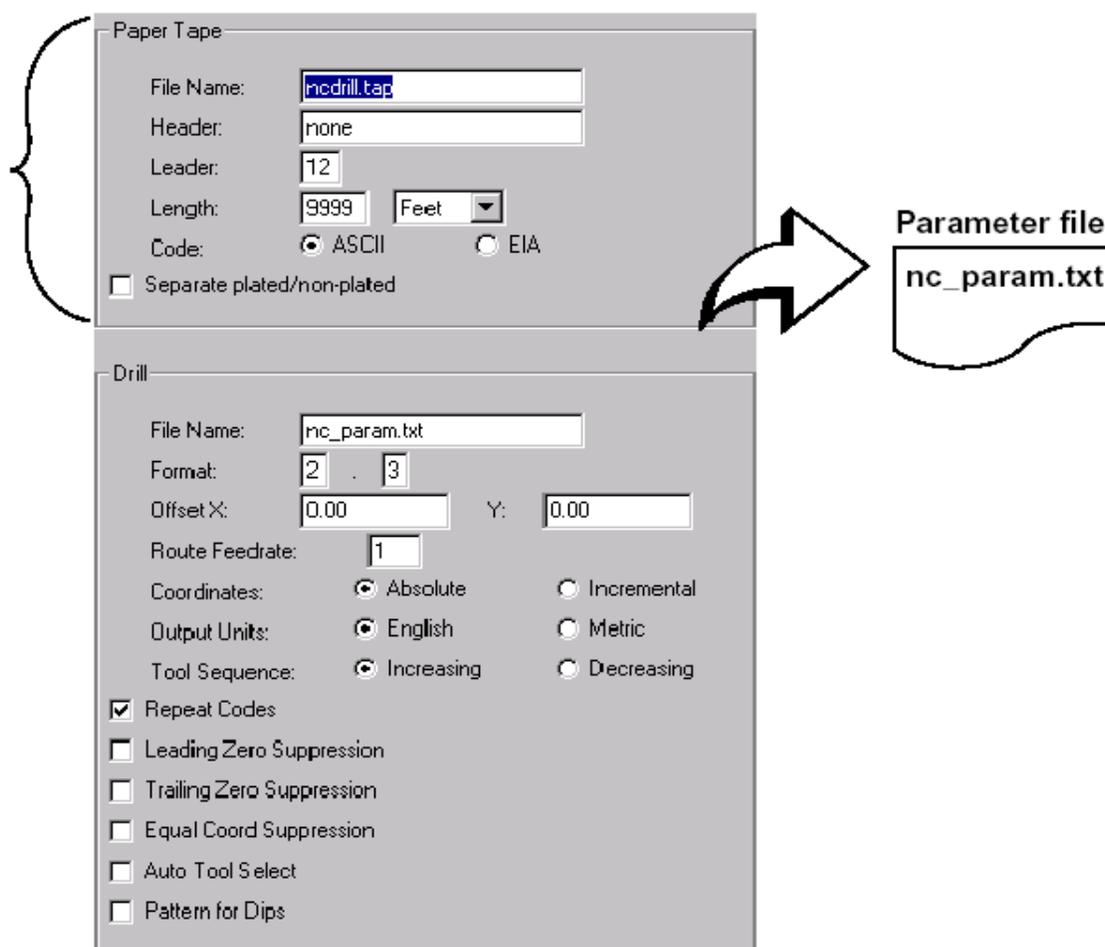
Класс MANUFACTURING и подклассы NCDRILL\_LEGEND и NCDRILL\_FIGURE управляют видимостью фигур отверстий, так что вы можете скрывать все подклассы PIN и VIA для отображения фигур без мешающего отображения pad.

Для создания drill symbols и legend table на слое Manufacturing вашего чертежа, выберите **Manufacture—NC—Drill Legend** из верхнего меню.

**Внимание:** Если вы добавляете, удаляете или передвигаете отверстия, или меняете информацию drill в padstacks, вы должны восстановить legend (если не обновилась автоматически).



## Creating the Parameters File—Paper Tape



## Creating the Parameters File—Paper Tape (Создание файла параметров – Перфолента)

Для установки параметров координатных данных, выберите **Manufacture—NC—Drill Parameters**. Поля в форме параметров NC Drill/Таре разделены на две категории: Paper Tape и Drill. Секция Paper Tape формы NCDrill/Таре содержит:

**File Name** Имя, используемое для создания имен выходящих текстовых файлов. Файлы пронумерованы по порядку, начиная с первого. Номера прикрепляются к имени перед расширением. Если расширение имени файла не определено, тогда подразумевается *.tap*. Имя файла по умолчанию - *ncdrill*. Это означает, что созданные файлы NCDRILL будут называться *ncdrill1.tap*, *ncdrill2.tap*, и т.д.

**Header** определяет заголовок ASCII для бумажной ленты. Отсутствует по умолчанию.

**Leader** определяет длину заголовка перфоленты. По умолчанию 12 feet.

**Length** определяет длину перфоленты. Если файлы слишком длинные, для размещения на одной ленте, то они разбиваются. Поле единиц измерения переключается между Feet и Meters. Это значение определяет единицы измерения для Length и Leader. По умолчанию 9999 Feet.

**Code** определяет формат файла перфоленты. Возможны два: ASCII или EIA. По умолчанию ASCII.

**Separate plated/non-plated** определяет, будут ли созданы отдельные пленки для отверстий с металлизацией и без нее. По умолчанию они записываются на одну ленту.

## Creating the Parameters File—Drill

**Paper Tape**

File Name:

Header:

Leader:

Length:

Code:  ASCII  EIA

Separate plated/non-plated

**Drill**

File Name:

Format:

Offset X:  Y:

Route Feedrate:

Coordinates:  Absolute  Incremental

Output Units:  English  Metric

Tool Sequence:  Increasing  Decreasing

Repeat Codes

Leading Zero Suppression

Trailing Zero Suppression

Equal Coord Suppression

Auto Tool Select

Pattern for Dips

**AutoTool Select file**  
  
(if enabled)

**Parameter file**

### Creating the Parameters File—Drill (Сверловка)

Секция Drill формы параметров NC Drill/Tape содержит:

**File Name** путь к текстовому файлу в котором сохраняются значения параметров NCDRILL. Имя файла должно быть *nc\_param.txt*, но вы можете выбрать любую папку.

**Format** формат координатных данных в файле выхода NCDRILL. По умолчанию 2.3.

**Offset X: Y:** определяет отступ от начала чертежа для координатных данных.

**Coordinates** являются ли выходящие координаты инкрементными или абсолютными.

**Output Units** выходные единицы измерения (английские или метрические).

**Tool Sequence** порядок использования инструментов.

**Repeat Codes** поддерживаются ли машиной коды повторений.

**Leading Zero Suppression** определяет, дополняются ли координаты лидирующими нолями.

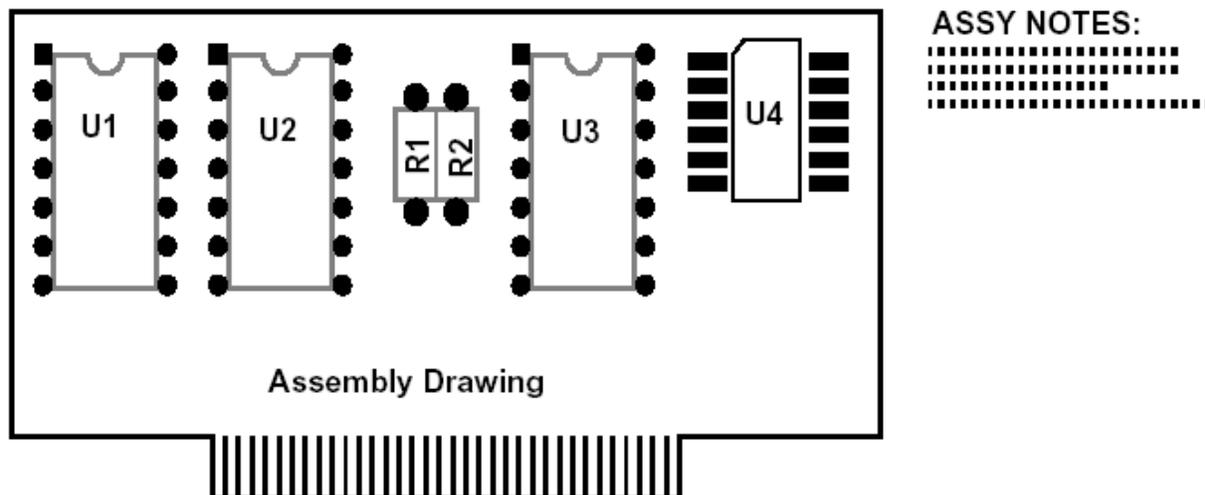
**Trailing Zero Suppression** определяет, дополняются ли координаты замыкающими нолями.

**Equal Coord Suppression** Не использовать равные координаты.

**Auto Tool Select** определяет, поддерживает ли сверлильный станок автоматическую смену инструмента. Если да, то вы будете должны создать файл *nc\_tools.txt*.

**Pattern for Dips** Поддерживает ли станок стандартные модели сверловки для DIP корпусов.

## Creating Assembly Drawings



### Creating Assembly Drawings (Создание сборочного чертежа)

Как и в процессе photoplot, все, что вы видите в рабочей зоне, будет включено в plot file. Различные format symbols (например, примечания к сборке) должны быть созданы заранее. Например, при создании ASSY\_NOTES format symbol (используя Symbol Editor), создайте для него специальный слой (например Manufacturing/Assynotes). Установите видимыми необходимые для чертежа слои. (**Display—Color/Visibility** в верхнем меню).

Для вывода на принтер (плоттер), используйте **File—Plot**.

## **Лабораторная**

Лабораторная 9-1 Renaming Components

Лабораторная 9-2 TestPrep

Лабораторная 9-3 Creating Silkscreens

Лабораторная 9-4 Creating Reports

Лабораторная 9-5 Creating Artwork Files

Лабораторная 9-6 Viewing Gerber Files

Лабораторная 9-7 Creating a Drill Legend

Лабораторная 9-8 Creating Fab и Assembly Drawings

Лабораторная 9-9 Creating an NCDRILL File

## Глава 10: Внесение изменений (Извещения)

### Цели

В этой главе вы узнаете:

- ✦ Внесение дополнительных изменений.
- ✦ Планирование стратегии.
- ✦ Повторите необходимые шаги процесса проектирования.

Эта глава предполагает выполнение дополнительных лабораторных работ, в которых вы можете повторить процессы проектирования, используя те же самые логические данные с новыми данными геометрии платы.

Поскольку это дополнительная лабораторная, то не даются детальные инструкции. Используйте те навыки, которые вы узнали в этом курсе.



## Лабораторные

Лабораторная 10-1 Analyzing Changes

Лабораторная 10-2 Creating the New Design