

АНАЛОГОВЫЕ ПЕРИФЕРИЙНЫЕ МОДУЛИ

- 10-разр. или 12-разр. АЦП последовательного приближения

Нелинейность ± 1 МЗР.

Программируемая скорость преобразования (до 100 тыс. преобразований в секунду).

До 8-ми внешних входов (программируются как однофазные или дифференциальные).

Усилитель с программируемым коэффициентом усиления (16, 8, 4, 2, 1, 0.5).

Формирование прерывания при попадании результата преобразования в заданный диапазон значений.

Встроенный датчик температуры.

- 8-разр. АЦП посл. приближения (только 'F12x)

Программируемая скорость преобразования (до 500 тыс. преобразований в секунду).

До 8-ми внешних входов (программируются как однофазные или дифференциальные).

Усилитель с программируемым коэффициентом усиления (4, 2, 1, 0.5).

- Два 12-разрядных ЦАП (только 'F12x)

Синхронизация выходов с таймерами для генерации сигнала без фазовых искажений.

- Два аналоговых компаратора

- Источник опорного напряжения

- Схема мониторинга напряжения питания/Детектор снижения напряжения питания

ВСТРОЕННЫЙ JTAG ОТЛАДЧИК И ИНТЕРФЕЙС ГРАНИЧНОГО СКАНИРОВАНИЯ

- Встроенный отладчик обеспечивает «неразрушающую» внутрисхемную/внутрисистемную отладку в режиме реального времени (без эмулятора).

- Расстановка точек останова и временных меток, пошаговая отладка, слежение за стеком; контроль/модификация памяти и регистров.

- Производительность на уровне эмуляторов с отладочными кристаллами, специальными адаптерами и разъемами.

- Граничное сканирование в соответствии с протоколом IEEE1149.1

- Полный комплект средств для разработки и отладки.

ВЫСОКОПРОИЗВОДИТЕЛЬНОЕ 8051-СОВМЕСТИМОЕ ПРОЦЕССОРНОЕ ЯДРО

- Конвейерная архитектура; 70% команд выполняются за 1 или 2 системных тактовых цикла.

- Производительность 100 MIPS или 50 MIPS со встроенной системой ФАПЧ.

- Умножитель-аккумулятор 16x16, требующий 2 такта SYSCLOCK для выполнения операции умножения (только C8051F120/1/2/3 и C8051F130/1/2/3).

ПАМЯТЬ

- 8448 (8k + 256) байт внутреннего ОЗУ данных.

- 128 Кбайт или 64 Кбайт разделенной на банки FLASH-памяти; возможно внутрисистемное программирование FLASH-памяти секторами по 1024 байт.

- Интерфейс внешней (64 Кбайт) памяти данных с возможностью мультиплексированного и немультимплексированного режимов работы.

ЦИФРОВЫЕ ПЕРИФЕРИЙНЫЕ МОДУЛИ

- 8 8-разр. портов ввода/вывода (100TQFP) с допустимым напряжением на выводах 5В.

- 4 8-разр. порта ввода/вывода (64TQFP) с допустимым напряжением на выводах 5В.

- Последовательные интерфейсы SMBus (I²C-совместимый), SPI и два УАПЧ (доступны одновременно).

- Программируемый массив 16-разрядных таймеров/счетчиков (ПМС) с шестью модулями захвата/сравнения.

- Пять 16-разрядных таймеров/счетчиков общего назначения.

- Отдельный сторожевой таймер.

- Двухнаправленный вывод сброса.

ИСТОЧНИКИ ТАКОВЫХ ИМПУЛЬСОВ

- Внутренний прецизионный генератор 24,5МГц.

- Генерация тактовых сигналов с использованием системы ФАПЧ.

- Внешний генератор: кварцевый, RC-, C-, или счетчик.

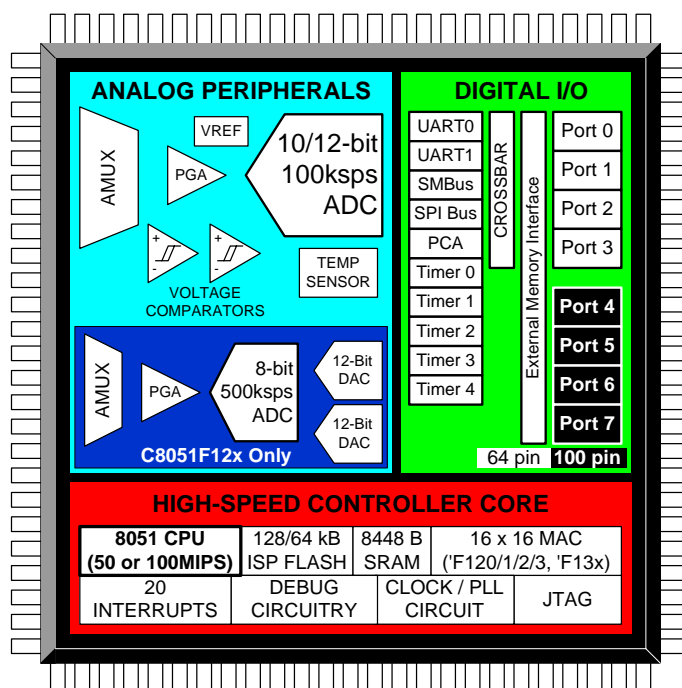
НАПРЯЖЕНИЕ ПИТАНИЯ

- Диапазон напряжений питания: 2,7-3,6В (50 MIPS), 3,0-3,6В (100 MIPS).

- Различные режимы управления энергопотреблением.

КОРПУСА: 100-выв. TQFP, 64-выв. TQFP.

РАБОЧАЯ ТЕМПЕРАТУРА: -40°C...+85°C



СОДЕРЖАНИЕ

1. КРАТКИЙ ОБЗОР.....	19
1.1. Процессорное ядро CIP-51™.....	27
1.1.1. Полная совместимость со стандартом 8051.....	27
1.1.2. Улучшенная производительность.....	27
1.1.3. Дополнительные функции.....	28
1.2. Встроенная память.....	29
1.3. JTAG отладчик и интерфейс граничного сканирования.....	30
1.4. Умножитель-аккумулятор 16x16 (MAC).....	31
1.5. Программируемые цифровые порты ввода/вывода и матрица соединений	32
1.6. Программируемый массив счетчиков (ПМС).....	33
1.7. Последовательные порты.....	34
1.8. 12-разр. или 10-разр. аналого-цифровой преобразователь.....	35
1.9. 8-разрядный аналого-цифровой преобразователь.....	36
1.10 12-разрядные цифро-аналоговые преобразователи.....	37
1.11. Аналоговые компараторы.....	38
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ.....	39
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	40
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	42
5. 12-разрядный АЦП0 (только C8051F120/1/4/5).....	57
5.1. Аналоговый мультимплексор и программируемый усилитель.....	57
5.2. Режимы работы АЦП.....	59
5.2.1. Запуск преобразования.....	59
5.2.2. Режимы слежения.....	60
5.2.3. Время установления.....	61
5.3. Программируемый детектор диапазона АЦП0.....	68
6. 10-разрядный АЦП0 (только C8051F122/3/6/7 и C8051F13x).....	75
6.1. Аналоговый мультимплексор и программируемый усилитель.....	75
6.2. Режимы работы АЦП.....	77
6.2.1. Запуск преобразования.....	77
6.2.2. Режимы слежения.....	78
6.2.3. Время установления.....	79
6.3. Программируемый детектор диапазона АЦП0.....	86
7. 8-разрядный АЦП2 (только C8051F12x).....	93
7.1. Аналоговый мультимплексор и программируемый усилитель.....	93
7.2. Режимы работы АЦП2.....	94
7.2.1. Запуск преобразования.....	94
7.2.2. Режимы слежения.....	94
7.2.3. Время установления.....	96
7.3. Программируемый детектор диапазона АЦП2.....	102
7.3.1. Детектор диапазона в однофазном режиме.....	102
7.3.2. Детектор диапазона в дифференциальном режиме.....	103
8. 12-разрядные ЦАП (только C8051F12x).....	107
8.1. Формирование выходного сигнала ЦАП.....	108
8.1.1. Обновление выходного сигнала “по требованию”.....	108
8.1.2. Обновление выходного сигнала при переполнении таймера.....	108

8.2. Форматирование входных данных ЦАП.....	108
9. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ.....	115
9.1. Конфигурация ИОН МК C8051F120/2/4/6.....	115
9.2. Конфигурация ИОН МК C8051F121/3/5/7.....	117
9.3. Конфигурация ИОН МК C8051F130/1/2/3.....	119
10. КОМПАРАТОРЫ.....	121
11. ПРОЦЕССОРНОЕ ЯДРО CIP-51.....	129
11.1. Система команд.....	131
11.1.1. Команды и тактирование.....	131
11.1.2. Команда MOVX и память программ.....	131
11.2. Организация памяти.....	135
11.2.1. Память программ.....	135
11.2.2. Память данных.....	137
11.2.3. Регистры общего назначения.....	137
11.2.4. Ячейки памяти с битовой адресацией.....	137
11.2.5. Стек.....	138
11.2.6. Регистры специального назначения.....	138
11.2.6.1. Страницы SFR.....	138
11.2.6.2. Прерывания и страницы SFR.....	138
11.2.6.3. Пример стека страниц SFR.....	140
11.2.7. Описание регистров.....	153
11.3. Обработка прерываний.....	156
11.3.1. Источники и векторы прерываний.....	156
11.3.2. Внешние прерывания.....	156
11.3.3. Приоритеты прерываний.....	158
11.3.4. Задержка обработки прерываний.....	158
11.3.5. Описание регистров прерываний.....	159
11.4. Режимы управления электропитанием.....	165
11.4.1. Режим ожидания.....	165
11.4.2. Режим остановки.....	166
12. Умножитель-аккумулятор.....	167
12.1. Регистры специального назначения.....	167
12.2. Операции с целыми и вещественными числами.....	168
12.3. Функционирование в режиме умножения с накоплением.....	169
12.4. Функционирование в режиме (только) умножения.....	169
12.5. Операции сдвига аккумулятора.....	169
12.6. Округление и установка предельных значений.....	170
12.7. Примеры использования.....	170
13. ИСТОЧНИКИ СБРОСА.....	179
13.1. Сброс при включении питания.....	180
13.2. Сброс при исчезновении питания.....	180
13.3. Внешний сброс.....	181
13.4. Сброс от детектора исчезновения тактирования.....	181
13.5. Сброс от Компаратора 0.....	181
13.6. Сброс от внешнего вывода CNVSTR0.....	181
13.7. Сброс от сторожевого таймера.....	181
13.7.1. Включение/сброс WDT.....	182

13.7.2. Отключение WDT.....	182
13.7.3. Блокировка отключения WDT.....	182
13.7.4. Установка временного интервала (таймаута) WDT.....	182
14. ГЕНЕРАТОРЫ.....	187
14.1. Внутренний калибруемый генератор.....	187
14.2. Схема возбуждения внешнего генератора.....	189
14.3. Выбор источника системного тактового сигнала.....	189
14.4. Пример использования внешнего резонатора.....	192
14.5. Пример использования RC-генератора.....	192
14.6. Пример использования внешнего генератора с конденсатором.....	192
14.7. Система фазовой автоподстройки частоты (ФАПЧ).....	193
14.7.1. Тактирование системы ФАПЧ.....	193
14.7.2. Умножение частоты тактового сигнала с помощью системы ФАПЧ.....	193
14.7.3. Включение и инициализация системы ФАПЧ.....	194
15. FLASH-ПАМЯТЬ.....	199
15.1. Программирование FLASH-памяти.....	199
15.1.1. Долговременное хранение данных.....	200
15.1.2. Стирание страниц FLASH-памяти из программы.....	201
15.1.3. Запись во FLASH-память из программы.....	202
15.2. Защита FLASH-памяти.....	203
15.2.1. Обзор методов защиты FLASH-памяти.....	207
16. КЕШ-ПАМЯТЬ ПРОГРАММНЫХ ВЕТВЛЕНИЙ.....	211
16.1. Кеширование и упреждающая выборка.....	211
16.2. Оптимизация кеширования и упреждающей выборки.....	212
17. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ ДАННЫХ И ВСТРОЕННАЯ ПАМЯТЬ XRAM.....	219
17.1. Доступ к памяти XRAM.....	219
17.1.1. Пример использования команды MOVX с 16-разрядным адресом.....	219
17.1.2. Пример использования команды MOVX с 8-разрядным адресом.....	219
17.2. Настройка интерфейса внешней памяти.....	219
17.3. Выбор и настройка портов.....	220
17.4. Мультиплексированный и не мультиплексированный режимы работы.....	223
17.4.1. Мультиплексированный режим.....	223
17.4.2. Не мультиплексированный режим.....	224
17.5. Выбор режима доступа к памяти.....	225
17.5.1. Режим доступа только к внутренней памяти XRAM.....	225
17.5.2. Режим раздельного доступа без выбора банка.....	225
17.5.3. Режим раздельного доступа с выбором банка.....	226
17.5.4. Режим доступа только к внешней памяти.....	226
17.6. Тактирование и динамические параметры.....	227
17.6.1. Не мультиплексированный режим.....	228
17.6.2. Мультиплексированный режим.....	231
18. ПОРТЫ ВВОДА/ВЫВОДА.....	237
18.1. Порты 0...3 и приоритетный декодер матрицы.....	240
18.1.1. Назначение и распределение выводов при помощи матрицы.....	240
18.1.2. Настройка выходных драйверов портов.....	241
18.1.3. Настройка выводов портов как цифровых входов.....	242
18.1.4. Слаботочковые подтяжки.....	242

18.1.5. Настройка выводов Порты 1 как аналоговых входов.....	242
18.1.6. Назначение выводов интерфейса внешней памяти.....	243
18.1.7. Пример назначения выводов при помощи матрицы.....	245
18.2. Порты 4...7 (только МК в корпусах 100TQFP).....	254
18.2.1. Настройка портов, не имеющих внешние выводы.....	254
18.2.2. Настройка выходных драйверов портов.....	254
18.2.3. Настройка выводов портов как цифровых входов.....	255
18.2.4. Слаботочковые подтяжки.....	255
18.2.5. Интерфейс внешней памяти.....	255
19. МОДУЛЬ SMBus / I2C (SMBUS0).....	261
19.1. Техническая документация.....	262
19.2. Протокол SMBus.....	262
19.2.1. Арбитраж.....	263
19.2.2. Растягивание тактового сигнала.....	263
19.2.3. Таймаут низкого уровня на линии SCL.....	263
19.2.4. Таймаут высокого уровня на линии SCL (шина SMBus свободна).....	263
19.3. Режимы работы модуля SMBus.....	264
19.3.1. Режим ведущего передатчика.....	264
19.3.2. Режим ведущего приемника.....	264
19.3.3. Режим ведомого передатчика.....	265
19.3.4. режим ведомого приемника.....	265
19.4. Регистры специального назначения модуля SMBus.....	267
19.4.1. Регистр управления.....	267
19.4.2. Регистр установки скорости передачи данных.....	270
19.4.3. Регистр данных.....	271
19.4.4. Регистр адреса.....	271
19.4.5. Регистр состояния.....	272
20. МОДУЛЬ SPI (SPI0).....	277
20.1. Описание сигналов шины SPI.....	278
20.1.1. Выход ведущего, вход ведомого (MOSI).....	278
20.1.2. Вход ведущего, выход ведомого (MISO).....	278
20.1.3. Тактовые импульсы (SCK).....	278
20.1.4. Выбор ведомого (NSS).....	278
20.2. Функционирование SPI0 в режиме ведущего.....	279
20.3. Функционирование SPI0 в режиме ведомого.....	281
20.4. Источники прерываний модуля SPI0.....	281
20.5. Тактирование.....	282
20.6. Регистры специального назначения модуля SPI.....	284
21. УАППО.....	291
21.1. Режимы работы УАППО.....	292
21.1.1. Режим 0: синхронный режим.....	292
21.1.2. Режим 1: 8-разр. УАПП, изменяемая скорость передачи.....	293
21.1.3. Режим 2: 9-разр. УАПП, фиксированная скорость передачи.....	295
21.1.4. Режим 3: 9-разр. УАПП, изменяемая скорость передачи.....	296
21.2. Поддержка связи с несколькими МК.....	297
21.2.1. Установка маскированного адреса.....	297
21.2.2. Широковещательная адресация.....	297
21.3. Определение ошибок формата и ошибок передачи.....	298

22. УАПП1.....	303
22.1. Усовершенствованный режим генерации скорости передачи.....	304
22.2. Режимы работы УАПП1.....	305
22.2.1. 8-разрядный УАПП.....	305
22.2.2. 9-разрядный УАПП.....	306
22.3. Поддержка связи с несколькими МК.....	307
23. ТАЙМЕРЫ.....	313
23.1. Таймер 0 и Таймер 1.....	313
23.1.1. Режим 0: 13-разрядный таймер/счетчик.....	313
23.1.2. Режим 1: 16-разрядный таймер/счетчик.....	315
23.1.3. Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой.....	316
23.1.4. Режим 3: два 8-разрядных таймера/счетчика (только Таймер 0).....	317
23.2. Таймер 2, Таймер 3 и Таймер 4.....	322
23.2.1. Работа Таймеров 2, 3 и 4 в режиме обратного отсчета.....	322
23.2.2. Режим захвата.....	323
23.2.3. Режим автоперезагрузки.....	324
23.2.4. Режим инвертирования выхода (только Таймер 2 и Таймер 4).....	325
24. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ.....	331
24.1. Таймер/Счетчик модуля ПМС.....	332
24.2. Модули захват/сравнение.....	333
24.2.1. Режим захвата по фронту сигнала.....	334
24.2.2. Режим программного таймера (сравнения).....	335
24.2.3. Режим высокоскоростного выхода.....	336
24.2.4. Режим выхода заданной частоты.....	337
24.2.5. Режим 8-разрядного широтно-импульсного модулятора.....	338
24.2.6. Режим 16-разрядного широтно-импульсного модулятора.....	339
24.3. Описание регистров модуля ПМС0.....	340
25. ИНТЕРФЕЙС JTAG (IEEE 1149.1).....	345
25.1. Граничное сканирование.....	346
25.1.1. Команда EXTEST.....	347
25.1.1. Команда SAMPLE.....	347
25.1.1. Команда BYPASS.....	347
25.1.1. Команда IDCODE.....	347
25.2. Команды программирования Flash-памяти.....	348
25.3. Средства поддержки отладки.....	351
26. СПИСОК ИЗМЕНЕНИЙ.....	353
26.1. Отличия ред.1.3 от ред.1.2.....	353

Примечания

ПЕРЕЧЕНЬ РИСУНКОВ

1. КРАТКИЙ ОБЗОР.....	19
Рисунок 1.1. Структурная схема C8051F120/124.....	21
Рисунок 1.2. Структурная схема C8051F121/125.....	22
Рисунок 1.3. Структурная схема C8051F122/126.....	23
Рисунок 1.4. Структурная схема C8051F123/127.....	24
Рисунок 1.5. Структурная схема C8051F130/132.....	25
Рисунок 1.6. Структурная схема C8051F131/133.....	26
Рисунок 1.7. Структурная схема модуля тактирования и сброса.....	28
Рисунок 1.8. Карта распределения встроенной памяти.....	29
Рисунок 1.9. Модель отладки.....	30
Рисунок 1.10. Структурная схема умножителя-аккумулятора.....	31
Рисунок 1.11. Структурная схема цифровой матрицы.....	32
Рисунок 1.12. Структурная схема модуля ПМС.....	33
Рисунок 1.13. Структурная схема 12-разрядного АЦП.....	35
Рисунок 1.14. Структурная схема 8-разрядного АЦП.....	36
Рисунок 1.15. Структурная схема ЦАП.....	37
Рисунок 1.16. Структурная схема компараторов.....	38
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ.....	39
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	40
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	42
Рисунок 4.1. Цоколевка корпуса TQFP-100 (C8051F120/2/4/6).....	50
Рисунок 4.2. Цоколевка корпуса TQFP-100 (C8051F130/2).....	51
Рисунок 4.3. Чертеж корпуса TQFP-100	52
Рисунок 4.4. Цоколевка корпуса TQFP-64 (C8051F121/3/5/7).....	53
Рисунок 4.5. Цоколевка корпуса TQFP-64 (C8051F131/3).....	54
Рисунок 4.6. Чертеж корпуса TQFP-64	55
5. 12-разрядный АЦПО (только C8051F120/1/4/5).....	57
Рисунок 5.1. Структурная схема 12-разр. АЦПО.....	57
Рисунок 5.2. Передаточная функция датчика температуры.....	58
Рисунок 5.3. Временные диаграммы процесса преобразования АЦПО.....	60
Рисунок 5.4. Эквивалентные схемы входов АЦПО.....	61
Рисунок 5.5. AMX0CF: Регистр конфигурации AMUX0.....	62
Рисунок 5.6. AMX0SL: Регистр выбора канала AMUX0.....	63
Рисунок 5.7. ADC0CF: Регистр конфигурации АЦПО.....	64
Рисунок 5.8. ADC0CN: Регистр управления АЦПО.....	65
Рисунок 5.9. ADC0H: Регистр старшего байта слова данных АЦПО.....	66
Рисунок 5.10. ADC0L: Регистр младшего байта слова данных АЦПО.....	66
Рисунок 5.11. Пример слова данных АЦПО.....	67
Рисунок 5.12. ADC0GTH: Регистр старшего байта нижней границы диапазона.....	68
Рисунок 5.13. ADC0GTL: Регистр младшего байта нижней границы диапазона.....	68
Рисунок 5.14. ADC0LTH: Регистр старшего байта верхней границы диапазона.....	69
Рисунок 5.15. ADC0LTL: Регистр младшего байта верхней границы диапазона.....	69
Рисунок 5.16. Пример использования детектора диапазона 12-разр. АЦПО: вход одиночный, данные выровнены вправо.....	70

Рисунок 5.17. Пример использования детектора диапазона 12-разр. АЦПО: вход дифференциальный, данные выровнены вправо.....	71
Рисунок 5.18. Пример использования детектора диапазона 12-разр. АЦПО: вход одиночный, данные выровнены влево.....	72
Рисунок 5.19. Пример использования детектора диапазона 12-разр. АЦПО: вход дифференциальный, данные выровнены влево.....	73
6. 10-разрядный АЦПО (только C8051F122/3/6/7 и C8051F13x).....	75
Рисунок 6.1. Структурная схема 10-разр. АЦПО.....	75
Рисунок 6.2. Передаточная функция датчика температуры.....	76
Рисунок 6.3. Временные диаграммы процесса преобразования АЦПО.....	78
Рисунок 6.4. Эквивалентные схемы входов АЦПО.....	79
Рисунок 6.5. AMX0CF: Регистр конфигурации AMUX0.....	80
Рисунок 6.6. AMX0SL: Регистр выбора канала AMUX0.....	81
Рисунок 6.7. ADC0CF: Регистр конфигурации АЦПО.....	82
Рисунок 6.8. ADC0CN: Регистр управления АЦПО.....	83
Рисунок 6.9. ADC0H: Регистр старшего байта слова данных АЦПО.....	84
Рисунок 6.10. ADC0L: Регистр младшего байта слова данных АЦПО.....	84
Рисунок 6.11. Пример слова данных АЦПО.....	85
Рисунок 6.12. ADC0GTH: Регистр старшего байта нижней границы диапазона.....	86
Рисунок 6.13. ADC0GTL: Регистр младшего байта нижней границы диапазона.....	86
Рисунок 6.14. ADC0LTH: Регистр старшего байта верхней границы диапазона.....	86
Рисунок 6.15. ADC0LTL: Регистр младшего байта верхней границы диапазона.....	87
Рисунок 6.16. Пример использования детектора диапазона 10-разр. АЦПО: вход одиночный, данные выровнены вправо.....	87
Рисунок 6.17. Пример использования детектора диапазона 10-разр. АЦПО: вход дифференциальный, данные выровнены вправо.....	88
Рисунок 6.18. Пример использования детектора диапазона 10-разр. АЦПО: вход одиночный, данные выровнены влево.....	89
Рисунок 6.19. Пример использования детектора диапазона 10-разр. АЦПО: вход дифференциальный, данные выровнены влево.....	90
7. 8-разрядный АЦП2 (только C8051F12x).....	93
Рисунок 7.1. Функциональная схема АЦП2.....	93
Рисунок 7.2. Временные диаграммы процесса преобразования АЦП2.....	95
Рисунок 7.3. Эквивалентные схемы входов АЦП2.....	96
Рисунок 7.4. AMX2CF: Регистр конфигурации мультиплексора AMUX2.....	97
Рисунок 7.5. AMX2SL: Регистр выбора канала мультиплексора AMUX2.....	98
Рисунок 7.6. ADC2CF: Регистр конфигурации АЦП2.....	99
Рисунок 7.7. ADC2CN: Регистр управления АЦП2.....	100
Рисунок 7.8. ADC2: Регистр слова данных АЦП2.....	101
Рисунок 7.9. Пример слова данных АЦП2.....	101
Рисунок 7.10. Пример использования детектора диапазона АЦП2 (однофазный режим).....	102
Рисунок 7.11. Пример использования детектора диапазона АЦП2 (дифференциальный режим).....	103
Рисунок 7.12. ADC2GT: Регистр нижней границы диапазона АЦП2.....	104
Рисунок 7.13. ADC2LT: Регистр верхней границы диапазона АЦП2.....	104
8. 12-разрядные ЦАП (только C8051F12x).....	107
Рисунок 8.1. Функциональная схема ЦАП.....	107
Рисунок 8.2. DAC0H: Регистр старшего байта ЦАП0.....	109

Рисунок 8.3. DAC0L: Регистр младшего байта ЦАП0.....	109
Рисунок 8.4. DAC0CN: Регистр управления ЦАП0.....	110
Рисунок 8.5. DAC1H: Регистр старшего байта ЦАП1.....	111
Рисунок 8.6. DAC1L: Регистр младшего байта ЦАП1.....	111
Рисунок 8.7. DAC1CN: Регистр управления ЦАП1.....	112
9. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ 2 (C8051F060/2).....	115
Рисунок 9.1. Функциональная схема ИОН (C8051F120/2/4/6).....	116
Рисунок 9.2. REF0CN: Регистр управления ИОН (C8051F120/2/4/6).....	116
Рисунок 9.3. Функциональная схема ИОН (C8051F121/3/5/7).....	117
Рисунок 9.4. REF0CN: Регистр управления ИОН (C8051F121/3/5/7).....	118
Рисунок 9.5. Функциональная схема ИОН (C8051F130/1/2/3).....	119
Рисунок 9.6. REF0CN: Регистр управления ИОН (C8051F130/1/2/3).....	119
10. КОМПАРАТОРЫ.....	121
Рисунок 10.1. Функциональная схема компаратора.....	121
Рисунок 10.2. Гистерезис компаратора.....	123
Рисунок 10.3. CPT0CN: Регистр управления Компаратора 0.....	124
Рисунок 10.4. CPT0MD: Регистр выбора режима Компаратора 0.....	125
Рисунок 10.5. CPT1CN: Регистр управления Компаратора 1.....	126
Рисунок 10.6. CPT1MD: Регистр выбора режима Компаратора 1.....	127
11. ПРОЦЕССОРНОЕ ЯДРО CIP-51.....	129
Рисунок 11.1. Структурная схема CIP-51.....	130
Рисунок 11.2. Карта распределения памяти.....	135
Рисунок 11.3. PSBANK: Регистр выбора банка памяти программ.....	136
Рисунок 11.4. Карта распределения адресного пространства памяти для выборки команд (только 128-Кбайтная Flash-память).....	137
Рисунок 11.5. Стек страниц SFR.....	139
Рисунок 11.6. Стек страниц SFR при использовании страницы SFR 0x0F для обращения к Порту 5.....	140
Рисунок 11.7. Стек страниц SFR после возникновения прерывания от детектора диапазона АЦП2.....	141
Рисунок 11.8. Стек страниц SFR после возникновения прерывания от модуля ПМС во время выполнения процедуры обслуживания прерывания от АЦП2.....	142
Рисунок 11.9. Стек страниц SFR после возврата из процедуры обслуживания прерывания от модуля ПМС.....	142
Рисунок 11.10. Стек страниц SFR после возврата из процедуры обслуживания прерывания от детектора диапазона АЦП2.....	143
Рисунок 11.11. SFRPGCN: Регистр управления страницами SFR	144
Рисунок 11.12. SFRPAGE: Регистр страницы SFR	144
Рисунок 11.13. SFRNEXT: Регистр следующей страницы SFR	145
Рисунок 11.14. SFRLAST: Регистр последней страницы SFR	145
Рисунок 11.15. SP: Указатель стека.....	153
Рисунок 11.16. DPL: Младший байт указателя данных.....	153
Рисунок 11.17. DPH: Старший байт указателя данных.....	153
Рисунок 11.18. PSW: Слово состояния программы.....	154
Рисунок 11.19. ACC: Аккумулятор.....	155
Рисунок 11.20. B: Регистр B.....	155
Рисунок 11.21. IE: Регистр разрешения прерываний.....	159
Рисунок 11.22. IP: Регистр приоритетов прерываний.....	160
Рисунок 11.23. EIE1: Дополнительный регистр разрешения прерываний 1.....	161

Рисунок 11.24. EIE2: Дополнительный регистр разрешения прерываний 2.....	162
Рисунок 11.25. EIP1: Дополнительный регистр приоритетов прерываний 1.....	163
Рисунок 11.26. EIP2: Дополнительный регистр приоритетов прерываний 2.....	164
Рисунок 11.27. PCON: Регистр управления электропитанием.....	166
12. УМНОЖИТЕЛЬ-АККУМУЛЯТОР (MAC0).....	167
Рисунок 12.1. Структурная схема MAC0.....	167
Рисунок 12.2. Режим представления данных в виде целых чисел.....	168
Рисунок 12.3. Режим представления данных в виде вещественных чисел.....	168
Рисунок 12.4. Конвейер MAC0.....	169
Рисунок 12.5. Пример умножения с накоплением.....	171
Рисунок 12.6. Пример (только) умножения.....	171
Рисунок 12.7. Пример сдвига аккумулятора MAC0.....	172
Рисунок 12.8. MAC0CF: Регистр конфигурации MAC0.....	173
Рисунок 12.9. MAC0STA: Регистр состояния MAC0.....	174
Рисунок 12.10. MAC0AH: Регистр старшего байта слова A MAC0.....	174
Рисунок 12.11. MAC0AL: Регистр младшего байта слова A MAC0.....	175
Рисунок 12.12. MAC0BH: Регистр старшего байта слова B MAC0.....	175
Рисунок 12.13. MAC0BL: Регистр младшего байта слова B MAC0.....	175
Рисунок 12.14. MAC0ACC3: Регистр байта 3 аккумулятора MAC0.....	176
Рисунок 12.15. MAC0ACC2: Регистр байта 2 аккумулятора MAC0.....	176
Рисунок 12.16. MAC0ACC1: Регистр байта 1 аккумулятора MAC0.....	176
Рисунок 12.17. MAC0ACC0: Регистр байта 0 аккумулятора MAC0.....	177
Рисунок 12.18. MAC0OVR: Регистр переполнения аккумулятора MAC0.....	177
Рисунок 12.19. MAC0RNDH: Старший байт регистра округления MAC0.....	177
Рисунок 12.20. MAC0RNDL: Младший байт регистра округления MAC0.....	178
13. ИСТОЧНИКИ СБРОСА.....	179
Рисунок 13.1. Структурная схема источников сброса.....	179
Рисунок 13.2. Временная диаграмма работы схемы слежения за напряжением питания...180	
Рисунок 13.3. WDTCN: Регистр управления сторожевым таймером.....	183
Рисунок 13.4. RSTSRC: Регистр источников сброса.....	184
14. ГЕНЕРАТОРЫ.....	187
Рисунок 14.1. Структурная схема генератора.....	187
Рисунок 14.2. OSCICL: Регистр калибровки внутреннего генератора.....	188
Рисунок 14.3. OSCICN: Регистр управления внутренним генератором.....	188
Рисунок 14.4. CLKSEL: Регистр выбора тактового генератора.....	190
Рисунок 14.5. OSCXCN: Регистр управления внешним генератором.....	191
Рисунок 14.6. Структурная схема системы ФАПЧ.....	193
Рисунок 14.7. PLL0CN: Регистр управления ФАПЧ.....	195
Рисунок 14.8. PLL0DIV: Регистр предделителя ФАПЧ.....	195
Рисунок 14.9. PLL0MUL: Регистр коэффициента умножения частоты тактового сигнала ФАПЧ.....	196
Рисунок 14.10. PLL0CN: Регистр фильтра ФАПЧ.....	196
15. FLASH ПАМЯТЬ.....	199
Рисунок 15.1. Карта распределения FLASH-памяти для операций чтения MOVC и записи MOVX.....	201
Рисунок 15.2. Карта распределения и байты защиты 128-Кбайтной FLASH-памяти программ.....	204

Рисунок 15.3. Карта распределения и байты защиты 64-Кбайтной FLASH-памяти программ.....	205
Рисунок 15.4. FLACL: Регистр ограничения доступа к FLASH-памяти	206
Рисунок 15.5. FLSCL: Регистр управления контроллером FLASH-памяти	208
Рисунок 15.6. PSCTL: Регистр управления записью/стиранием памяти программ.....	209
16. КЭШ-ПАМЯТЬ ПРОГРАММНЫХ ВЕТВЛЕНИЙ.....	211
Рисунок 16.1. Схема передачи данных кэш-памяти программных ветвлений.....	211
Рисунок 16.2. Организация кэш-памяти программных ветвлений.....	212
Рисунок 16.3. Операция блокирования кэш-памяти.....	214
Рисунок 16.4. CSH0CN: Регистр управления кэш-памяти.....	215
Рисунок 16.5. CSH0TN: Регистр настройки кэш-памяти.....	216
Рисунок 16.6. CSH0LC: Регистр управления блокировкой кэш-памяти.....	216
Рисунок 16.7. CSH0MA: Аккумулятор промахов кэша.....	217
Рисунок 16.8. FLSTAT: Регистр состояния Flash-памяти.....	217
17. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ ДАННЫХ И ВСТРОЕННАЯ ПАМЯТЬ ХРАМ.....	219
Рисунок 17.1. EMIOCN: Регистр управления интерфейсом внешней памяти.....	221
Рисунок 17.2. EMIOCF: Регистр конфигурации внешней памяти.....	222
Рисунок 17.3. Пример конфигурации с мультиплексированной шиной адреса/данных.....	223
Рисунок 17.4. Пример конфигурации с немultipлексированной шиной адреса/данных.....	224
Рисунок 17.5. Режимы работы интерфейса внешней памяти.....	225
Рисунок 17.6. EMIOTC: Регистр управления временными параметрами внешней памяти.....	227
Рисунок 17.7. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 16-разр. MOVX).....	228
Рисунок 17.8. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 8-разр. MOVX без выбора банка).....	229
Рисунок 17.9. Временные параметры интерфейса внешней памяти (не мультиплексированный режим, 8-разр. MOVX с выбором банка).....	230
Рисунок 17.10. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 16-разр. MOVX).....	231
Рисунок 17.11. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX без выбора банка).....	232
Рисунок 17.12. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX с выбором банка).....	233
18. ПОРТЫ ВВОДА/ВЫВОДА.....	237
Рисунок 18.1. Структурная схема ячейки порта ввода/вывода.....	237
Рисунок 18.2. Функциональная схема портов ввода/вывода.....	239
Рисунок 18.3. Таблица декодирования приоритетов матрицы.....	240
Рисунок 18.4. Таблица декодирования приоритетов матрицы.....	243
Рисунок 18.5. Таблица декодирования приоритетов матрицы.....	244
Рисунок 18.6. Пример использования матрицы.....	246
Рисунок 18.7. XBR0: Регистр 0 матрицы портов ввода/вывода.....	247
Рисунок 18.8. XBR1: Регистр 1 матрицы портов ввода/вывода.....	248
Рисунок 18.9. XBR2: Регистр 2 матрицы портов ввода/вывода.....	249
Рисунок 18.10. P0: Регистр данных Porta 0.....	250
Рисунок 18.11. P0MDOUT: Регистр настройки выходов Porta 0.....	250

Рисунок 18.12. P1: Регистр данных Порта 1.....	251
Рисунок 18.13. P1MDIN: Регистр настройки входов Порта 1.....	251
Рисунок 18.14. P1MDOUT: Регистр настройки выходов Порта 1.....	252
Рисунок 18.15. P2: Регистр данных Порта 2.....	252
Рисунок 18.16. P2MDOUT: Регистр настройки выходов Порта 2.....	253
Рисунок 18.17. P3: Регистр данных Порта 3.....	253
Рисунок 18.18. P3MDOUT: Регистр настройки выходов Порта 3.....	254
Рисунок 18.19. P4: Регистр данных Порта 4.....	256
Рисунок 18.20. P4MDOUT: Регистр настройки выходов Порта 4.....	256
Рисунок 18.21. P5: Регистр данных Порта 5.....	257
Рисунок 18.22. P5MDOUT: Регистр настройки выходов Порта 5.....	257
Рисунок 18.23. P6: Регистр данных Порта 6.....	258
Рисунок 18.24. P6MDOUT: Регистр настройки выходов Порта 6.....	258
Рисунок 18.25. P7: Регистр данных Порта 7.....	259
Рисунок 18.26. P7MDOUT: Регистр настройки выходов Порта 7.....	259
19. МОДУЛЬ SMBus / I2C (SMBUS0).....	261
Рисунок 19.1. Структурная схема модуля SMBus.....	261
Рисунок 19.2. Подключение к шине SMBus	262
Рисунок 19.3. Формат сообщения SMBus.....	263
Рисунок 19.4. Передача данных в режиме ведущего.....	264
Рисунок 19.5. Прием данных в режиме ведущего.....	264
Рисунок 19.6. Передача данных в режиме ведомого.....	265
Рисунок 19.7. Прием данных в режиме ведомого.....	266
Рисунок 19.8. SMB0CN: Регистр управления модуля SMBus0.....	269
Рисунок 19.9. SMB0CR: Регистр установки тактовой частоты модуля SMBus0.....	270
Рисунок 19.10. SMB0DAT: Регистр данных модуля SMBus0.....	271
Рисунок 19.11. SMB0ADR: Регистр адреса модуля SMBus0.....	272
Рисунок 19.12. SMB0STA: Регистр состояния модуля SMBus0.....	273
20. УСОВЕРШЕНСТВОВАННЫЙ МОДУЛЬ SPI (SPI0).....	277
Рисунок 20.1. Структурная схема модуля SPI0.....	277
Рисунок 20.2. Схема включения в режиме с несколькими ведущими.....	280
Рисунок 20.3. Схема соединения одного ведущего и одного ведомого с использованием 3-х проводной шины SPI.....	280
Рисунок 20.4. Схема соединения одного ведущего и нескольких ведомых с использованием 4-х проводной шины SPI.....	280
Рисунок 20.5. Временные диаграммы сигналов данных/тактирования в режиме ведущего.....	282
Рисунок 20.6. Временные диаграммы сигналов данных/тактирования в режиме ведомого (СКРНА = 0).....	283
Рисунок 20.7. Временные диаграммы сигналов данных/тактирования в режиме ведомого (СКРНА = 1).....	283
Рисунок 20.8. SPI0CFG: Регистр конфигурации модуля SPI0.....	284
Рисунок 20.9. SPI0CN: Регистр управления модуля SPI0.....	285
Рисунок 20.10. SPI0CKR: Регистр установки тактовой частоты модуля SPI0.....	286
Рисунок 20.11. SPI0DAT: Регистр данных модуля SPI0.....	286
Рисунок 20.12. Временные диаграммы ведущего SPI (СКРНА = 0).....	287
Рисунок 20.13. Временные диаграммы ведущего SPI (СКРНА = 1).....	287
Рисунок 20.14. Временные диаграммы ведомого SPI (СКРНА = 0).....	288

Рисунок 20.15. Временные диаграммы ведомого SPI (СКРНА = 1).....	288
21. УАПП0.....	291
Рисунок 21.1. Структурная схема УАПП0.....	291
Рисунок 21.2. Временные диаграммы УАПП0 в режиме 0.....	292
Рисунок 21.3. Пример использования УАПП0 в режиме 0.....	292
Рисунок 21.4. Временные диаграммы УАПП0 в режиме 1.....	293
Рисунок 21.5. Временные диаграммы УАПП0 в режиме 2 и 3.....	295
Рисунок 21.6. Пример использования УАПП0 в режимах 1, 2 и 3.....	296
Рисунок 21.7. Пример использования УАПП0 в многопроцессорном режиме.....	298
Рисунок 21.8. SCON0: Регистр управления УАПП0.....	300
Рисунок 21.9. SSTA0: Регистр состояния и выбора источника тактирования УАПП0.....	301
Рисунок 21.10. SBUF0: Регистр буфера данных УАПП0.....	302
Рисунок 21.11. SADDR0: Регистр адреса ведомого УАПП0.....	302
Рисунок 21.12. SADEN0: Регистр разрешения адреса ведомого УАПП0.....	302
22. УАПП1.....	303
Рисунок 22.1. Структурная схема УАПП1.....	303
Рисунок 22.2. Логика генератора скорости передачи данных УАПП1.....	304
Рисунок 22.3. Примеры использования УАПП1.....	305
Рисунок 22.4. Временные диаграммы 8-разр. УАПП1.....	305
Рисунок 22.5. Временные диаграммы 9-разр. УАПП1.....	306
Рисунок 22.6. Пример использования УАПП1 в многопроцессорном режиме.....	307
Рисунок 22.7. SCON1: Регистр управления УАПП1.....	308
Рисунок 22.8. SBUF1: Регистр буфера данных УАПП1.....	309
23. ТАЙМЕРЫ.....	313
Рисунок 23.1. Структурная схема таймера 0 в режиме 0.....	314
Рисунок 23.2. Структурная схема таймера 0 в режиме 2.....	316
Рисунок 23.3. Структурная схема таймера 0 в режиме 3.....	317
Рисунок 23.4. TCON: Регистр управления таймерами 0 и 1.....	318
Рисунок 23.5. TMOD: Регистр режима таймеров 0 и 1.....	319
Рисунок 23.6. SKCON: Регистр управления тактированием таймеров 0 и 1.....	320
Рисунок 23.7. TL0: Младший байт таймера 0.....	320
Рисунок 23.8. TL1: Младший байт таймера 1.....	321
Рисунок 23.9. TH0: Старший байт таймера 0.....	321
Рисунок 23.10. TH1: Старший байт таймера 1.....	321
Рисунок 23.11. Структурная схема Таймеров 2, 3 и 4 в режиме захвата.....	323
Рисунок 23.12. Структурная схема Таймеров 2, 3 и 4 в режиме автоперезагрузки.....	324
Рисунок 23.13. TMRnCN: Регистры управления таймерами 2, 3 и 4.....	326
Рисунок 23.14. TMRnCF: Регистры конфигурации таймеров 2, 3 и 4.....	327
Рисунок 23.15. RCAPnL: Младший байт регистра захвата таймеров 2, 3 и 4.....	328
Рисунок 23.16. RCAPnH: Старший байт регистра захвата таймеров 2, 3 и 4.....	328
Рисунок 23.17. TMRnL: Младший байт таймеров 2, 3 и 4.....	328
Рисунок 23.18. TMRnH: Старший байт таймеров 2, 3 и 4.....	329
24. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ.....	331
Рисунок 24.1. Структурная схема ПМС.....	331
Рисунок 24.2. Структурная схема таймера/счетчика ПМС.....	332
Рисунок 24.3. Схема формирования прерывания от ПМС.....	333
Рисунок 24.4 Структурная схема ПМС в режиме захвата.....	334

Рисунок 24.5. Структурная схема ПМС в режиме программного таймера.....	335
Рисунок 24.6. Структурная схема ПМС в режиме высокоскоростного выхода.....	336
Рисунок 24.7. Структурная схема ПМС в режиме выхода заданной частоты.....	337
Рисунок 24.8. Структурная схема ПМС в 8-разр. режиме ШИМ.....	338
Рисунок 24.9. Структурная схема ПМС в 16-разр. режиме ШИМ.....	339
Рисунок 24.10. PCA0CN: Регистр управления ПМС.....	340
Рисунок 24.11. PCA0MD: Регистр режима ПМС.....	341
Рисунок 24.12. PCA0CPMn: Регистры управления модулями захват/сравнение.....	342
Рисунок 24.13. PCA0L: Младший байт таймера/счетчика ПМС.....	343
Рисунок 24.14. PCA0H: Старший байт таймера/счетчика ПМС.....	343
Рисунок 24.15. PCA0CPLn: Младший байт модуля захвата ПМС.....	343
Рисунок 24.16. PCA0CPHn: Старший байт модуля захвата ПМС.....	344
25. ИНТЕРФЕЙС JTAG (IEEE 1149.1)	345
Рисунок 25.1. IR: Регистр команд интерфейса JTAG	345
Рисунок 25.2. DEVICEID: Регистр JTAG идентификатора устройства.....	347
Рисунок 25.3. FLASHCON: Регистр управления режимами чтения/записи Flash-памяти интерфейса JTAG.....	349
Рисунок 25.4. FLASHDAT: Регистр данных Flash-памяти интерфейса JTAG.....	350
Рисунок 25.5. FLASHADR: Регистр адреса Flash-памяти интерфейса JTAG	350
26. СПИСОК ИЗМЕНЕНИЙ.....	353

ПЕРЕЧЕНЬ ТАБЛИЦ

1. КРАТКИЙ ОБЗОР.....	19
Таблица 1.1. Сравнительная характеристика микроконтроллеров.....	20
2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ.....	39
Таблица 2.1. Предельно допустимые параметры.....	39
3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	40
Таблица 3.1. Основные электрические параметры (C8051F120/1/2/3 и C8051F130/1/2/3)...	40
Таблица 3.2. Основные электрические параметры (C8051F124/5/6/7).....	41
4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ.....	42
Таблица 4.1. Описание выводов.....	42
5. 12-разрядный АЦП0 (только C8051F120/1/4/5).....	57
Таблица 5.1. Электрические характеристики 12-разр. АЦП0 (C8051F120/1/4/5).....	74
6. 10-разрядный АЦП0 (только C8051F122/3/6/7 и C8051F13x).....	75
Таблица 6.1. Электрические характеристики 10-разр. АЦП0 (C8051F122/3/6/7 и C8051F13x).....	91
7. 8-разрядный АЦП2 (только C8051F12x).....	93
Таблица 7.1. Электрические характеристики АЦП2.....	105
8. 12-разрядные ЦАП (только C8051F12x).....	107
Таблица 8.1. Электрические характеристики ЦАП.....	113
9. ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ.....	115
Таблица 9.1. Электрические характеристики источника опорного напряжения.....	120
10. КОМПАРАТОРЫ.....	121
Таблица 10.1. Электрические характеристики компаратора.....	128
11. ПРОЦЕССОРНОЕ ЯДРО CIP-51.....	129
Таблица 11.1. Система команд CIP-51.....	132
Таблица 11.2. Распределение регистров специального назначения в памяти.....	146
Таблица 11.3. Регистры специального назначения.....	148
Таблица 11.4. Источники прерываний.....	157
12. УМНОЖИТЕЛЬ-АККУМУЛЯТОР (MAC0).....	167
Таблица 12.1. Округление MAC0 (MAC0SAT = 0).....	170
13. ИСТОЧНИКИ СБРОСА.....	179
Таблица 13.1. Электрические параметры источников сброса.....	185
14. ГЕНЕРАТОРЫ.....	187
Таблица 14.1. Электрические параметры генератора.....	187
Таблица 14.2. Частотные характеристики ФАПЧ.....	197
Таблица 14.3. Временные характеристики блокировки ФАПЧ.....	197
15. FLASH-ПАМЯТЬ.....	199
Таблица 15.1. Электрические параметры FLASH-памяти.....	200
16. КЕШ-ПАМЯТЬ ПРОГРАММНЫХ ВЕТВЛЕНИЙ.....	211
17. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ ДАННЫХ И ВСТРОЕННАЯ ПАМЯТЬ XRAM.....	219
Таблица 17.1. Временные параметры интерфейса внешней памяти.....	234
18. ПОРТЫ ВВОДА/ВЫВОДА.....	237
Таблица 18.1. Электрические характеристики портов ввода/вывода.....	238
19. МОДУЛЬ SMBus / I2C (SMBUS0).....	261
Таблица 19.1. Коды состояния модуля SMBus0.....	274
20. МОДУЛЬ SPI (SPI0).....	277

Таблица 20.1. Временные параметры ведомого SPI.....	289
21. УАПП0.....	291
Таблица 21.1. Режимы работы УАПП0.....	292
Таблица 21.2. Тактовые частоты, соответствующие стандартным скоростям обмена.....	299
22. УАПП1.....	303
Таблица 22.1. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании системы от внутреннего генератора.....	309
Таблица 22.2. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании системы от внешнего генератора.....	310
Таблица 22.3. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании системы от внешнего генератора.....	310
Таблица 22.4. Параметры настройки таймера для стандартных скоростей передачи данных при использовании системы ФАПЧ.....	311
Таблица 22.5. Параметры настройки таймера для стандартных скоростей передачи данных при использовании системы ФАПЧ.....	311
23. ТАЙМЕРЫ.....	313
24. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ.....	331
Таблица 24.1. Выбор тактового сигнала для ПМС.....	332
Таблица 24.2. Настройка модулей захват/сравнение в регистре PCA0CPM.....	333
25. ИНТЕРФЕЙС JTAG (IEEE 1149.1).....	345
Таблица 25.1. Описание бит регистра данных интерфейса граничного сканирования.....	346
26. СПИСОК ИЗМЕНЕНИЙ.....	353

1. КРАТКИЙ ОБЗОР

Микроконтроллеры (МК) C8051F12x и C8051F13x представляют собой полностью интегрированные на одном кристалле системы для обработки смешанных (аналого-цифровых) сигналов, которые имеют 64 (МК в корпусе 100TQFP) или 32 (МК в корпусе 64TQFP) цифровых входа/выхода.

Отличительные особенности данного семейства МК перечислены ниже. Сравнительная характеристика МК приведена в таблице 1.1.

- Высокопроизводительное микропроцессорное ядро CIP-51 с конвейерной архитектурой, совместимое со стандартом 8051 (с производительностью 100 MIPS или 50 MIPS).
- Встроенные средства отладки, обеспечивающие внутрисистемную, «неразрушающую» отладку в режиме реального времени.
- Точный 12-разр. или 10-разр. АЦП (производительность - 100 тыс. преобразований в секунду) с программируемым усилителем и 8-канальным аналоговым мультиплексором.
- Точный 8-разрядный АЦП (максимальная производительность – 500 тыс. преобразований в секунду) с программируемым усилителем и 8-канальным аналоговым мультиплексором (семейство МК C8051F12x).
- Два 12-разр. ЦАП с программируемым обновлением выходного сигнала (семейство МК C8051F12x).
- Умножитель-аккумулятор 16x16, требующий 2 такта SYSCLK для выполнения операции умножения (C8051F120/1/2/3 и C8051F130/1/2/3).
- 128 Кбайт или 64 Кбайт Flash-памяти, программируемой внутрисистемно.
- 8448 (8k + 256) байт встроенного ОЗУ.
- Интерфейс внешней памяти данных с доступным адресным пространством 64 Кбайт.
- Аппаратно реализованные последовательные интерфейсы I²C/SMBus, SPI и два УАПП.
- Пять 16-разрядных таймеров общего назначения.
- Программируемый массив счетчиков/таймеров (ПМС) с шестью модулями захвата/сравнения.
- Встроенные сторожевой таймер, схема слежения за напряжением питания и датчик температуры.

Все МК имеют встроенные схему слежения за напряжением питания, сторожевой таймер, тактовый генератор и представляют собой, таким образом, функционально-законченную систему на кристалле. Все аналоговые и цифровые периферийные модули могут включаться/отключаться и настраиваться программой пользователя. Имеется возможность внутрисхемного программирования Flash-памяти, что обеспечивает долговременное (энергонезависимое) хранение данных, а также позволяет осуществлять обновление программного обеспечения в готовых изделиях.

Встроенный интерфейс JTAG позволяет производить «неразрушающую» (не используются внутренние ресурсы) внутрисхемную отладку в режиме реального времени, используя МК, установленные в конечное изделие. Средства отладки обеспечивают проверку и модификацию памяти и регистров, расстановку точек останова и временных меток, пошаговое исполнение программы, а также поддерживают команды запуска и остановки. В процессе отладки с использованием интерфейса JTAG все аналоговые и цифровые периферийные модули полностью сохраняют свою работоспособность.

Каждый МК предназначен для работы в промышленном температурном диапазоне (-45°C...+85°C). Допустимое напряжение входных сигналов на выводах портов ввода/вывода, интерфейса JTAG, а также на выводе /RST составляет 5В. МК выпускаются в 100-выводных или 64-выводных корпусах типа TQFP. В таблице 1.1 приведены отличительные особенности и тип корпуса каждого МК. На рисунках 1.1 – 1.6 приведены структурные схемы для каждого типа МК.

C8051F120/1/2/3/4/5/6/7

C8051F130/1/2/3

Таблица 1.1. Сравнительная характеристика микроконтроллеров

Обозначение МК	MIPS (макс.)	FLASH - память	ОЗУ	Умножитель-аккумулятор 16x16	Интерфейс внешней памяти	SMBus/I2C	SPI	UART	Таймеры (16-разр.)	Программируемый массив счетчиков	Цифровые порты ввода/вывода	Количество каналов 12-разрядного АЦП (с производительностью 100 тыс. преобр./сек.)	Количество каналов 10-разрядного АЦП (с производительностью 100 тыс. преобр./сек.)	Количество каналов 8-разрядного АЦП (с производительностью 500 тыс. преобр./сек.)	Источник опорного напряжения	Датчик температуры	Разрядность ЦАП (бит)	Выходы ЦАП	Аналоговые компараторы	Тип корпуса
C8051F120	100	128k	8448	√	√	√	√	2	5	√	64	8	-	8	√	√	12	2	2	100TQFP
C8051F121	100	128k	8448	√	√	√	√	2	5	√	32	8	-	8	√	√	12	2	2	64TQFP
C8051F122	100	128k	8448	√	√	√	√	2	5	√	64	-	8	8	√	√	12	2	2	100TQFP
C8051F123	100	128k	8448	√	√	√	√	2	5	√	32	-	8	8	√	√	12	2	2	64TQFP
C8051F124	50	128k	8448		√	√	√	2	5	√	64	8	-	8	√	√	12	2	2	100TQFP
C8051F125	50	128k	8448		√	√	√	2	5	√	32	8	-	8	√	√	12	2	2	64TQFP
C8051F126	50	128k	8448		√	√	√	2	5	√	64	-	8	8	√	√	12	2	2	100TQFP
C8051F127	50	128k	8448		√	√	√	2	5	√	32	-	8	8	√	√	12	2	2	64TQFP
C8051F130	100	128k	8448	√	√	√	√	2	5	√	64	-	8	-	√	√	-	-	2	100TQFP
C8051F131	100	128k	8448	√	√	√	√	2	5	√	32	-	8	-	√	√	-	-	2	64TQFP
C8051F132	100	64k	8448	√	√	√	√	2	5	√	64	-	8	-	√	√	-	-	2	100TQFP
C8051F133	100	64k	8448	√	√	√	√	2	5	√	32	-	8	-	√	√	-	-	2	64TQFP

Рисунок 1.1. Структурная схема C8051F120/124

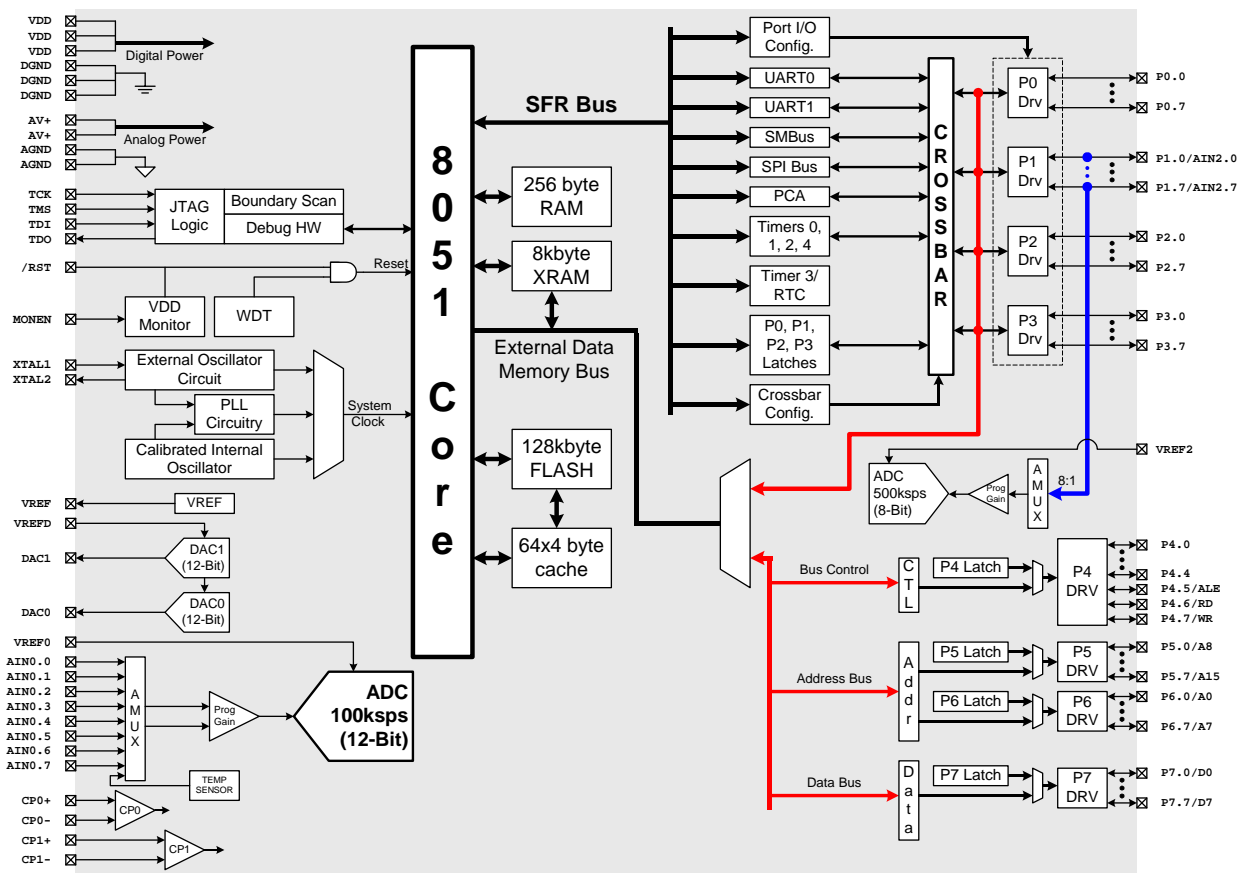


Рисунок 1.2. Структурная схема C8051F121/125

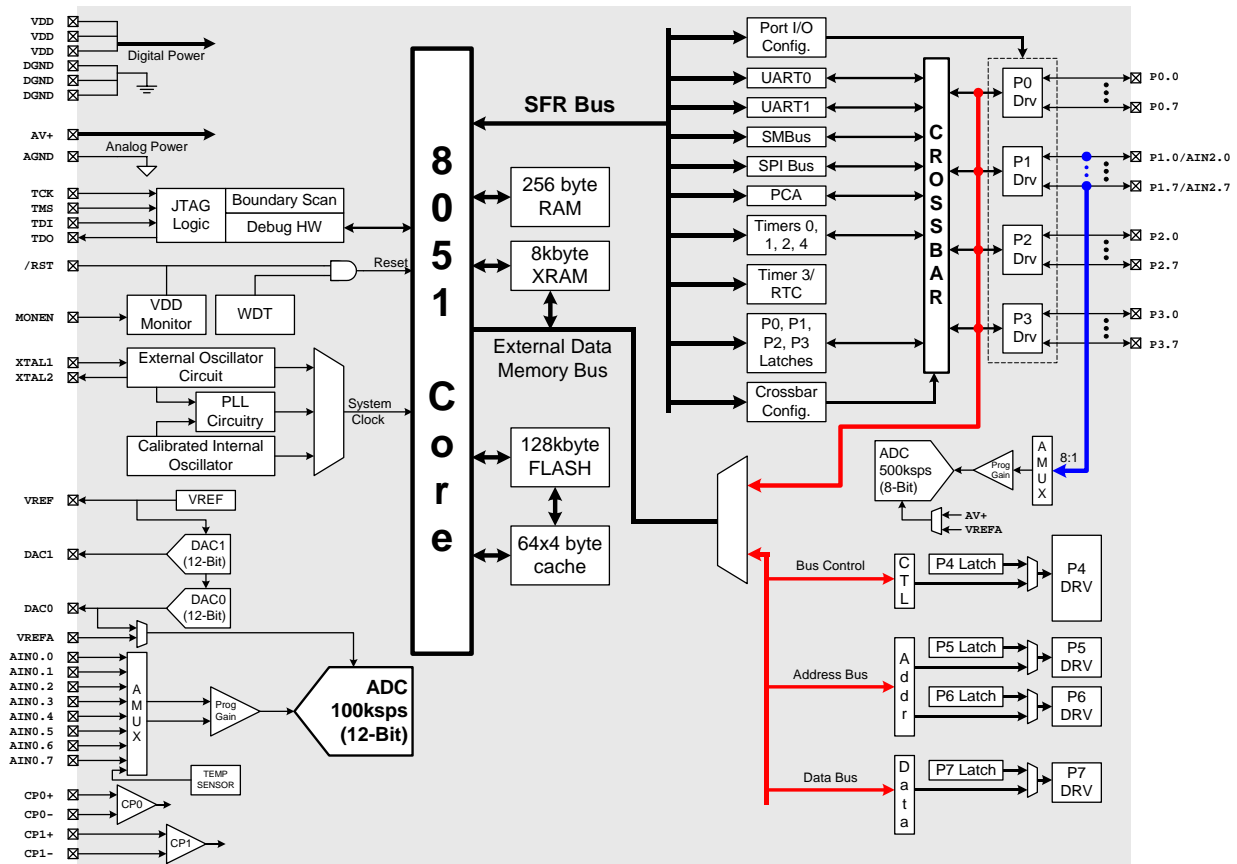


Рисунок 1.3. Структурная схема C8051F122/126

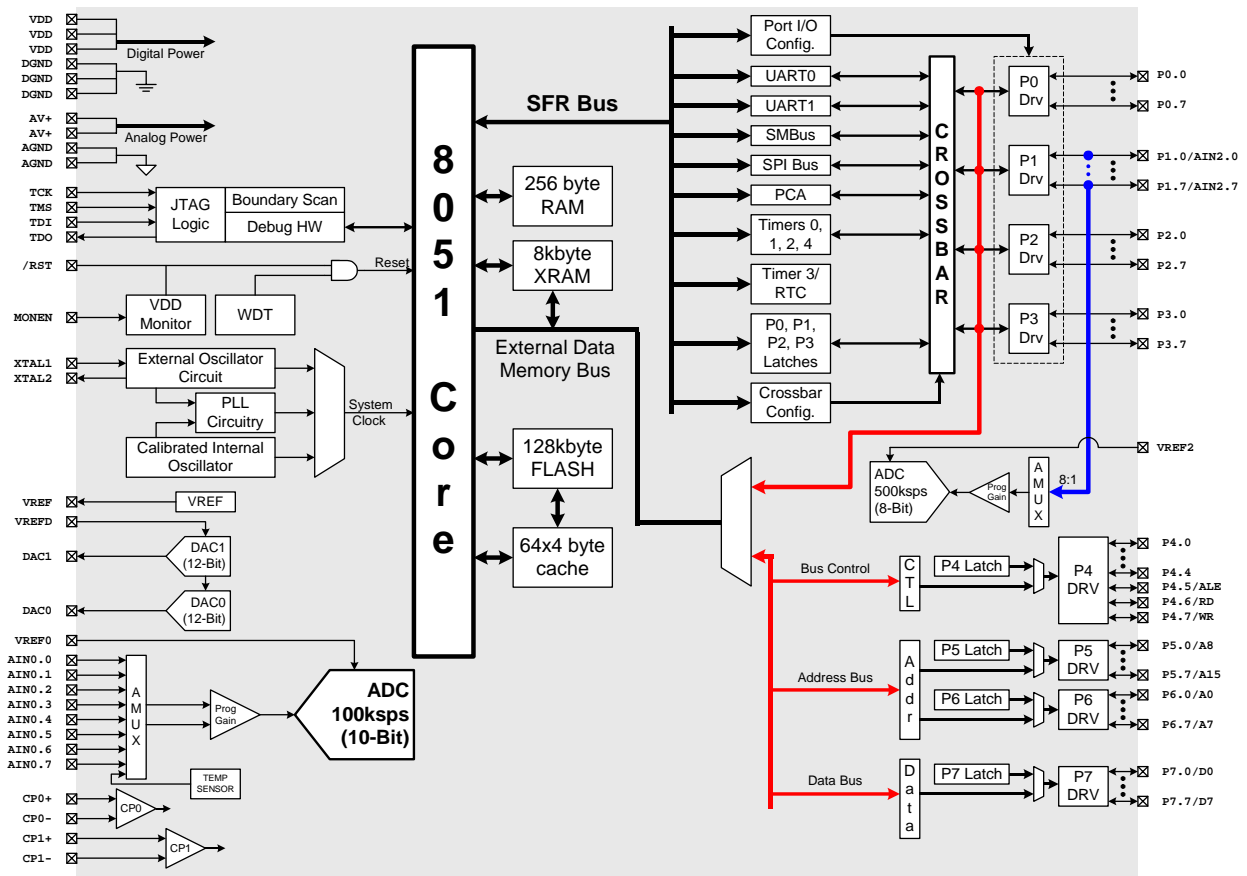


Рисунок 1.4. Структурная схема C8051F123/127

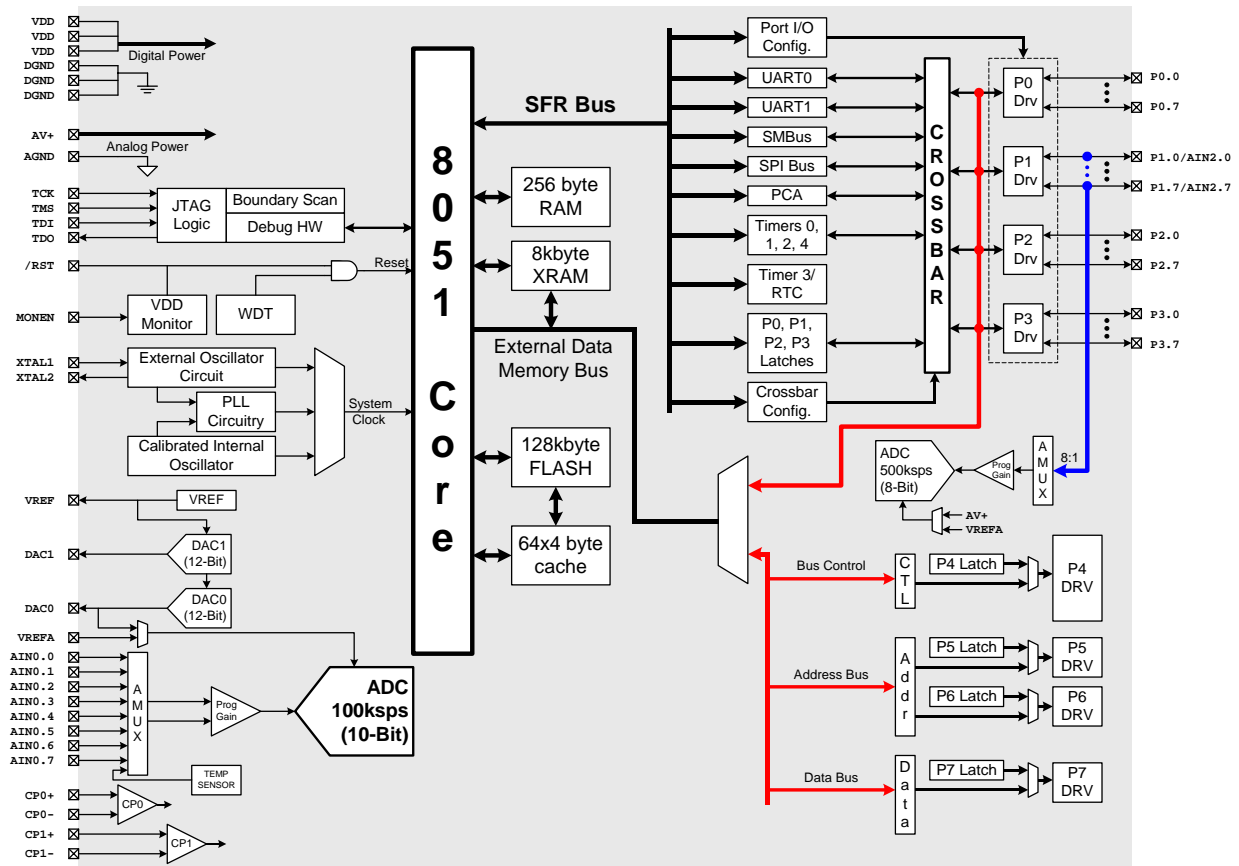


Рисунок 1.5. Структурная схема C8051F130/132

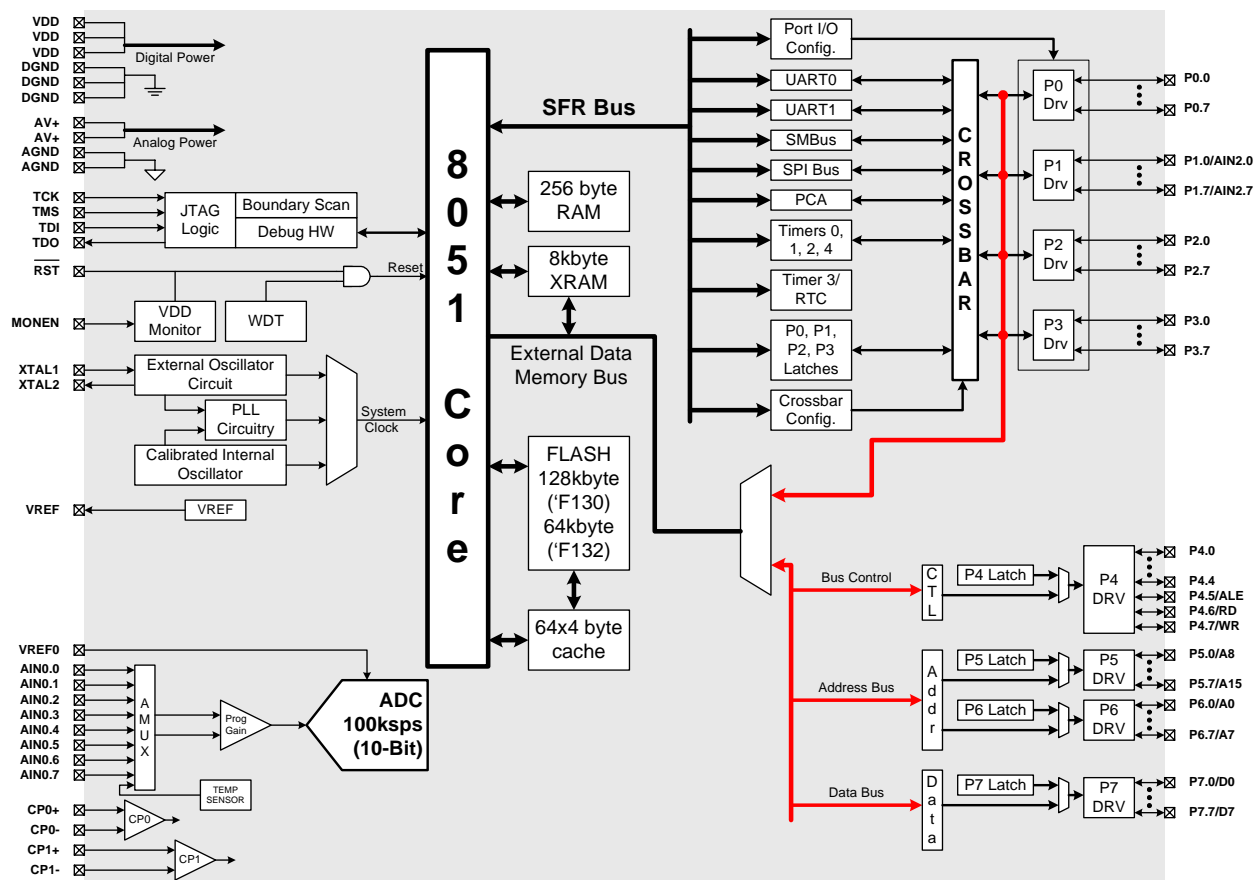
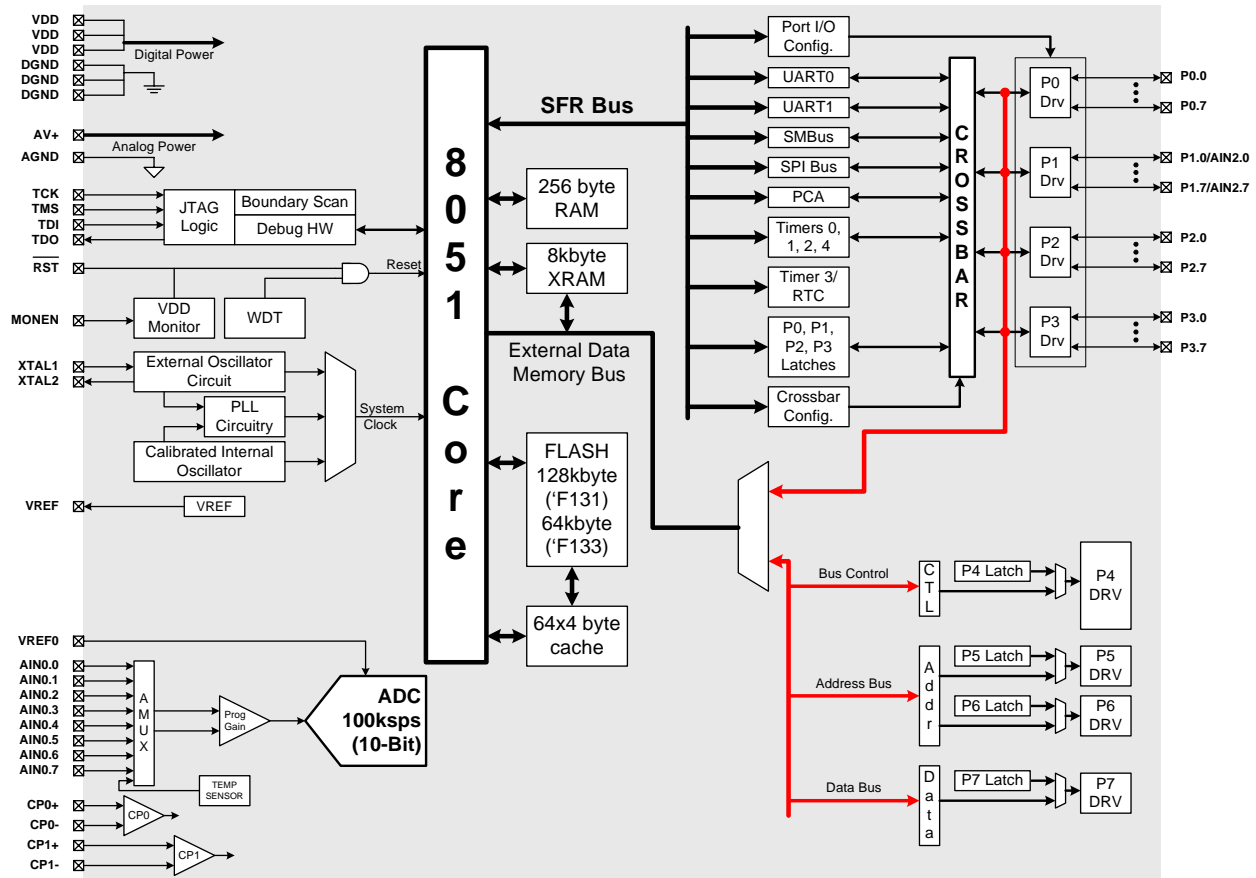


Рисунок 1.6. Структурная схема C8051F131/133



1.1. Процессорное ядро CIP-51™

1.1.1. Полностью 8051-совместимая архитектура

МК семейств C8051F12х и C8051F13х используют разработанное фирмой Silicon Labs' процессорное ядро CIP-51, которое по системе команд полностью совместимо с ядром MCS-51™. Для разработки программного обеспечения могут использоваться стандартные 803х/805х ассемблеры и компиляторы. Ядро содержит все периферию, соответствующую стандарту 8052, включая пять 16-разрядных таймеров/счетчиков, два полнодуплексных УАПЧ, 256 байт внутреннего ОЗУ, 128 байт адресного пространства регистров специального назначения, а также 8/4 8-разрядных порта ввода/вывода.

1.1.2. Улучшенная производительность

CIP-51 использует конвейерную архитектуру, что существенно повышает скорость выполнения команд по сравнению со стандартной архитектурой 8051. В МК с архитектурой 8051 все команды, кроме MUL и DIV, исполняются за 12 или 24 системных тактовых цикла при максимальной тактовой частоте 12...24 МГц. МК с ядром CIP-51 исполняют 70% своих команд за один или два системных тактовых цикла, и только четыре команды требуют более четырех системных тактовых циклов.

Система команд CIP-51 состоит из 109 команд. В приведенной ниже таблице все команды сгруппированы по времени их выполнения.

Количество команд	26	50	5	14	7	3	1	2	1
Количество системных тактовых циклов	1	2	2/3	3	3/4	4	4/5	5	8

При работе на максимальной для ядра CIP-51 тактовой частоте 100 МГц производительность МК C8051F120/1/2/3 и C8051F130/1/2/3 может достигать 100 MIPS (МК C8051F124/5/6/7 имеют максимальную производительность 50 MIPS).

1.1.3. Дополнительные функции

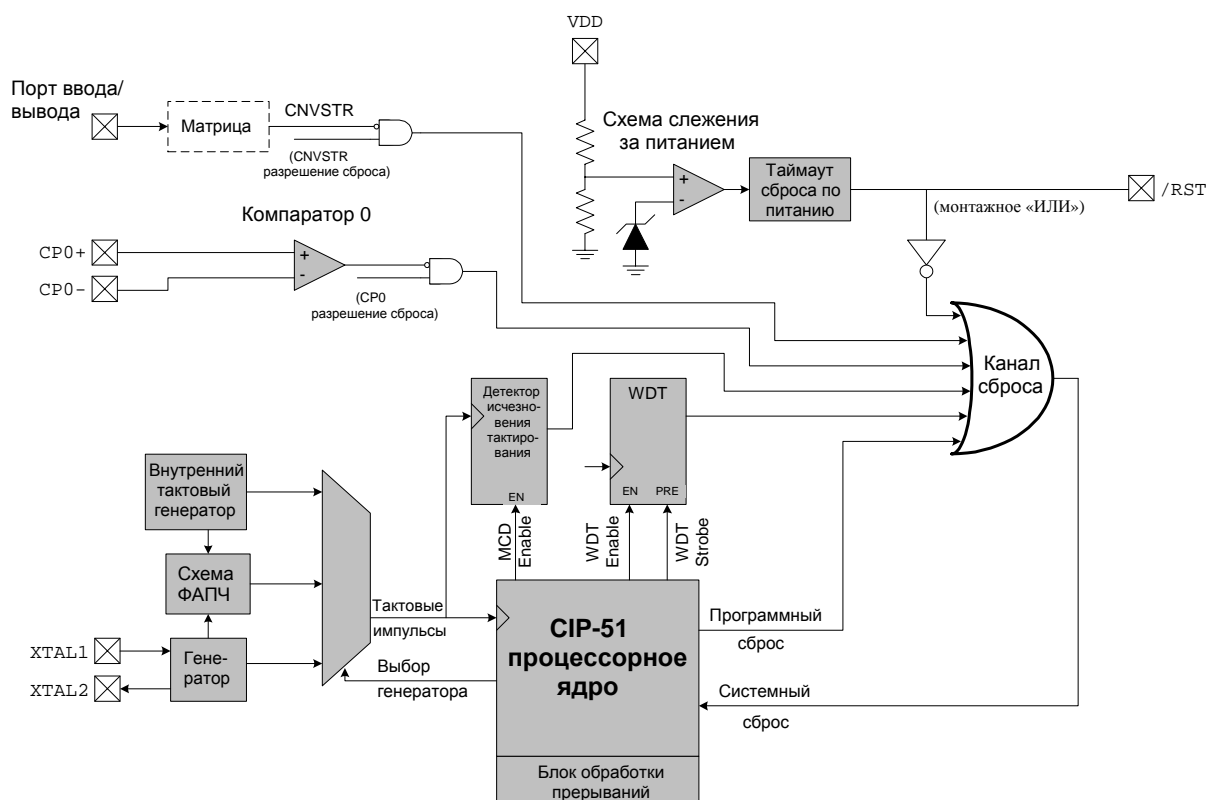
Ядро CIP-51 имеет ряд важных особенностей, которые позволяют улучшить общую производительность и упростить использование МК в конечных приложениях.

20 источников прерываний (8051 имеет 7 источников прерываний) позволяют многочисленным аналоговым и цифровым периферийным модулям прерывать работу МК. Система управления прерываниями требует меньшего вмешательства со стороны программы, что улучшает ее производительность. Дополнительные источники прерываний очень полезны при построении многозадачных систем, работающих в режиме реального времени.

Имеется семь источников сброса: встроенная схема слежения за напряжением питания, сторожевой таймер, детектор исчезновения тактирования, компаратор 0, принудительный программный сброс, входной сигнал CNVSTR0 и вывод /RST. Вывод /RST является двунаправленным, т.е. может быть как входом внешнего сигнала сброса, так и выходом сигнала сброса, сгенерированного внутри МК схемой слежения за питанием. Любой источник сброса, за исключением схемы слежения за питанием и входного вывода сброса, могут быть отключены программно; для включения/отключения схемы слежения за питанием используется вывод MONEN. Сторожовой таймер может быть включен после сброса типа POR (сброс при включении питания) в процессе инициализации МК.

МК имеет внутренний автономный тактовый генератор, который после сброса используется как источник тактовых импульсов по умолчанию. При необходимости можно “на лету” переключиться на внешний тактовый генератор, который для генерации тактовых импульсов использует кварцевый или керамический резонатор, конденсатор, RC-цепочку или внешний источник импульсов. В приложениях с пониженным энергопотреблением крайне полезным может быть режим работы МК с медленным (мало потребляющим) внешним кварцевым генератором с периодическим переключением на быстрый (до 24,5 МГц) внутренний генератор. Кроме этого, для повышения производительности МК можно использовать встроенную систему ФАПЧ, которая позволяет повысить частоту системного тактового сигнала.

Рисунок 1.7. Структурная схема модуля тактирования и сброса



1.2. Встроенная память

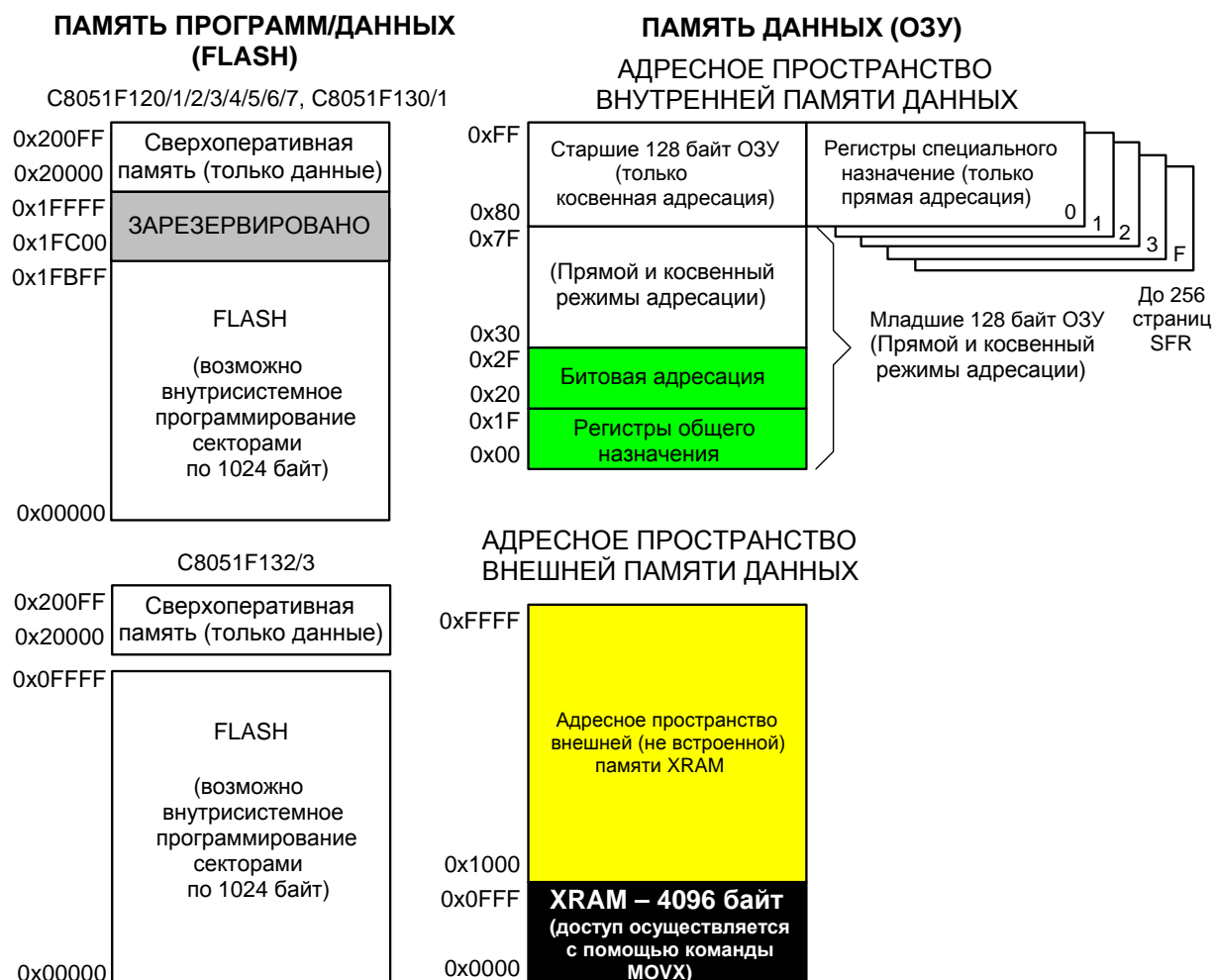
CIP-51 имеет стандартную (8051) структуру адресного пространства памяти программ и данных. В состав памяти входит ОЗУ объемом 256 байт, старшие 128 байт которого имеют двойную конфигурацию. В режиме косвенной адресации осуществляется доступ к старшим 128 байтам ОЗУ общего назначения, а в режиме прямой адресации осуществляется доступ к 128 байтам адресного пространства регистров специального назначения (SFR). Младшие 128 байт ОЗУ доступны в режиме как прямой, так и косвенной адресации. Из них первые 32 байта адресуются как четыре банка регистров общего назначения, а следующие 16 байт адресуются побайтно или побитно.

Все МК имеют встроенный блок 8-Кбайтного ОЗУ. К этому встроенному 8-Кбайтному блоку памяти можно обращаться во всем диапазоне адресов 64 Кбайтной внешней памяти данных (с перекрытием адресов по 8-Кбайтным границам). Все МК имеют также интерфейс внешней памяти (external memory interface – EMIF) для доступа к внешней памяти данных или к периферийным модулям, отображенным на эту память. На адресное пространство внешней памяти данных может быть отображена либо только встроенная память, либо только внешняя память, либо их комбинация (адреса до 8Кбайт относятся к встроенной памяти, адреса свыше 8Кбайт относятся к EMIF). EMIF может работать с мультиплексированными и немultipлексированными шинами адреса/данных.

Память программ МК C8051F12x и C8051F130/1 состоит из 128 Кбайт разделенной на банки Flash-памяти. 1024 байт памяти с адресами 0x1FC00 – 0x1FFF зарезервированы. Память программ МК C8051F132/3 состоит из 64 Кбайт Flash-памяти. Эта память может перепрограммироваться внутрисистемно секторами по 1024 байт, не требуя при этом специального внешнего напряжения программирования.

Во всех МК имеются также два 128-байтных сектора памяти, занимающие адреса от 0x20000 до 0x200FF, которые могут использоваться программой пользователя для хранения данных. На рис.1.8 приведена карта распределения памяти МК.

Рисунок 1.8. Карта распределения памяти



1.3. JTAG ОТЛАДЧИК И ИНТЕРФЕЙС ГРАНИЧНОГО СКАНИРОВАНИЯ

Все МК имеют встроенные интерфейс граничного сканирования и отладчик, которые посредством 4-х проводного интерфейса JTAG позволяют осуществлять в режиме реального времени «неразрушающую» (не используются внутренние ресурсы) внутрисхемную отладку, используя МК, установленный в конечное изделие. Посредством JTAG интерфейса, полностью совместимого с протоколом IEEE 1149.1, осуществляется граничное сканирование, которое используется для тестирования и производственных испытаний.

Средства отладки фирмы Silicon Labs поддерживают проверку и модификацию памяти и регистров, расстановку точек останова и временных меток, контроль стека, пошаговую отладку. При этом не требуется никаких специальных дополнительных ОЗУ, памяти программ, таймеров или каналов связи. Во время отладки все цифровые и аналоговые периферийные модули не отключаются и работают корректно. При остановке МК в точке останова или при пошаговой отладке работа всех периферийных модулей (кроме АЦП и SMBus) блокируется, что необходимо для удержания их в режиме синхронизации с выполнением команд.

Комплект средств разработки C8051F120DK содержит все аппаратные и программные средства, необходимые для разработки программного кода и выполнения внутрисхемной отладки систем на основе МК C8051F12x и C8051F13x.

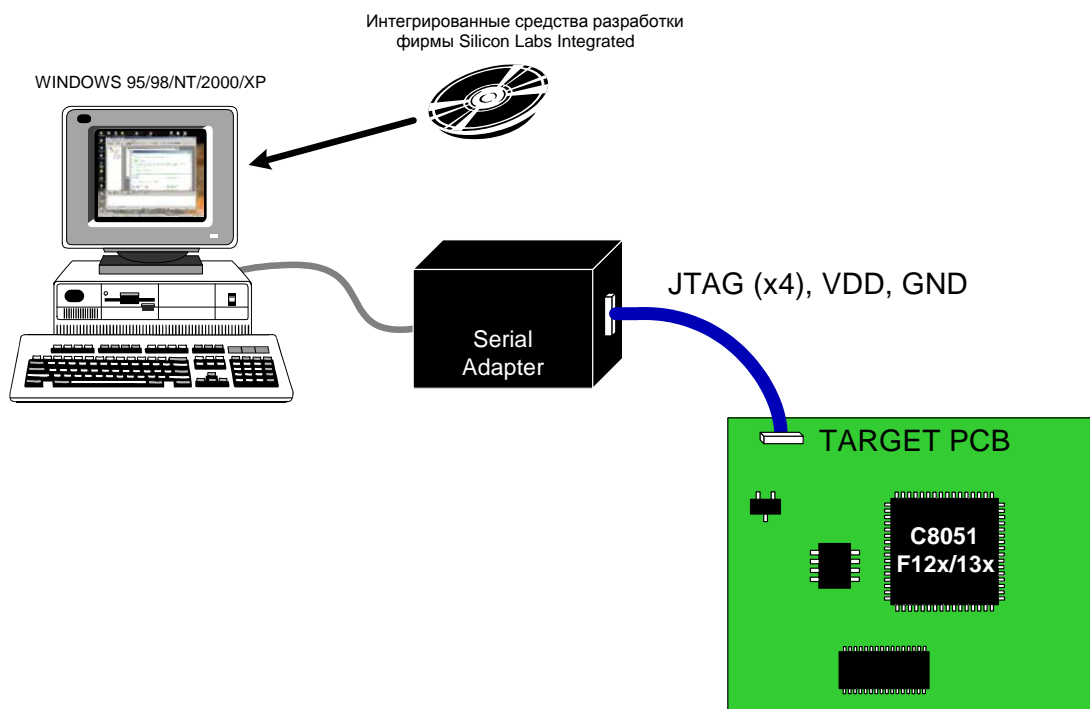
Этот комплект содержит программный пакет с интегрированной средой разработки, работающий под ОС Windows (95 или более поздней), адаптер последовательного порта для подключения к порту JTAG, а также демонстрационную плату с установленным МК C8051F120. Кроме этого имеются все необходимые кабели, а также блок питания в отдельном корпусе.

По сравнению со стандартными симуляторами предлагаемый Silicon Labs' способ разработки и отладки встроенных систем обеспечивает следующие преимущества:

- не требуется отладочный кристалл;
- не используются специализированные кабели;
- не требуется использовать разъем для установки МК на плату.

Отладочная среда фирмы Silicon Labs' обеспечивает удобство работы со встроенными прецизионными аналоговыми периферийными модулями, не ухудшая при этом их производительности.

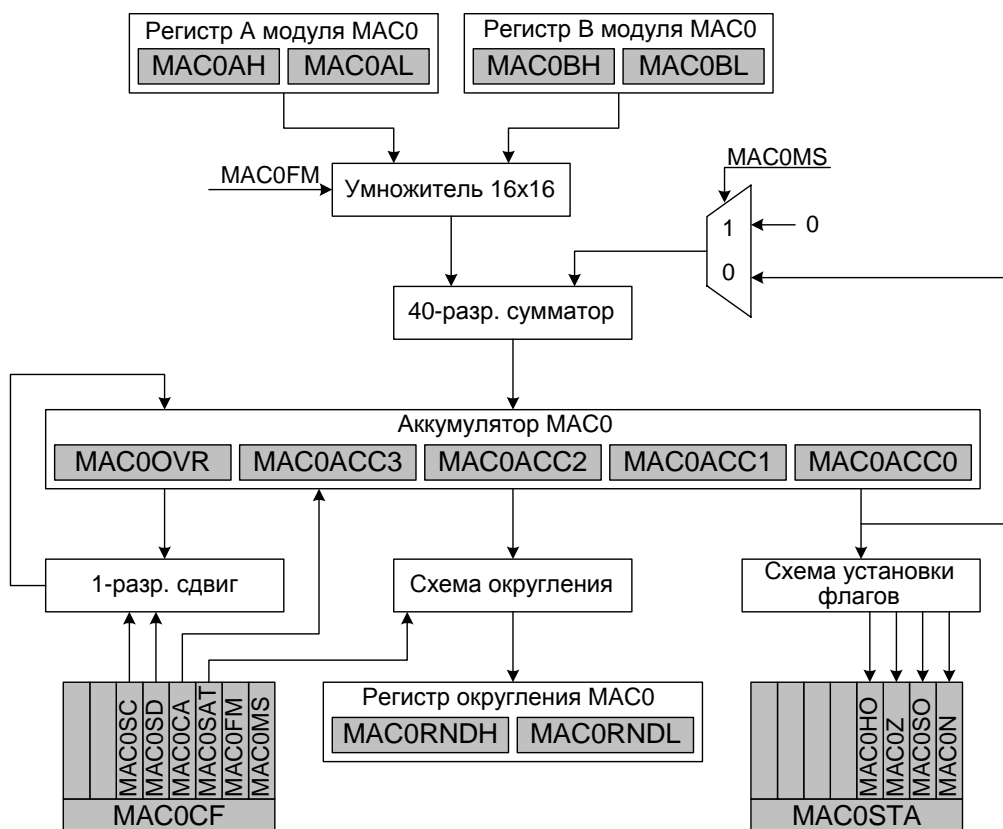
Рисунок 1.9. Модель отладки



1.4. Умножитель-аккумулятор 16x16 (MAC0)

МК C8051F120/1/2/3 и C8051F130/1/2/3 имеют умножитель-аккумулятор (MAC0), который можно использовать для ускорения многих математических операций. MAC0 содержит умножитель 16x16 бит и 40-разрядный сумматор, которые за два цикла SYSCLK могут выполнять операции умножения и умножения с накоплением над целыми или вещественными числами со знаком. Схема округления представляет округленный 16-разрядный результат в виде вещественного числа после окончания дополнительного (третьего) цикла SYSCLK. MAC0 содержит также 1-разрядную схему арифметического сдвига, которая за один цикл SYSCLK сдвигает влево или вправо содержимое 40-разрядного аккумулятора.

Рисунок 1.10. Структурная схема MAC0



1.5. Программируемые цифровые порты ввода/вывода и матрица соединений

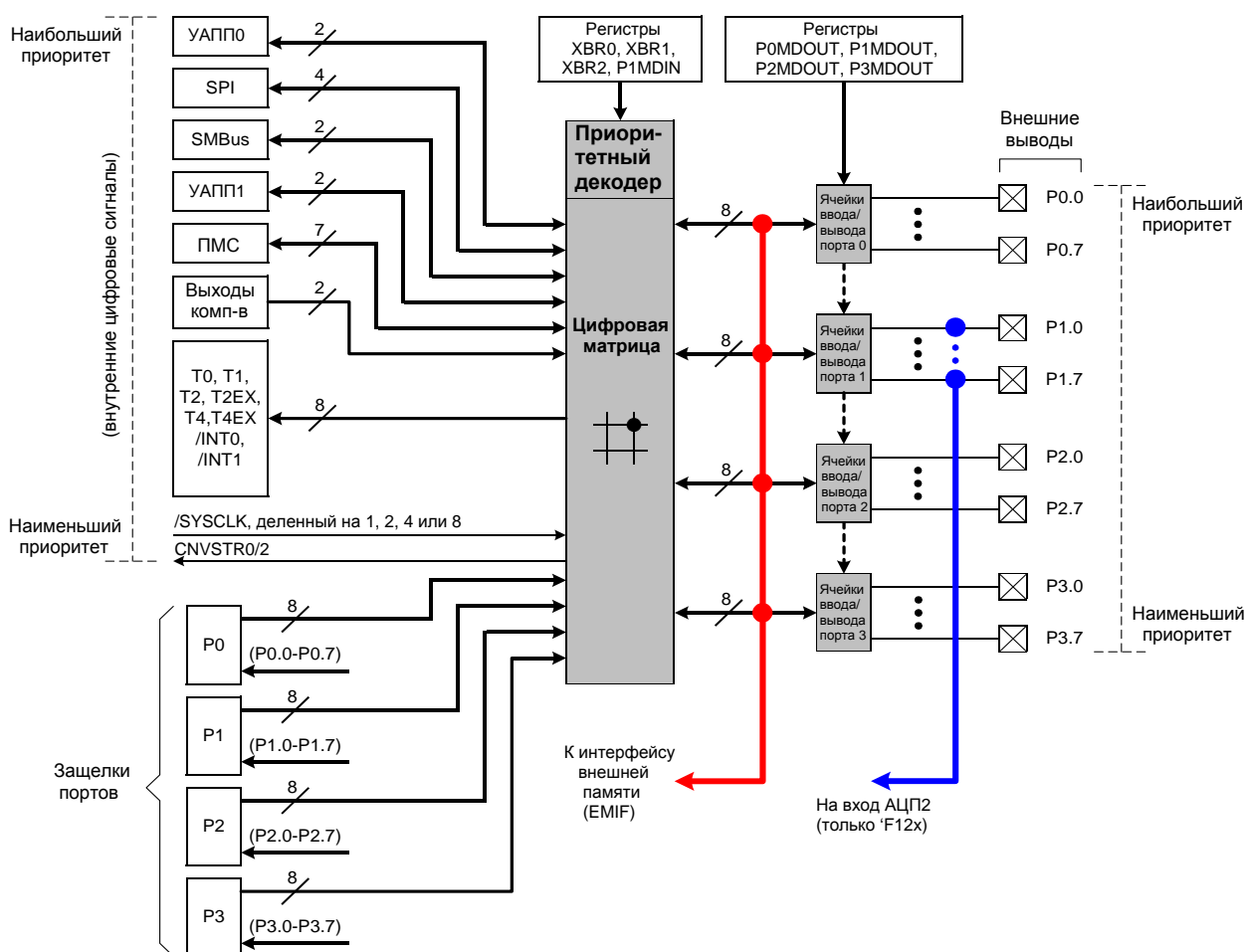
Все МК имеют стандартные для архитектуры 8051 порты (0, 1, 2 и 3). МК в корпусах типа 100TQFP имеют четыре дополнительных порта (4, 5, 6 и 7), т.е. всего 64 линии ввода/вывода общего назначения. Порты функционируют в соответствии со стандартом 8051 с некоторыми дополнительными возможностями.

Каждый вывод порта может быть настроен либо как цифровой вход-выход, либо как выход с открытым стоком. Кроме этого, возможно общее отключение подтягивающих резисторов (которые в стандартной архитектуре 8051 обычно нельзя отключать), что позволяет еще более снизить энергопотребление в критичных к этому параметру приложениях.

Наиболее важным усовершенствованием является цифровая матрица. По существу это большая сеть цифровой коммутации, которая позволяет необходимым образом соединять внутренние цифровые системные ресурсы с выводами портов ввода/вывода P0, P1, P2 и P3 (см. рис.1.11). При этом, в отличие от МК со стандартными мультиплексированными цифровыми портами ввода/вывода, возможны любые комбинации для МК в любом корпусе.

При помощи регистров управления матрицей на выводы портов могут быть выведены сигналы от встроенных таймеров/счетчиков, от последовательных интерфейсов, аппаратные прерывания, входной сигнал запуска АЦП, выходы компараторов и другие цифровые сигналы. Это позволяет пользователю выбрать точную комбинацию связей между портами ввода/вывода общего назначения и цифровыми ресурсами, необходимую для каждого конкретного приложения.

Рисунок 1.11. Структурная схема цифровой матрицы



1.6. Программируемый массив счетчиков (ПМС)

Все МК семейства кроме пяти 16-разрядных таймеров/счетчиков общего назначения имеют внутренний программируемый массив счетчиков (ПМС). ПМС состоит из специального 16-разрядного таймера/счетчика временных интервалов с шестью программируемыми модулями захват/сравнение. В качестве тактового сигнала для этого счетчика могут использоваться:

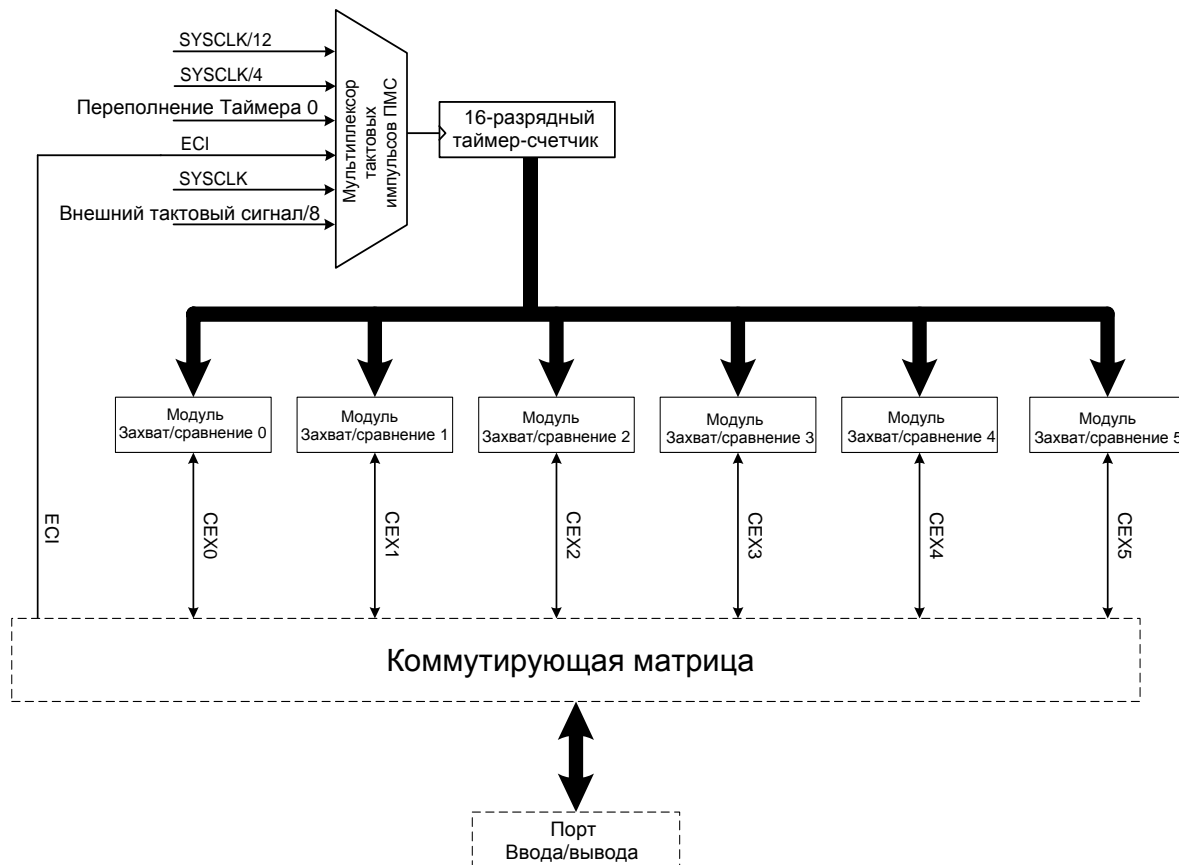
- сигнал системного тактового генератора с частотой, деленной на 12;
- сигнал системного тактового генератора с частотой, деленной на 4;
- сигнал переполнения таймера 0;
- сигнал от внешнего входа тактирования (ECI – external clock input);
- системный тактовый сигнал;
- сигнал внешнего генератора с частотой, деленной на 8.

Каждый модуль захват/сравнение может быть настроен на работу в одном из шести режимах:

- захват, управляемый фронтом (сигнала);
- программный таймер;
- высокоскоростной выход;
- выход заданной частоты;
- 8-разрядный широтно-импульсный модулятор;
- 16-разрядный широтно-импульсный модулятор.

Входы/выходы модулей захват/сравнение ПМС и внешний вход тактирования (ECI) соединены с портами ввода/вывода МК через цифровую коммутирующую матрицу.

Рисунок 1.12. Структурная схема модуля ПМС



1.7. Последовательные порты

В МК семейства C8051F06x встроены следующие последовательные интерфейсы:

- два усовершенствованных полнодуплексных УАПП;
- SPI;
- I2C/SMBus.

Каждый из этих интерфейсов реализован на аппаратном уровне и широко использует прерывания, требуя лишь незначительного вмешательства со стороны программы пользователя. Эти интерфейсы не имеют общих ресурсов, таких как таймеры, прерывания или порты ввода/вывода, поэтому все они могут использоваться одновременно.

1.8. 12-разрядный или 10-разрядный аналого-цифровой преобразователь

Каждый МК имеет встроенный 12-разрядный или 10-разрядный АЦП (АЦП0) последовательного приближения с 9-канальным входным мультиплексором и программируемым усилителем. При максимальной производительности 100 тыс. преобразований в секунду эти 12-разр. и 10-разр. АЦП обеспечивают 12-битную точность преобразования с нелинейностью на уровне $\pm 1\text{МЗР}$. В качестве опорного напряжения АЦП0 может использоваться напряжение с внешнего вывода VREF или (в МК C8051F12x) выходной сигнал ЦАП0. МК в корпусах типа 100TQFP имеют специальный (отдельный) вывод входа опорного напряжения для АЦП0; МК в корпусах типа 64TQFP имеют общий вывод входа опорного напряжения для АЦП0 и для 8-разрядного АЦП2. Встроенный источник опорного напряжения генерирует и выдает на вывод VREF опорное напряжение, которое может использоваться для встроенных АЦП или для других (внешних) компонентов системы.

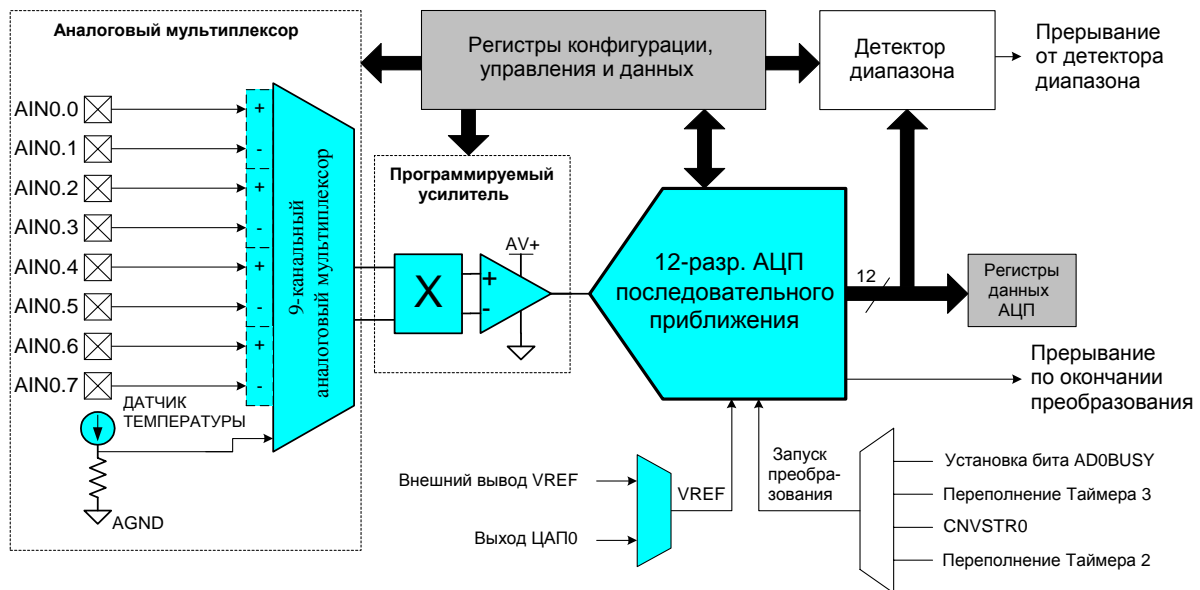
Управление АЦП осуществляется при помощи регистров специального назначения. Один входной канал подключен к внутреннему датчику температуры, остальные восемь каналов могут быть настроены как два однофазных входа или как один дифференциальный вход. Имеется возможность отключения АЦП с целью уменьшения энергопотребления.

К выходу аналогового мультиплексора подключен усилитель с программируемым коэффициентом усиления. Коэффициент усиления можно задать программно из следующего ряда значений: 0.5, 1, 2, 4, 8, 16. Усилитель может быть крайне полезен, когда сигналы на разных входных каналах АЦП сильно отличаются друг от друга, либо когда необходимо оценить сигнал с большим смещением постоянной составляющей (в дифференциальном режиме для формирования напряжения смещения постоянной составляющей может использоваться ЦАП).

Преобразование может быть запущено четырьмя способами: командой в программе, при переполнении таймера 2, при переполнении таймера 3 или внешним входным сигналом. Такая гибкость позволяет запускать преобразование при возникновении определенных программных событий, по сигналам от внешних устройств или периодически при переполнении таймера. По окончании преобразования устанавливается специальный бит состояния и инициируется прерывание, если оно разрешено, после чего полученное 10-разрядное или 12-разрядное слово данных записывается в два регистра специального назначения. Результат преобразования может быть выровнен вправо или влево (задается программно).

АЦП может быть настроен таким образом, чтобы генерировать прерывание лишь при попадании или непопадании результата преобразования в заданный диапазон значений (окно). АЦП может непрерывно отслеживать сигнал в фоновом режиме, но не прерывать МК до тех пор, пока преобразованные данные находятся в пределах заданного окна.

Рисунок 1.13. Структурная схема 12-разрядного АЦП



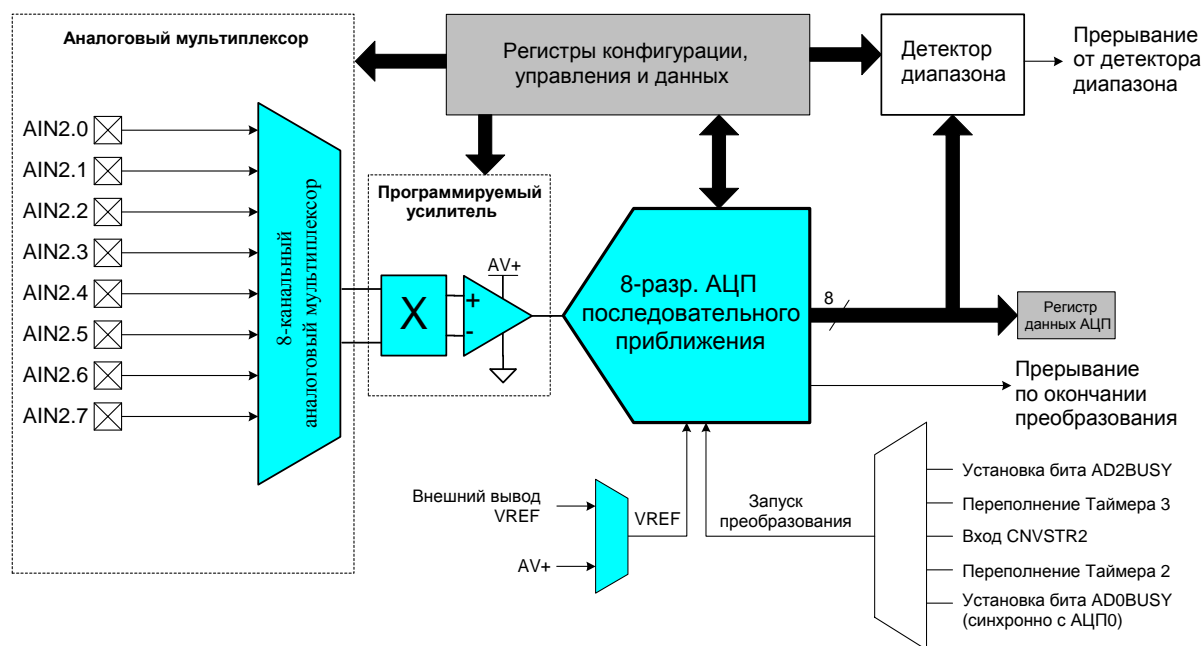
1.9. 8-разрядный аналого-цифровой преобразователь

МК C8051F12x имеют встроенный 8-разрядный АЦП (АЦП2) последовательного приближения с 8-канальным входным мультиплексором и программируемым усилителем. Этот АЦП отличается максимальной производительностью 500 тыс. преобразований в секунду и 8-битной точностью преобразования с нелинейностью на уровне $\pm 1\text{МЗР}$. Все восемь входных выводов доступны для проведения измерений. Управление АЦП осуществляется при помощи регистров специального назначения. В качестве опорного напряжения АЦП2 может использоваться напряжение питания аналоговых цепей (AV+) и внешнее напряжение с вывода VREF. МК в корпусах типа 100TQFP имеют специальный (отдельный) вывод входа опорного напряжения для АЦП2; МК в корпусах типа 64TQFP имеют общий вывод входа опорного напряжения для АЦП2 и для АЦП0. Имеется возможность отключения АЦП2 с целью уменьшения энергопотребления.

К выходу аналогового мультиплексора подключен усилитель с программируемым коэффициентом усиления. Усилитель может быть крайне полезен, когда сигналы на разных входных каналах АЦП сильно отличаются друг от друга, либо когда необходимо оценить сигнал с большим смещением постоянной составляющей (в дифференциальном режиме для формирования напряжения смещения постоянной составляющей может использоваться ЦАП). Можно задать программно следующие значения для коэффициента усиления: 0,5, 1, 2 или 4.

Гибкая система управления преобразованиями позволяет инициировать преобразование АЦП2 командой из программы, внешним входным сигналом или по переполнению таймера. Кроме этого преобразования АЦП2 можно синхронизировать с программно-управляемыми преобразованиями АЦП0. По окончании преобразования устанавливается специальный бит состояния и инициируется прерывание, если оно разрешено, после чего полученное 8-разрядное слово данных АЦП записывается в регистр специального назначения.

Рисунок 1.14. Структурная схема 8-разрядного АЦП

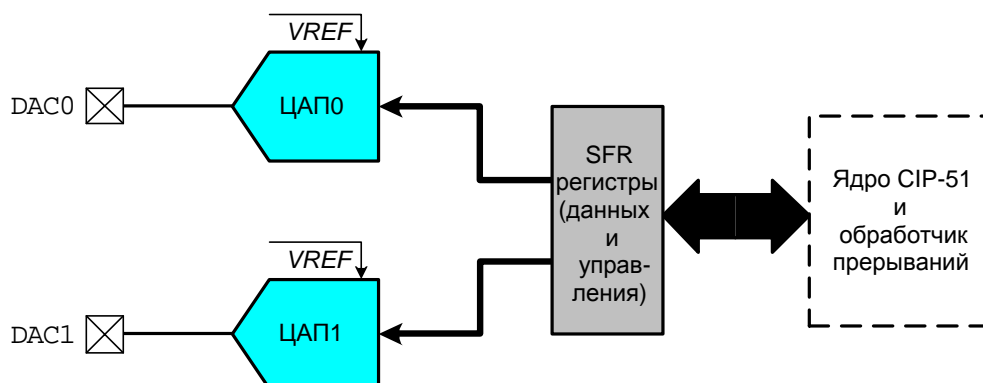


1.10. 12-разрядные ЦАП

МК C8051F12x имеет два встроенных 12-разрядных ЦАП. Управление каждым ЦАП осуществляется через регистры специального назначения. Любой ЦАП может быть переведен в режим пониженного энергопотребления.

Выходным сигналом ЦАП является напряжение. ЦАП имеет гибкий механизм обновления выходного сигнала, который позволяет производить обновление сигнала на выходе ЦАП либо командой из программы, либо по переполнению таймеров 2, 3 или 4. Опорное напряжение ЦАП подается через специальный входной вывод VREFD (в МК в корпусах типа 100TQFP) или от внутреннего источника опорного напряжения (в МК в корпусах типа 64TQFP). ЦАП удобно использовать для формирования порогового напряжения компаратора или напряжения смещения дифференциальных входов АЦП.

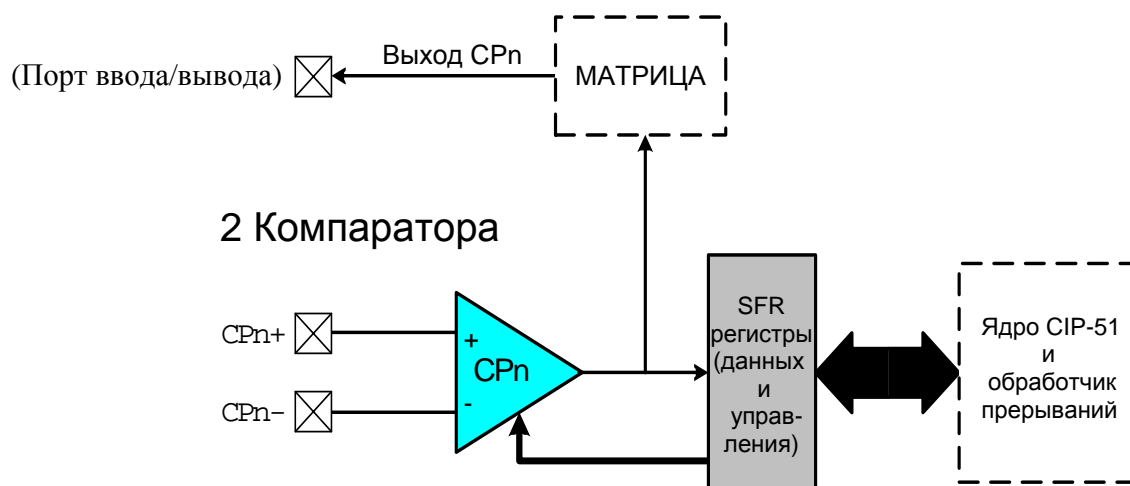
Рисунок 1.15. Структурная схема ЦАП



1.11. Аналоговые компараторы

Каждый МК имеет два встроенных аналоговых компаратора с отдельными входными выводами. Компараторы допускают программирование гистерезиса и времени отклика. Каждый компаратор может генерировать прерывание по переднему или заднему фронту петли гистерезиса, либо по обоим фронтам. Эти прерывания могут вывести МК из режима остановки, а прерывание от Компаратора 0 может также использоваться в качестве источника сброса. Состояние выходов компараторов можно опрашивать программно. Кроме этого, с помощью коммутирующей матрицы можно вывести сигналы с выходов компараторов на внешние порты ввода/вывода. Когда компараторы не используются, их можно перевести в режим пониженного энергопотребления.

Рисунок 1.16. Структурная схема компаратора



2. ПРЕДЕЛЬНО ДОПУСТИМЫЕ ПАРАМЕТРЫ

Таблица 2.1. Предельно допустимые параметры *

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Предельная рабочая температура		- 55		125	°C
Температура хранения		- 65		150	°C
Напряжение на любом выводе (кроме Vdd и портов ввода/вывода) относительно DGND		- 0,3		VDD + 0,3	В
Напряжение на выводе /RST или на выводе любого порта ввода/вывода относительно DGND		- 0,3		5,8	В
Напряжение на выводе Vdd относительно DGND		- 0,3		4,2	В
Максимальный суммарный ток выводов VDD, AV+, DGND и AGND				800	мА
Максимальный выходной втекающий ток любого вывода порта ввода/вывода				100	мА
Максимальный выходной втекающий ток любого другого вывода				50	мА
Максимальный выходной втекающий ток любого вывода порта ввода/вывода				100	мА
Максимальный выходной втекающий ток любого другого вывода				50	мА

* Выход за указанные значения может привести к необратимым повреждениям микроконтроллера. Работа микроконтроллера в предельном режиме в течение длительного времени не предусмотрена. Длительная эксплуатация микроконтроллера в недопустимых условиях может повлиять на его надежность.

3. ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

Таблица 3.1. Основные электрические параметры (C8051F120/1/2/3 и C8051F130/1/2/3)

Температура от -40°C до +85°C, тактовая частота 100МГц, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Напряжение источника питания аналоговых цепей (см. примечание 1)	SYSCLK = 0 ... 50 МГц SYSCLK > 50 МГц	2.7 3.0	3.0 3.3	3.6 3.6	В В
Ток потребления аналоговых модулей (активных)	Все внутренние ИОН, АЦП, ЦАП, компараторы включены		1,7		мА
Ток потребления аналоговых модулей (отключенных)	Все внутренние ИОН, АЦП, ЦАП, компараторы отключены, генератор отключен.		0,2		мкА
Разность между напряжениями питания аналоговых и цифровых цепей ($ VDD - AV+ $)				0.5	В
Напряжение питания цифровых цепей (VDD)	SYSCLK = 0 ... 50 МГц SYSCLK > 50 МГц	2.7 3.0	3.0 3.3	3.6 3.6	В В
Ток потребления ЦПУ и цифровых модулей (ЦПУ в активном режиме)	VDD = 3.0В, Частота = 100 МГц VDD = 3.0В, Частота = 50 МГц VDD = 3.0В, Частота = 1 МГц VDD = 3.0В, Частота = 32 кГц		65 35 1 33		мА мА мА мкА
Ток потребления ЦПУ и цифровых модулей (ЦПУ остановлено, нет обращений к Flash-памяти)	VDD = 3.0В, Частота = 100 МГц VDD = 3.0В, Частота = 50 МГц VDD = 3.0В, Частота = 1 МГц VDD = 3.0В, Частота = 32 кГц		40 20 0.4 15		мА мА мА мкА
Ток потребления в режиме пониженного энергопотребления	Генератор остановлен		0,4		мкА
Напряжение сохранения данных ОЗУ			1.5		В
SYSCLK (системная тактовая частота) (см. примечания 2 и 3)	VDD, AV+ = 2.7 – 3.6В VDD, AV+ = 3.0 – 3.6В	0 0		50 100	МГц МГц
Рабочая температура		-40		+85	°C

Примечание 1: При напряжении питания аналоговых цепей AV+ менее 1В схема слежения за напряжением питания не работает.

Примечание 2: SYSCLK – внутренний тактовый сигнал МК. Для функционирования с тактовой частотой более 30 МГц сигнал SYSCLK необходимо получать с выхода системы ФАПЧ.

Примечание 3: Отладка невозможна при SYSCLK менее 32 кГц.

Таблица 3.2. Основные электрические параметры (C8051F124/5/6/7)

Температура от -40°C до +85°C, тактовая частота 50МГц, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Напряжение источника питания аналоговых цепей	(см. примечание 1)	2.7	3.0	3.6	В
Ток потребления аналоговых модулей (активных)	Все внутренние ИОН, АЦП, ЦАП, компараторы включены		1,7		мА
Ток потребления аналоговых модулей (отключенных)	Все внутренние ИОН, АЦП, ЦАП, компараторы отключены, генератор отключен.		0,2		мкА
Разность между напряжениями питания аналоговых и цифровых цепей ($V_{DD} - AV+$)				0.5	В
Напряжение питания цифровых цепей (V_{DD})		2.7	3.0	3.6	В
Ток потребления ЦПУ и цифровых модулей (ЦПУ в активном режиме)	$V_{DD} = 3.0В$, Частота = 50 МГц $V_{DD} = 3.0В$, Частота = 1 МГц $V_{DD} = 3.0В$, Частота = 32 кГц		35 1 33		мА мА мкА
Ток потребления ЦПУ и цифровых модулей (ЦПУ остановлено, нет обращений к Flash-памяти)	$V_{DD} = 3.0В$, Частота = 50 МГц $V_{DD} = 3.0В$, Частота = 1 МГц $V_{DD} = 3.0В$, Частота = 32 кГц		27 0.4 15		мА мА мкА
Ток потребления в режиме пониженного энергопотребления	Генератор остановлен		0,4		мкА
Напряжение сохранения данных ОЗУ			1.5		В
SYSCLK (системная тактовая частота) (см. примечания 2 и 3)		0		50	МГц
Рабочая температура		-40		+85	°C

Примечание 1: При напряжении питания аналоговых цепей $AV+$ менее 1В схема слежения за напряжением питания не работает.

Примечание 2: SYSCLK – внутренний тактовый сигнал МК. Для функционирования с тактовой частотой более 30 МГц сигнал SYSCLK необходимо получать с выхода системы ФАПЧ.

Примечание 3: Отладка невозможна при SYSCLK менее 32 кГц.

4. ОПИСАНИЕ КОРПУСОВ И ВЫВОДОВ

Таблица 4.1. Описание выводов

Обоз- начение вывода	Номер вывода				Тип	Описание
	'F120 'F122 'F124 '126	'F121 'F123 'F125 'F127	'F130 'F132	'F131 'F133		
VDD	37, 64, 90	24, 41 57	37, 64, 90	24, 41 57		Напряжение питания цифровых цепей (+2,7В ... +3,6В).
DGND	38, 63, 89	25, 40, 56	38, 63, 89	25, 40, 56		Общий вывод питания цифровых цепей.
AV+	11, 14	6	11, 14	6		Напряжение питания аналоговых цепей (+2,7В ... +3,6В).
AGND	10, 13	5	10, 13	5		Общий вывод питания аналоговых цепей.
TCK	2	59	2	59	D In	JTAG: тактовый вход с внутренним подтягивающим резистором
TMS	1	58	1	58	D In	JTAG: вход выбора режима с внутренним подтягивающим резистором
TDI	3	60	3	60	D In	JTAG: вход данных с внутренним подтягивающим резистором. Данные стробируются по переднему фронту сигнала TCK
TDO	4	61	4	61	D Out	JTAG: выход данных (трех стабильный) с внутренним подтягивающим резистором. Данные выдаются на выход TDO по заднему фронту сигнала TCK
XTAL1	26	17	26	17	A In	Вход генератора. Вход внешнего тактового сигнала.
XTAL2	27	18	27	18	A Out	Выход генератора. Подключается кварцевый или керамический резонатор
/RST	5	62	5	62	D I/O	Сброс МК. Выход с открытым стоком внутренней схемы слежения за напряжением питания. Устанавливается в низкий логический уровень, если Vdd < V _{RST} и MONEN=1. Внешний источник может вызвать сброс МК, установив низкий логический уровень на этом выводе.
MONEN	28	19	28	19	D In	Включение схемы слежения за напряжением питания. Установка напряжения высокого уровня на этом выводе приведет к включению схемы слежения за напряжением питания, которая вызовет системный сброс, если Vdd станет меньше V _{RST} . Установка напряжения низкого уровня на этом выводе приведет к отключению схемы слежения за напряжением питания. Этот вывод нельзя оставлять неподключенным.
VREF	12	7	12	7	A I/O	Выход стабилизированного опорного напряжения (все МК). Вход опорного напряжения ЦАП (только C8051F121/3/5/7).
VREFA		8			A In	Вход опорного напряжения АЦП0 и АЦП2.
VREF0	16		16	8	A In	Вход опорного напряжения АЦП0.
VREF2	17		17		A In	Вход опорного напряжения АЦП2.
VREFD	15		15		A In	Вход опорного напряжения ЦАП
AIN0.0	18	9	18	9	A In	Входной канал 0 АЦП0
AIN0.1	19	10	19	10	A In	Входной канал 1 АЦП0
AIN0.2	20	11	20	11	A In	Входной канал 2 АЦП0
AIN0.3	21	12	21	12	A In	Входной канал 3 АЦП0
AIN0.4	22	13	22	13	A In	Входной канал 4 АЦП0
AIN0.5	23	14	23	14	A In	Входной канал 5 АЦП0
AIN0.6	24	15	24	15	A In	Входной канал 6 АЦП0
AIN0.7	25	16	25	16	A In	Входной канал 7 АЦП0
CP0+	9	4	9	4	A In	Неинвертирующий вход компаратора 0.
CP0-	8	3	8	3	A In	Инвертирующий вход компаратора 0.
CP1+	7	2	7	2	A In	Неинвертирующий вход компаратора 1.
CP1-	6	1	6	1	A In	Инвертирующий вход компаратора 1.
DAC0	100	64			A Out	Выход ЦАП0
DAC1	99	63			A Out	Выход ЦАП1

Таблица 4.1. Описание выводов (продолжение)

Обоз- начение вывода	Номер вывода				Тип	Описание
	'F120 'F122 'F124 '126	'F121 'F123 'F125 'F127	'F130 'F132	'F131 'F133		
P0.0	62	55	62	55	D I/O	Порт 0.0.
P0.1	61	54	61	54	D I/O	Порт 0.1.
P0.2	60	53	60	53	D I/O	Порт 0.2.
P0.3	59	52	59	52	D I/O	Порт 0.3.
P0.4	58	51	58	51	D I/O	Порт 0.4.
ALE/P0.5	57	50	57	50	D I/O	Строб ALE шины адреса интерфейса внешней памяти (мультиплексированный режим). Порт 0.5.
/RD/P0.6	56	49	56	49	D I/O	Строб /RD шины адреса интерфейса внешней памяти. Порт 0.6.
/WR/P0.7	55	48	55	48	D I/O	Строб /WR шины адреса интерфейса внешней памяти. Порт 0.7.
AIN2.0/A8/P1.0	36	33	36	33	A In D I/O	Входной канал 0 АЦП2 (только C8051F060/1/2/3). Бит 8 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 1.0.
AIN2.1/A9/P1.1	35	32	35	32	A In D I/O	Входной канал 1 АЦП2 (только C8051F060/1/2/3). Бит 9 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 1.1.
AIN2.2/A10/P1.2	34	31	34	31	A In D I/O	Входной канал 2 АЦП2 (только C8051F060/1/2/3). Бит 10 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 1.2.
AIN2.3/A11/P1.3	33	30	33	30	A In D I/O	Входной канал 3 АЦП2 (только C8051F060/1/2/3). Бит 11 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 1.3.
AIN2.4/A12/P1.4	32	29	32	29	A In D I/O	Входной канал 4 АЦП2 (только C8051F060/1/2/3). Бит 12 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 1.4.
AIN2.5/A13/P1.5	31	28	31	28	A In D I/O	Входной канал 5 АЦП2 (только C8051F060/1/2/3). Бит 13 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 1.5.
AIN2.6/A14/P1.6	30	25	30	25	A In D I/O	Входной канал 6 АЦП2 (только C8051F060/1/2/3). Бит 14 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 1.6.
AIN2.7/A15/P1.7	29	24	29	24	A In D I/O	Входной канал 7 АЦП2 (только C8051F060/1/2/3). Бит 15 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 1.7.
A8m/A0/P2.0	46	37	46	37	D I/O	Бит 8 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 0 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 2.0.
A9m/A1/P2.1	45	36	45	36	D I/O	Бит 9 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 1 шины адреса интерфейса внешней памяти (немultipлексированный режим). Порт 2.1.

C8051F120/1/2/3/4/5/6/7

C8051F130/1/2/3

Обоз- начение вывода	Номер вывода				Тип	Описание
	'F120 'F122 'F124 '126	'F121 'F123 'F125 'F127	'F130 'F132	'F131 'F133		
A10m/A2/P2.2	44	35	44	35	D I/O	Бит 10 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 2 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 2.2.
A11m/A3/P2.3	43	34	43	34	D I/O	Бит 11 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 3 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 2.3.
A12m/A4/P2.4	42	33	42	33	D I/O	Бит 12 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 4 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 2.4.
A13m/A5/P2.5	41	32	41	32	D I/O	Бит 13 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 5 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 2.5.
A14m/A6/P2.6	40	31	40	31	D I/O	Бит 14 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 6 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 2.6.
A15m/A7/P2.7	39	30	39	30	D I/O	Бит 15 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 7 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 2.7.
AD0/D0/P3.0	54	47	54	47	D I/O	Бит 0 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 0 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 3.0.
AD1/D1/P3.1	53	46	53	46	D I/O	Бит 1 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 1 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 3.1.
AD2/D2/P3.2	52	45	52	45	D I/O	Бит 2 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 2 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 3.2.
AD3/D3/P3.3	51	44	51	44	D I/O	Бит 3 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 3 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 3.3.
AD4/D4/P3.4	50	43	50	43	D I/O	Бит 4 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 4 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 3.4.
AD5/D5/P3.5	49	42	49	42	D I/O	Бит 5 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 5 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 3.5.



Таблица 4.1. Описание выводов (продолжение)

Обоз- начение вывода	Номер вывода				Тип	Описание
	*F120 *F122 *F124 *126	*F121 *F123 *F125 *F127	*F130 *F132	*F131 *F133		
AD6/D6/P3.6	48	39	48	39	D I/O	Бит 6 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 6 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 3.6.
AD7/D7/P3.7	47	38	47	38	D I/O	Бит 7 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 7 шины данных интерфейса внешней памяти (немультимплексированный режим). Порт 3.7.
P4.0	98		98		D I/O	Порт 4.0.
P4.1	97		97		D I/O	Порт 4.1.
P4.2	95		95		D I/O	Порт 4.2.
P4.3	95		95		D I/O	Порт 4.3.
P4.4	94		94		D I/O	Порт 4.4.
ALE/P4.5	93		93		D I/O	Строб ALE шины адреса интерфейса внешней памяти (мультиплексированный режим). Порт 4.5.
/RD/P4.6	92		92		D I/O	Строб /RD шины адреса интерфейса внешней памяти. Порт 4.6.
/WR/P4.7	91		91		D I/O	Строб /WR шины адреса интерфейса внешней памяти. Порт 4.7.
A8 /P5.0	88		88		D I/O	Бит 8 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 5.0.
A9 /P5.1	87		87		D I/O	Бит 9 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 5.1.
A10 /P5.2	86		86		D I/O	Бит 10 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 5.2.
A11 /P5.3	85		85		D I/O	Бит 11 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 5.3.
A12 /P5.4	84		84		D I/O	Бит 12 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 5.4.
A13 /P5.5	83		83		D I/O	Бит 13 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 5.5.
A14 /P5.6	82		82		D I/O	Бит 14 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 5.6.
A15 /P5.7	81		81		D I/O	Бит 15 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 5.7.
A8m/A0/P6.0	80		80		D I/O	Бит 8 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 0 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 6.0.
A9m/A1/P6.1	79		79		D I/O	Бит 9 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 1 шины адреса интерфейса внешней памяти (немультимплексированный режим). Порт 6.1.

Таблица 4.1. Описание выводов (продолжение)

Обоз- начение вывода	Номер вывода				Тип	Описание
	'F120 'F122 'F124 '126	'F121 'F123 'F125 'F127	'F130 'F132	'F131 'F133		
A10m/A2/P6.2	78		78		D I/O	Бит 10 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 2 шины адреса интерфейса внешней памяти (немультиплексированный режим). Порт 6.2.
A11m/A3/P6.3	77		77		D I/O	Бит 11 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 3 шины адреса интерфейса внешней памяти (немультиплексированный режим). Порт 6.3.
A12m/A4/P6.4	76		76		D I/O	Бит 12 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 4 шины адреса интерфейса внешней памяти (немультиплексированный режим). Порт 6.4.
A13m/A5/P6.5	75		75		D I/O	Бит 13 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 5 шины адреса интерфейса внешней памяти (немультиплексированный режим). Порт 6.5.
A14m/A6/P6.6	74		74		D I/O	Бит 14 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 6 шины адреса интерфейса внешней памяти (немультиплексированный режим). Порт 6.6.
A15m/A7/P6.7	73		73		D I/O	Бит 15 шины адреса интерфейса внешней памяти (мультиплексированный режим). Бит 7 шины адреса интерфейса внешней памяти (немультиплексированный режим). Порт 6.7.
AD0/D0/P7.0	72		72		D I/O	Бит 0 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 0 шины данных интерфейса внешней памяти (немультиплексированный режим). Порт 7.0.
AD1/D1/P7.1	71		71		D I/O	Бит 1 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 1 шины данных интерфейса внешней памяти (немультиплексированный режим). Порт 7.1.
AD2/D2/P7.2	70		70		D I/O	Бит 2 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 2 шины данных интерфейса внешней памяти (немультиплексированный режим). Порт 7.2.
AD3/D3/P7.3	69		69		D I/O	Бит 3 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 3 шины данных интерфейса внешней памяти (немультиплексированный режим). Порт 7.3.
AD4/D4/P7.4	68		68		D I/O	Бит 4 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 4 шины данных интерфейса внешней памяти (немультиплексированный режим). Порт 7.4.

Таблица 4.1. Описание выводов (продолжение)

Обоз- начение вывода	Номер вывода				Тип	Описание
	'F120 'F122 'F124 '126	'F121 'F123 'F125 'F127	'F130 'F132	'F131 'F133		
AD5/D5/P7.5	67		67		D I/O	Бит 5 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 5 шины данных интерфейса внешней памяти (немultipлексированный режим). Порт 7.5.
AD6/D6/P7.6	66		66		D I/O	Бит 6 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 6 шины данных интерфейса внешней памяти (немultipлексированный режим). Порт 7.6.
AD7/D7/P7.7	65		65		D I/O	Бит 7 шины адреса/данных интерфейса внешней памяти (мультиплексированный режим). Бит 7 шины данных интерфейса внешней памяти (немultipлексированный режим). Порт 7.7.
NC			15, 17, 99, 100	63, 64		Не подсоединены.

ПРИМЕЧАНИЯ

C8051F120/1/2/3/4/5/6/7

C8051F130/1/2/3

Рисунок 4.1. Цоколевка корпуса TQFP-100 (C8051F120/2/4/6)

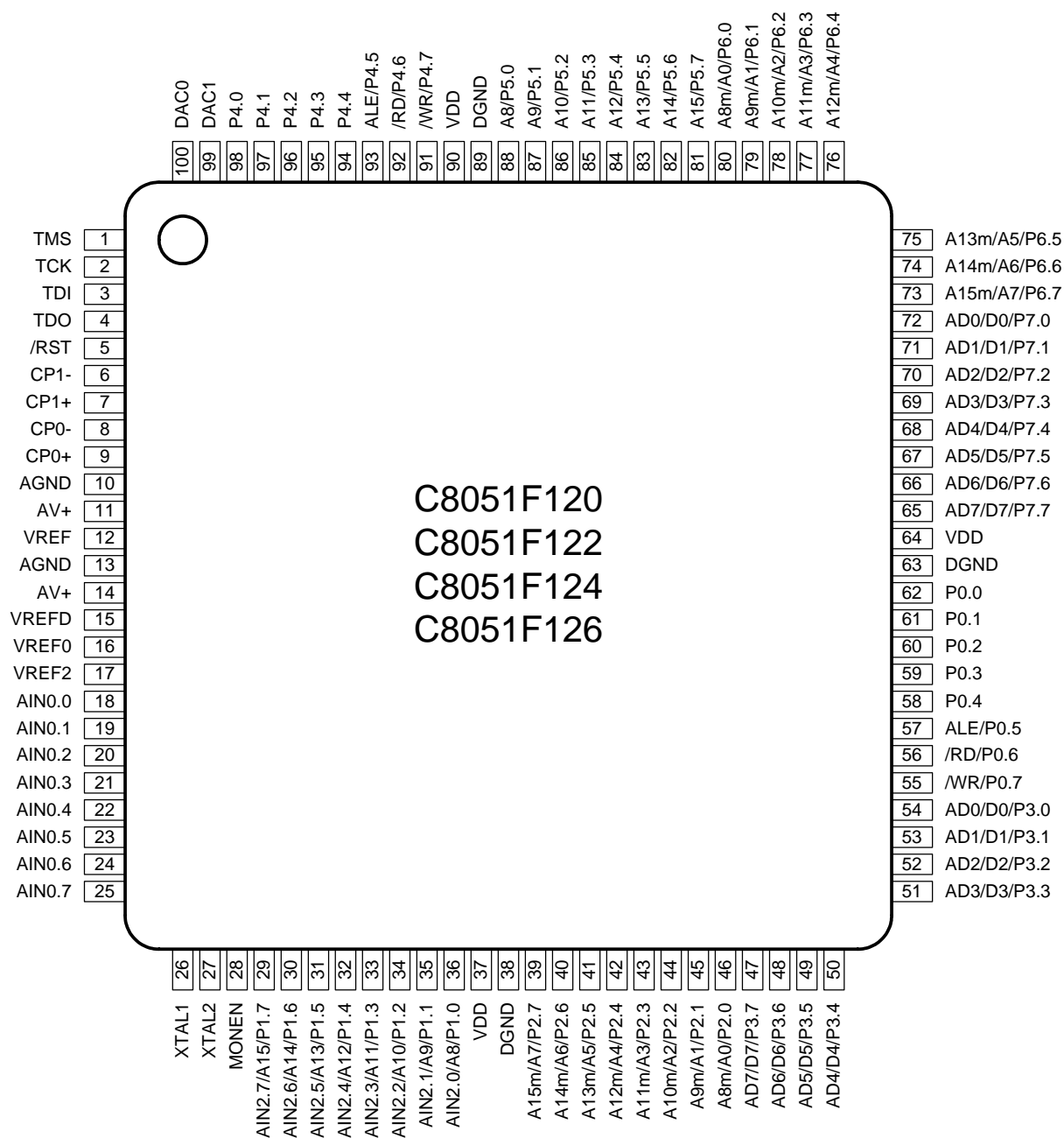


Рисунок 4.2. Цоколевка корпуса TQFP-100 (C8051F130/2)

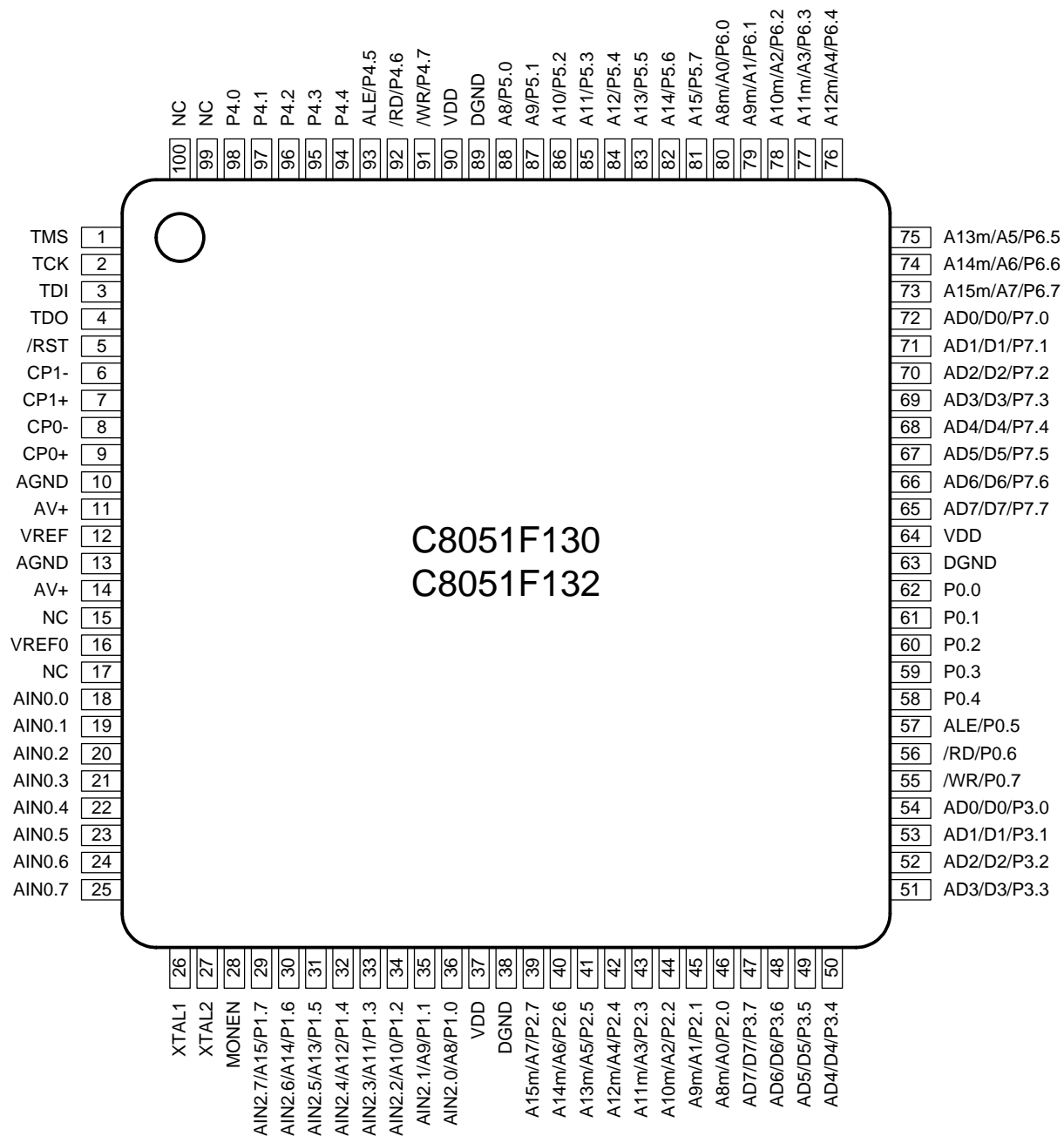


Рисунок 4.3. Чертеж корпуса TQFP-100

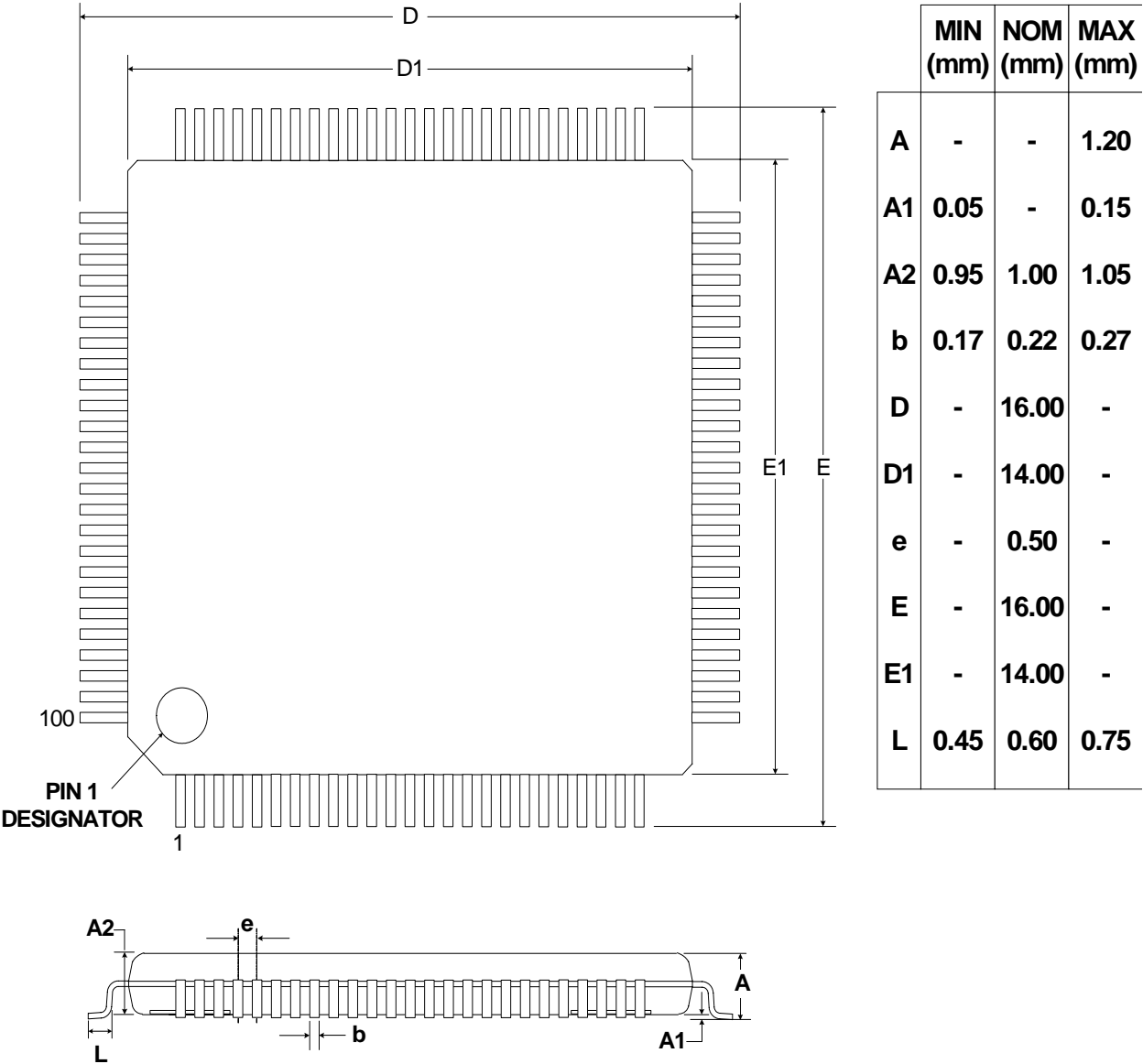


Рисунок 4.4. Цоколевка корпуса TQFP-64 (C8051F121/3/5/7)

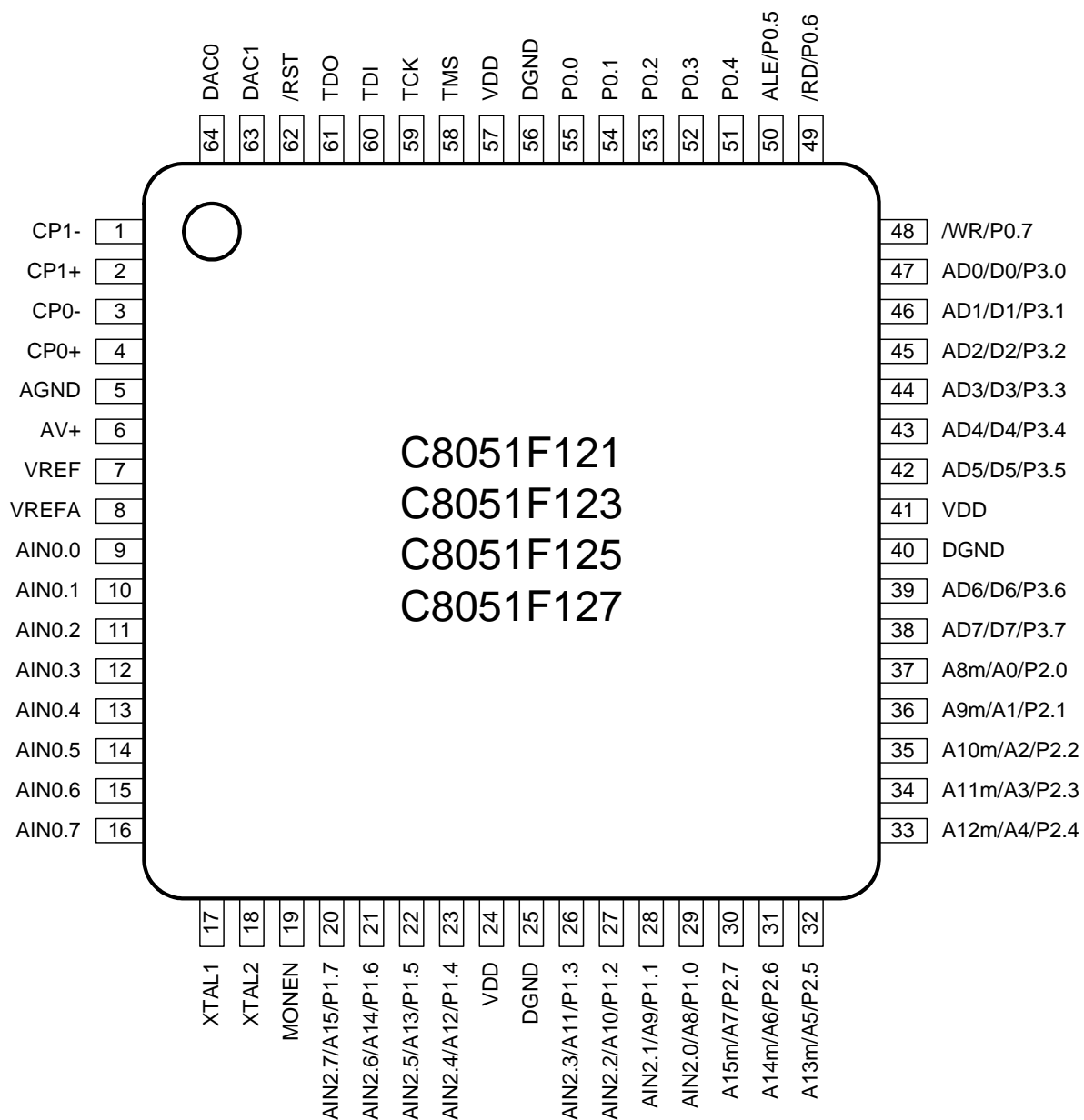


Рисунок 4.5. Цоколевка корпуса TQFP-64 (C8051F131/3)

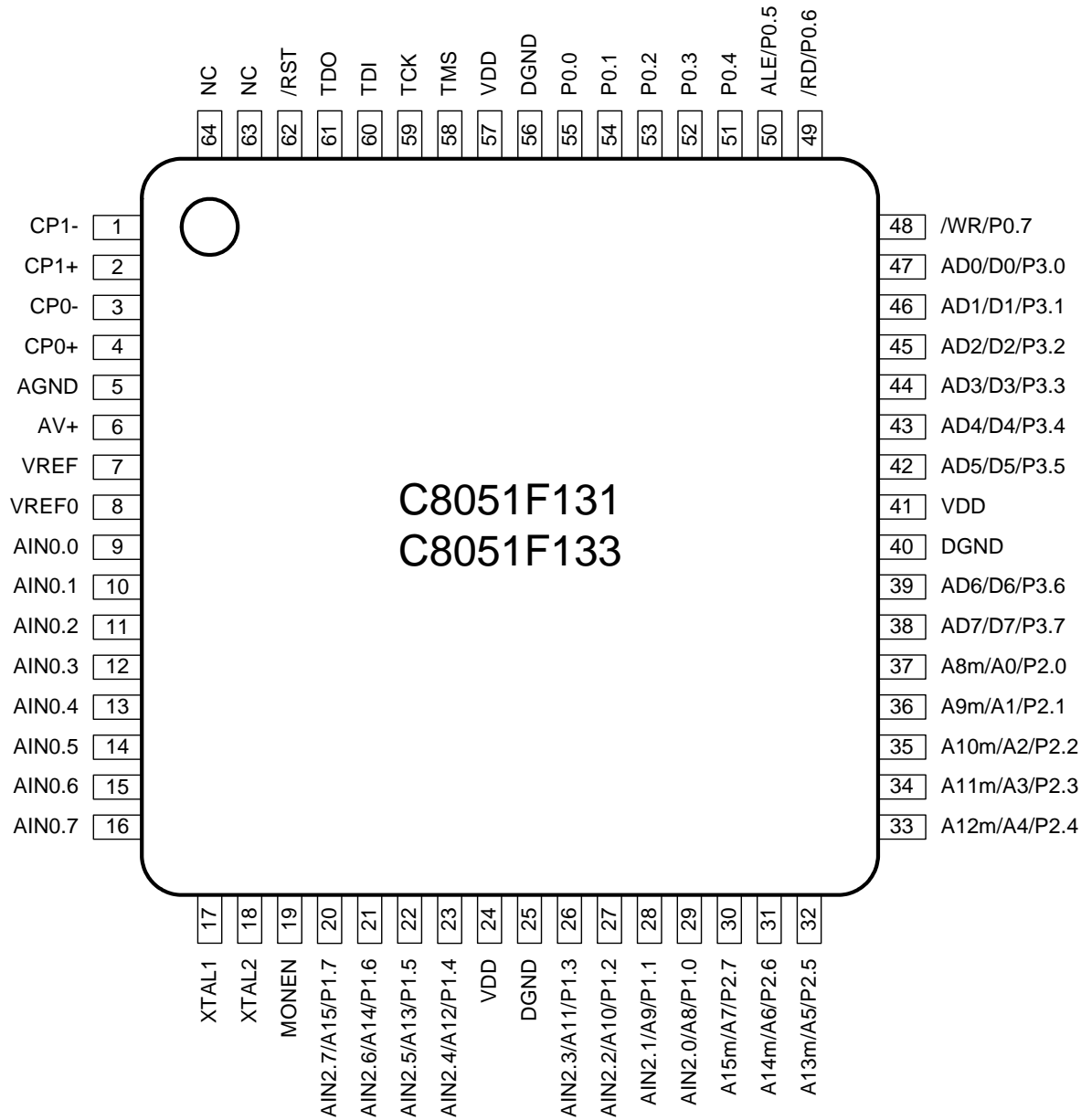
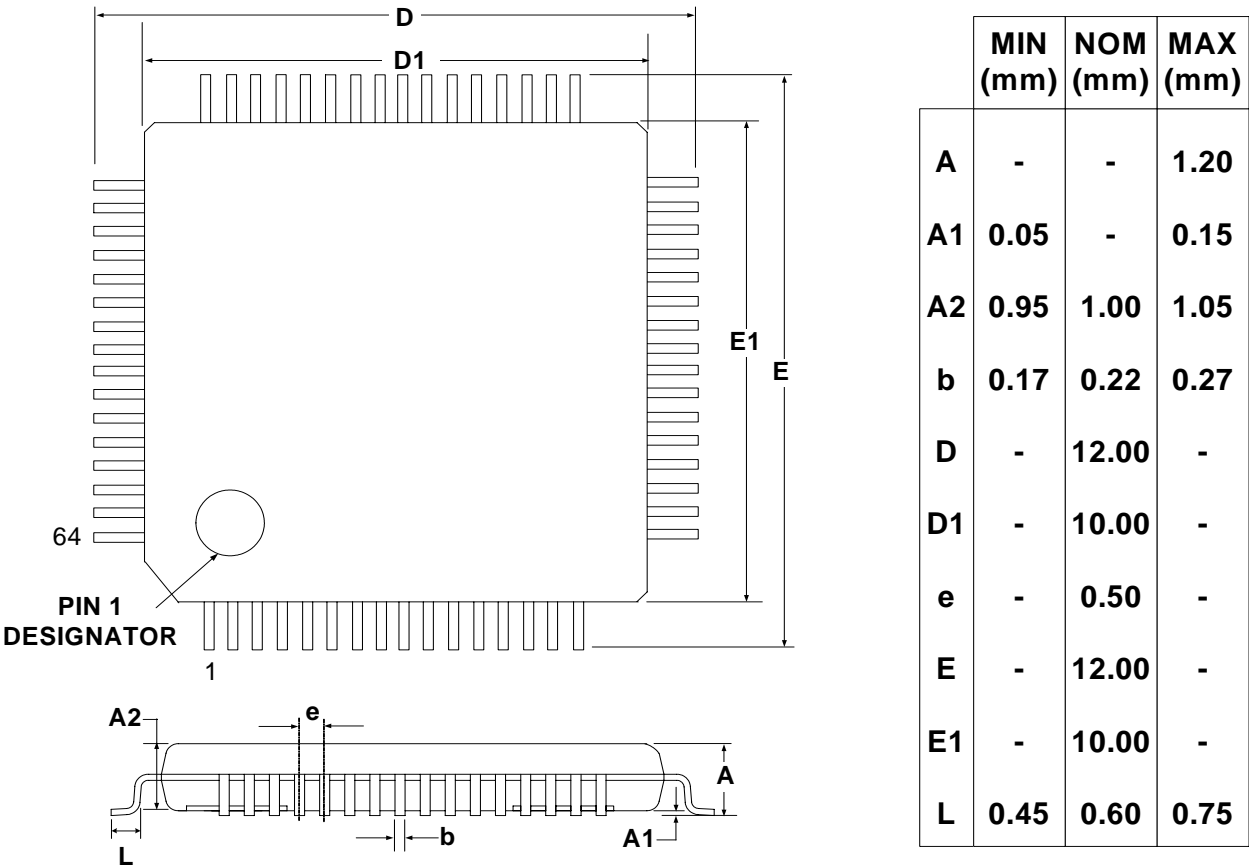


Рисунок 4.6. Чертеж корпуса TQFP-64



C8051F120/1/2/3/4/5/6/7

C8051F130/1/2/3



SILICON LABORATORIES

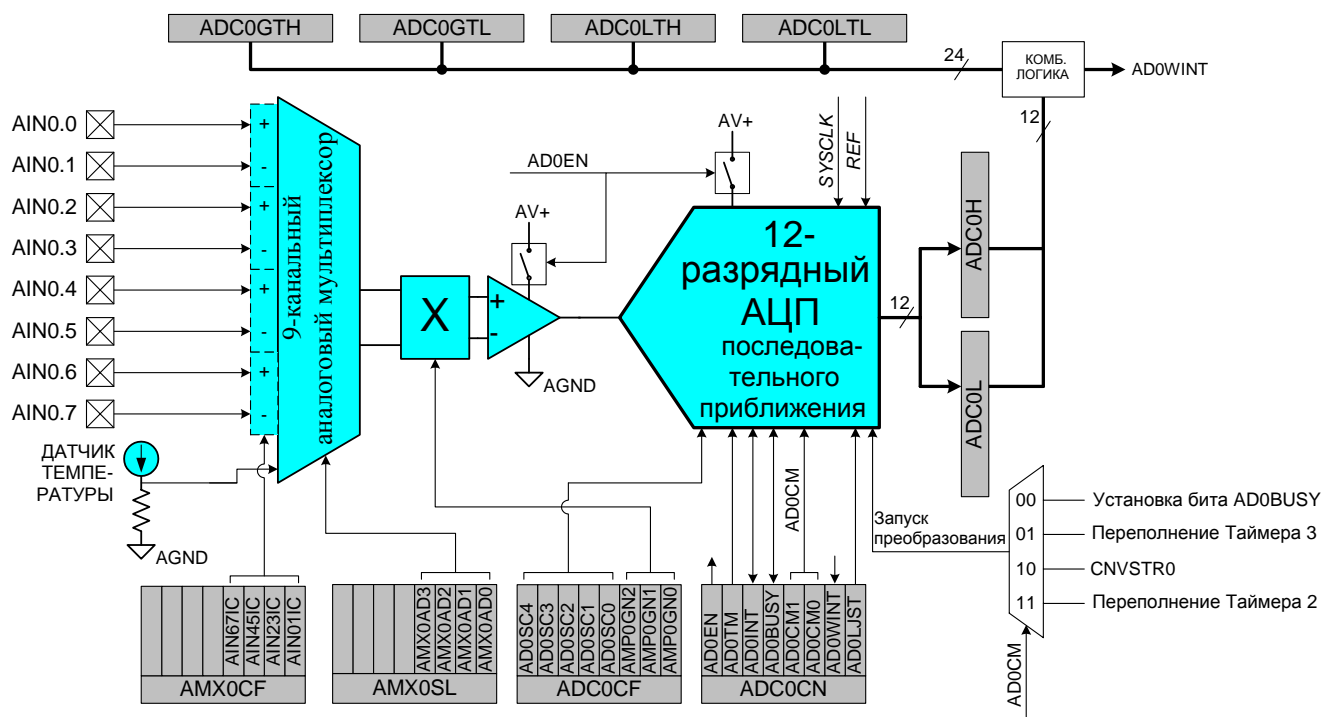
Ред. 1.3

56

5. 12-разрядный АЦП0 (только C8051F120/1/4/5)

Модуль АЦП0 МК C8051F120/1/4/5 состоит из 9-канального программируемого аналогового мультиплексора (AMUX0), программируемого усилителя (PGA0), 12-разрядного АЦП последовательного приближения с производительностью до 100 тыс. преобразований в секунду, устройства выборки-хранения (УВХ) и программируемого детектора диапазона (см. рис.5.1). AMUX0, PGA0, режимы преобразования и детектор диапазона настраиваются программным путем при помощи регистров специального назначения (см. рис.5.1). Выбор источника опорного напряжения для АЦП0 описан в разделе 9. Модуль АЦП0 (АЦП0, УВХ и PGA0) включен только тогда, когда бит AD0EN регистра управления АЦП0 (ADC0CN) установлен в 1. Сброс этого бита в 0 переводит АЦП0 в режим пониженного энергопотребления.

Рисунок 5.1. Структурная схема 12-разрядного АЦП0

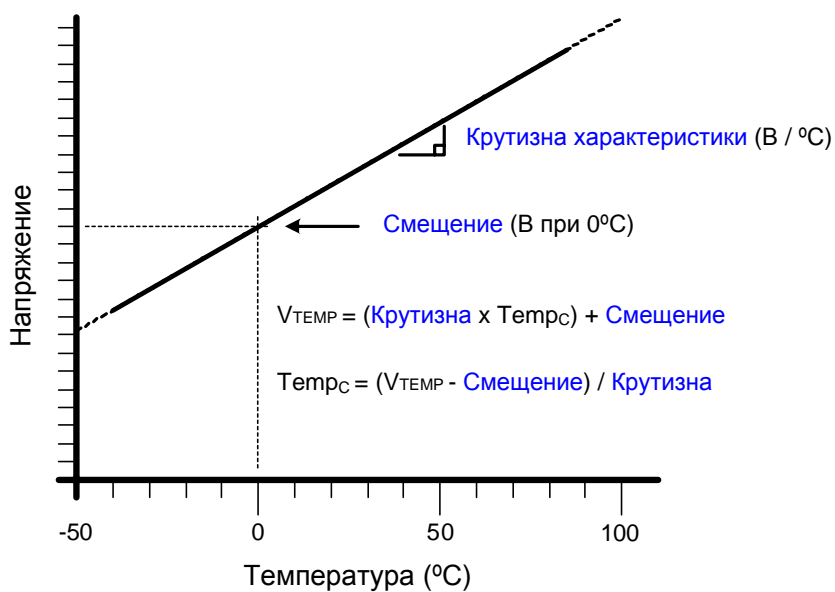


5.1. Аналоговый мультиплексор и программируемый усилитель

Восемь каналов AMUX могут использоваться для измерения внешних сигналов, девятый канал подключен к внутреннему датчику температуры (передаточная характеристика датчика температуры показана на рис.5.2). Каждая пара входов AMUX могут быть запрограммированы на работу в однофазном или дифференциальном режимах. Это позволяет пользователю выбрать наиболее подходящий режим измерения, и даже производить изменение режимов “на лету”. При сбросе все каналы AMUX настраиваются как однофазные входы. Для управления AMUX используются два регистра: регистр выбора канала AMX0SL (см. рис.5.6) и регистр конфигурации AMX0CF (см. рис.5.5). В таблице на рис.5.6 приведены все возможные комбинации режимов работы каналов AMUX. PGA усиливает выходной сигнал AMUX с коэффициентом усиления, определяемым битами AMP0GN2-0 регистра управления АЦП0 ADC0CF (см. рис.5.7). Коэффициент усиления может быть программно выбран из следующего ряда значений: 0.5, 1 (устанавливается при сбросе), 2, 4, 8, 16.

Передаточная характеристика датчика температуры показана на рис.5.2. Выходное напряжение (V_{TEMP}) подается на вход PGA, когда датчик температуры выбран битами AMX0AD3-0 регистра AMX0SL; PGA будет усиливать это напряжение в соответствии с заданным коэффициентом усиления. Типичные значения крутизны характеристики и коэффициента смещения приведены в таблице 5.1.

Рисунок 5.2. Передаточная характеристика датчика температуры



5.2. Режимы работы АЦП

Максимальная скорость преобразования АЦПО – 100 тыс. преобразований в секунду. Частота дискретизации АЦПО зависит от системной тактовой частоты, и определяется битами ADCSC регистра ADC0CF.

5.2.1. Запуск преобразования

Запуск преобразования АЦПО может быть осуществлен одним из четырех способов, в зависимости от состояния битов режима запуска преобразования АЦПО (AD0CM1, AD0CM0) в регистре ADC0CN. Преобразование АЦПО может быть инициировано:

- 1) установкой в 1 бита AD0BUSY в регистре ADC0CN;
- 2) переполнением Таймера 3 (т.е. непрерывное по времени преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования АЦП (CNVSTR0);
- 4) переполнением Таймера 2 (т.е. непрерывное по времени преобразование).

Бит AD0BUSY устанавливается в 1 во время преобразования и сбрасывается в 0 после окончания преобразования. При сбросе бита AD0BUSY инициируется прерывание (если оно разрешено) и устанавливается флаг прерывания AD0INT (ADC0CN.5). Преобразованные данные доступны в регистрах старшего и младшего слова данных АЦПО, ADC0H и ADC0L соответственно. В регистровой паре ADC0H:ADC0L преобразованные данные могут быть выровнены либо вправо, либо влево (см. пример на рис.5.11) в зависимости от состояния бита AD0LJST в регистре ADC0CN.

Если преобразование инициируется установкой в 1 бита AD0BUSY, то для определения окончания преобразования следует опрашивать флаг AD0INT (можно также использовать прерывания от модуля АЦПО). Ниже приведена рекомендуемая процедура опроса:

Шаг 1: Сброс в 0 бита AD0INT.

Шаг 2: Установка в 1 бита AD0BUSY.

Шаг 3: Опрос бита AD0INT до тех пор, пока он не станет равен 1.

Шаг 4: Обработка данных АЦПО.

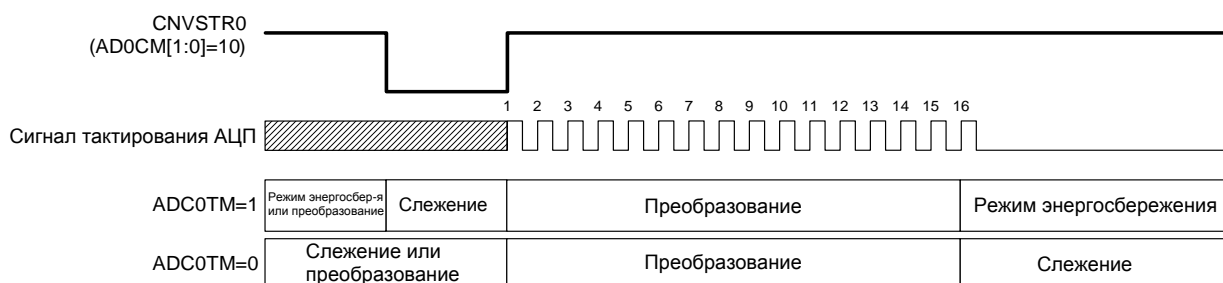
Если для запуска преобразования используется сигнал CNVSTR0, то он должен быть разведен при помощи цифровой матрицы, а соответствующий ему внешний вывод следует перевести в высокоимпедансный режим с открытым стоком (подробная информация о настройке портов ввода/вывода приведена в разделе 18).

5.2.2. Режимы слежения

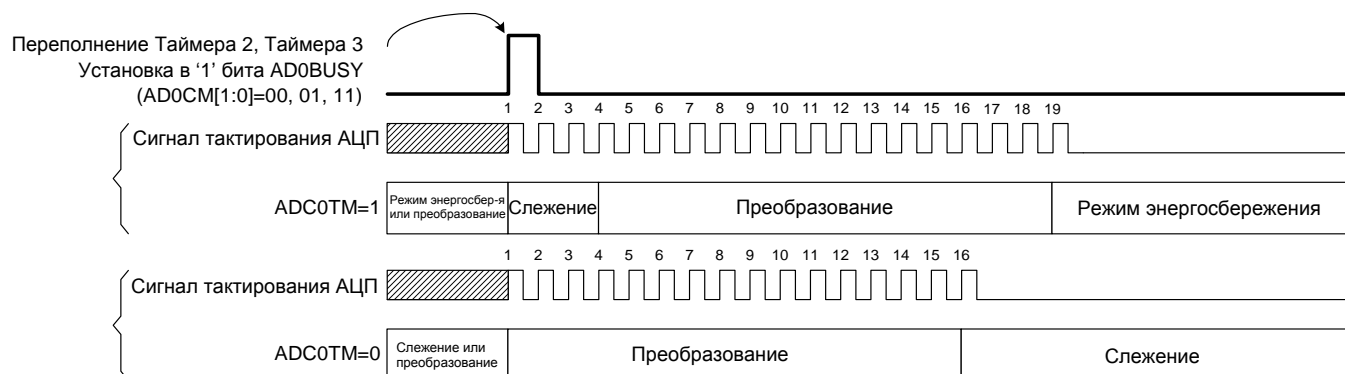
Бит AD0TM регистра ADC0CN управляет режимом выборки-хранения АЦП0. По умолчанию состояние входа АЦП0 отслеживается непрерывно, за исключением момента преобразования. Установка в 1 бита AD0TM переводит АЦП0 в энергосберегающий режим выборки-хранения. В этом режиме каждому преобразованию предшествует (после сигнала запуска преобразования) период выборки, равный трем периодам сигнала дискретизации АЦП. Если для запуска преобразования в энергосберегающем режиме выборки-хранения используется сигнал CNVSTR0, то АЦП0 отслеживает входной сигнал только тогда, когда на входе CNVSTR0 присутствует сигнал низкого уровня; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR0 (см. рис.5.3). Кроме этого слежение может быть запрещено (отключено), когда весь МК переведен в мало потребляющие режимы ожидания или остановки. Энергосберегающий режим выборки-хранения также полезен в том случае, когда параметры AMUX и PGA часто изменяются, чтобы гарантировать, что время установления соответствует заданным требованиям (см. раздел 5.2.3).

Рисунок 5.3. Временные диаграммы процесса преобразования АЦП0

А. Временные диаграммы АЦП с внешним источником запуска



В. Временные диаграммы АЦП с внутренним источником запуска



5.2.3. Время установления

Для обеспечения точности преобразования АЦП время слежения должно быть не менее минимального времени установления сигнала. Это время установления определяется входным сопротивлением мультиплексора АЦПО, емкостью накопительного конденсатора УВХ, сопротивлением внешнего источника сигнала и требуемой точностью преобразования. На рис.5.4 показаны эквивалентные схемы входов АЦПО как для дифференциального, так и для однофазного режимов работы. Следует отметить, что эквивалентная постоянная времени для обеих схем одинакова. Требуемое время установления для заданной точности установления (settling accuracy – SA) можно приблизительно определить из уравнения 5.1. После любых операций, связанных с настройкой AMUX0 или PGA0, минимальное время установления сигнала составляет 1,5мкс. Следует отметить, что в энергосберегающем режиме выборки-хранения после запуска каждого преобразования выборка длится три периода сигнала дискретизации АЦП. Для большинства приложений эти три периода сигнала дискретизации будут соответствовать требованиям, предъявляемым ко времени установления.

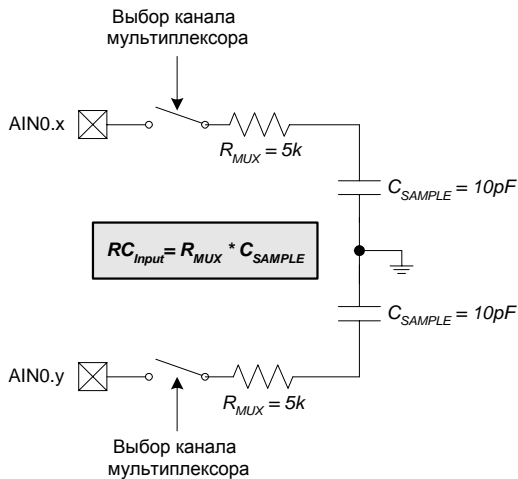
Уравнение 5.1. Время установления сигнала АЦПО

$$t = \ln(2^n/SA) \times R_{TOTAL} C_{SAMPLE}$$

где: SA – точность установления, задаваемая в долях МЗР (например, 0.25 для установления в пределах ¼ МЗР)
t - требуемое время установления в секундах
 R_{TOTAL} – сумма входного сопротивления мультиплексора АЦПО и сопротивления внешнего источника сигнала
n - разрешение АЦП в битах (12)

Рисунок 5.4. Эквивалентные схемы входов АЦПО

Дифференциальный режим



Однофазный режим

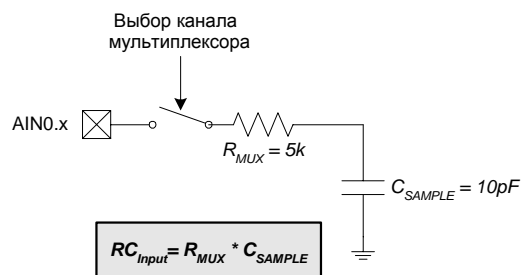


Рисунок 5.5. AMX0CF: Регистр конфигурации AMUX0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	AIN67IC	AIN45IC	AIN23IC	AIN01IC	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBA SFR страница: 0
<p>Биты 7-4: Не используются: читаются как 0000b. Запись не оказывает никакого влияния.</p> <p>Бит 3: AIN67IC: Бит конфигурации пары входов AIN6, AIN7 0: AIN6 и AIN7 – независимые однофазные входы 1: AIN6 и AIN7 – пара дифференциальных входов ('+' и '-' соответственно)</p> <p>Бит 2: AIN45IC: Бит конфигурации пары входов AIN4, AIN5 0: AIN4 и AIN5 – независимые однофазные входы 1: AIN4 и AIN5 – пара дифференциальных входов ('+' и '-' соответственно)</p> <p>Бит 1: AIN23IC: Бит конфигурации пары входов AIN2, AIN3 0: AIN2 и AIN3 – независимые однофазные входы 1: AIN2 и AIN3 – пара дифференциальных входов ('+' и '-' соответственно)</p> <p>Бит 0: AIN01IC: Бит конфигурации пары входов AIN0, AIN1 0: AIN0 и AIN1 – независимые однофазные входы 1: AIN0 и AIN1 – пара дифференциальных входов ('+' и '-' соответственно)</p> <p>Примечание: Для каналов, настроенных как дифференциальные, слово данных АЦП0 представляет собой число в дополнительном формате.</p>								

Рисунок 5.6. AMX0SL: Регистр выбора канала AMUX0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000	
-	-	-	-	AMX0AD3	AMX0AD2	AMX0AD1	AMX0AD0		
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBB SFR страница: 0	

Биты 7-4: **Не используются**: читаются как 0000b. Запись не оказывает никакого влияния.

Биты 3-0: AMX0AD3-0: Биты адреса AMUX0
0000-1111b: Каналы АЦПО выбираются в соответствии со следующей таблицей:

		Биты 3-0 регистра AMX0AD								
		0000	0001	0010	0011	0100	0101	0110	0111	1xxx
Биты 3-0 регистра AMX0CF	0000	AIN0.0	AIN0.1	AIN0.2	AIN0.3	AIN0.4	AIN0.5	AIN0.6	AIN0.7	датчик темп-ры
	0001	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3	AIN0.4	AIN0.5	AIN0.6	AIN0.7	датчик темп-ры
	0010	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)		AIN0.4	AIN0.5	AIN0.6	AIN0.7	датчик темп-ры
	0011	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)		AIN0.4	AIN0.5	AIN0.6	AIN0.7	датчик темп-ры
	0100	AIN0.0	AIN0.1	AIN0.2	AIN0.3	+(AIN0.4) -(AIN0.5)		AIN0.6	AIN0.7	датчик темп-ры
	0101	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3	+(AIN0.4) -(AIN0.5)		AIN0.6	AIN0.7	датчик темп-ры
	0110	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)		+(AIN0.4) -(AIN0.5)		AIN0.6	AIN0.7	датчик темп-ры
	0111	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)		+(AIN0.4) -(AIN0.5)		AIN0.6	AIN0.7	датчик темп-ры
	1000	AIN0.0	AIN0.1	AIN0.2	AIN0.3	AIN0.4	AIN0.5	+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1001	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3	AIN0.4	AIN0.5	+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1010	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)		AIN0.4	AIN0.5	+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1011	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)		AIN0.4	AIN0.5	+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1100	AIN0.0	AIN0.1	AIN0.2	AIN0.3	+(AIN0.4) -(AIN0.5)		+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1101	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3	+(AIN0.4) -(AIN0.5)		+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1110	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)		+(AIN0.4) -(AIN0.5)		+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1111	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)		+(AIN0.4) -(AIN0.5)		+(AIN0.6) -(AIN0.7)		датчик темп-ры

Рисунок 5.7. ADC0CF: Регистр конфигурации АЦП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
AD0SC4	AD0SC3	AD0SC2	AD0SC1	AD0SC0	AMP0GN2	AMP0GN1	AMP0GN0	11111000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBC SFR страница: 0

Биты 7-3: AD0SC4-0: Биты установки периода сигнала дискретизации АЦП0

Частота сигнала дискретизации АЦП0 определяется частотой системного тактового сигнала в соответствии со следующим уравнением (Примечание: частота сигнала дискретизации АЦП0 не должна превышать 2,5 МГц.):

$$AD0SC = (SYSCLK / (2 \times CLK_{SAR0})) - 1, \quad (AD0SC > 00000b)$$

где AD0SC – 5-разрядное значение, задаваемое битами AD0SC4-0
CLK_{SAR0} – необходимая частота сигнала дискретизации АЦП0

Если AD0SC = 00000b, то частота дискретизации АЦП равна SYSCLK, что позволяет осуществлять быстрые преобразования АЦП при работе с низкой частотой тактового сигнала.

Биты 2-0: AMP0GN2-0: Коэффициент усиления программируемого усилителя (PGA) АЦП0.

000: K_{ус} = 1
001: K_{ус} = 2
010: K_{ус} = 4
011: K_{ус} = 8
10x: K_{ус} = 16
11x: K_{ус} = 0.5

Рисунок 5.8. ADC0CN: Регистр управления АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
AD0EN	AD0TM	AD0INT	AD0BUSY	AD0CM1	AD0CM0	AD0WINT	AD0LJST	SFR Адрес: 0xE8 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Бит 7: AD0EN: Бит включения АЦПО
0: АЦПО отключен. АЦПО находится в режиме пониженного энергопотребления.
1: АЦПО включен. АЦПО находится в активном режиме и готов к преобразованию данных.

Бит 6: AD0TM: Бит установки режима слежения АЦПО
0: Когда АЦПО включен, слежение осуществляется всегда, за исключением момента преобразования.
1: Режим слежения определяется битами AD0CM1-0.

Бит 5: AD0INT: Флаг прерывания от АЦПО (устанавливается при завершении преобразования)
Этот флаг должен быть сброшен программно.
0: АЦПО не закончил преобразование данных (с момента последнего обнуления этого флага)
1: АЦПО закончил преобразование данных

Бит 4: AD0BUSY: Бит занятости АЦПО
Чтение:
0: Преобразование данных завершено или в данный момент преобразование не осуществляется.
При аппаратном обнулении этого бита флаг AD0INT устанавливается в 1.
1: Идет процесс преобразования данных АЦПО.
Запись
0: Не вызывает никаких действий.
1: Иницирует запуск преобразования АЦПО, если биты AD0CM1-0 = 00b.

Биты 3-2: AD0CM1-0: Биты выбора режима запуска преобразования АЦПО
Если AD0TM = 0:
00: Запуск преобразования осуществляется установкой в 1 бита AD0BUSY.
01: Запуск преобразования осуществляется при переполнении Таймера 3.
10: Запуск преобразования осуществляется нарастающим фронтом внешнего сигнала CNVSTR0.
11: Запуск преобразования осуществляется при переполнении Таймера 2.
Если AD0TM = 1:
00: слежение (выборка) начинается в момент установки в 1 бита AD0BUSY и длится 3 периода сигнала дискретизации АЦПО, затем начинается преобразование данных.
01: слежение (выборка) начинается при переполнении Таймера 3 и длится 3 периода сигнала дискретизации АЦПО, затем начинается преобразование данных.
10: слежение (выборка) происходит лишь при низком уровне сигнала на входе CNVSTR0; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR0.
11: слежение (выборка) начинается при переполнении Таймера 2 и длится 3 периода сигнала дискретизации АЦПО; затем начинается преобразование данных.

Бит 1: AD0WINT: Флаг прерывания от детектора диапазона АЦПО (сбрасывается программно).
0: Преобразованные данные не соответствуют заданному диапазону (с момента последнего обнуления этого флага).
1: Преобразованные данные соответствуют заданному диапазону

Бит 0: AD0LJST: Бит выравнивания результата преобразования
0: Данные в регистровой паре ADC0H:ADC0L выровнены вправо
1: Данные в регистровой паре ADC0H:ADC0L выровнены влево

Рисунок 5.9. ADC0H: Регистр старшего байта слова данных АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBF SFR страница: 0

Биты 7-0: Старшие биты слова данных АЦПО.
 Для AD0LJST = 0: Биты 7-4 являются знаковым расширением бита 3. Биты 3-0 представляют собой старшие 4 бита 12-разрядного слова данных АЦПО.
 Для AD0LJST = 1: Биты 7-0 являются старшими 8 битами 12-разрядного слова данных АЦПО.

Рисунок 5.10. ADC0L: Регистр младшего байта слова данных АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBE SFR страница: 0

Биты 7-0: Младшие биты слова данных АЦП
 Для AD0LJST = 0: Биты 7-0 являются младшими 8 битами 12-разрядного слова данных АЦПО.
 Для AD0LJST = 1: Биты 7-4 представляют собой младшие 4 бита 12-разрядного слова данных АЦПО. Биты 3-0 всегда читаются как '0'.

Рисунок 5.11. Пример слова данных АЦП0 (C8051F020/1)

12-разрядный результат преобразования АЦП0 получается следующим образом:

ADC0H[3:0]:ADC0L[7:0], если AD0LJST = 0

(в случае преобразования дифференциального сигнала биты ADC0H[7:4] будут знаковым расширением бита ADC0H.3, в случае однофазного сигнала ADC0H[7:4] = 0000b)

ADC0H[7:0]:ADC0L[7:4], если AD0LJST = 1

(ADC0L[3:0] = 0000b)

Пример: Порядок записи результата преобразования, вход AIN0.0 работает в однофазном режиме (AMX0CF=0x00, AMX0SL=0x00)

AIN0.0 – AGND (Вольты)	ADC0H:ADC0L (AD0LJST = 0)	ADC0H:ADC0L (AD0LJST = 1)
VREF * (4095/4096)	0x0FFF	0xFFFF0
VREF/2	0x0800	0x8000
VREF * (2047/4096)	0x07FF	0x7FF0
0	0x0000	0x0000

Пример: Порядок записи результата преобразования, входы AIN0.0-AIN0.1 работают в дифференциальном режиме (AMX0CF=0x01, AMX0SL=0x00)

AIN0.0 – AIN0.1 (Вольты)	ADC0H:ADC0L (AD0LJST = 0)	ADC0H:ADC0L (AD0LJST = 1)
VREF * (2047/2048)	0x07FF	0x7FF0
VREF/2	0x0400	0x4000
VREF * (1/2048)	0x0001	0x0010
0	0x0000	0x0000
- VREF * (1/2048)	0xFFFF(-1d)	0xFFFF0
- VREF/2	0xFC00(-1024d)	0xC000
- VREF	0xF800(-2048d)	0x8000

Для AD0LJST = 0:

$$Code = Vin \times (Gain/VREF) \times 2^n;$$

‘n’ = 12, если входы работают в однофазном режиме;

‘n’ = 11, если входы работают в дифференциальном режиме.

5.3. Программируемый детектор диапазона АЦП0

Программируемый детектор диапазона АЦП0 постоянно проверяет выходные данные АЦП0 на соответствие заданному пользователем диапазону значений и уведомляет систему при обнаружении несоответствия. Это особенно эффективно в управляемых прерываниями системах, т.к. позволяет уменьшить объем кода и улучшить производительность при одновременном уменьшении времени реакции системы. Флаг прерывания от детектора диапазона (бит AD0WINT в регистре ADC0CN) можно использовать также в режиме программного опроса. Старшие и младшие байты граничных значений загружаются в регистры нижней и верхней границ диапазона АЦП0 (ADC0GTH, ADC0GTL, ADC0LTH и ADC0LTL). На рис.5.16, рис.5.17, рис.5.18 и рис.5.19 приведены примеры использования детектора диапазона. Следует отметить, что флаг прерывания от детектора диапазона может устанавливаться как при попадании, так и при непадании результата преобразования в заданный диапазон, в зависимости от значений, записанных в регистры ADC0GTx и ADC0LTx.

Рисунок 5.12. ADC0GTH: Регистр старшего байта нижней границы диапазона АЦП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC5 SFR страница: 0

Биты 7-0: Старший байт нижней границы диапазона АЦП0.

Рисунок 5.13. ADC0GTL: Регистр младшего байта нижней границы диапазона АЦП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC4 SFR страница: 0

Биты 7-0: Младший байт нижней границы диапазона АЦП0.

Рисунок 5.14. ADC0LTH: Регистр старшего байта верхней границы диапазона АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC7 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старший байт верхней границы диапазона АЦПО.

Рисунок 5.15. ADC0LTL: Регистр младшего байта верхней границы диапазона АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC6 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младший байт верхней границы диапазона АЦПО.

Рисунок 5.16. Пример использования детектора диапазона 12-разрядного АЦП0
(данные выровнены вправо, однофазный режим работы)

Входное напряжение (AD0.0 - AGND)	Слово данных АЦП	
REF x (4095/4096)	0x0FFF	AD0WINT не изменяется
	0x0201	
REF x (512/4096)	0x0200	ADC0LTH:ADC0LTL
	0x01FF	AD0WINT=1
	0x0101	
REF x (256/4096)	0x0100	ADC0GTH:ADC0GTL
	0x00FF	AD0WINT не изменяется
0	0x0000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 0,
ADC0LTH:ADC0LTL = 0x0200,
ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x0200 и > 0x0100.

Входное напряжение (AD0.0 - AGND)	Слово данных АЦП	
REF x (4095/4096)	0x0FFF	AD0WINT=1
	0x0201	
REF x (512/4096)	0x0200	ADC0GTH:ADC0GTL
	0x01FF	AD0WINT не изменяется
	0x0101	
REF x (256/4096)	0x0100	ADC0LTH:ADC0LTL
	0x00FF	AD0WINT=1
0	0x0000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 0,
ADC0LTH:ADC0LTL = 0x0100,
ADC0GTH:ADC0GTL = 0x0200.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x0100 или > 0x0200.

**Рисунок 5.17. Пример использования детектора диапазона 12-разрядного АЦП0
(данные выровнены вправо, дифференциальный режим работы)**

Входное напряжение (AD0.0 - AD0.1)	Слово данных АЦП	
REF x (2047/2048)	0x07FF	AD0WINT не изменяется
	0x0101	
REF x (256/2048)	0x0100	ADC0LTH:ADC0LTL
	0x00FF	AD0WINT=1
	0x0000	
REF x (-1/2048)	0xFFFF	ADC0GTH:ADC0GTL
	0xFFFE	AD0WINT не изменяется
-REF	0xF800	

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 0,
ADC0LTH:ADC0LTL = 0x0100,
ADC0GTH:ADC0GTL = 0xFFFF.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x0100 и > 0xFFFF. (используется дополнительный код, т.е. 0xFFFF = -1.)

Входное напряжение (AD0.0 - AD0.1)	Слово данных АЦП	
REF x (2047/2048)	0x07FF	AD0WINT=1
	0x0101	
REF x (256/2048)	0x0100	ADC0GTH:ADC0GTL
	0x00FF	AD0WINT не изменяется
	0x0000	
REF x (-1/2048)	0xFFFF	ADC0LTH:ADC0LTL
	0xFFFE	AD0WINT=1
-REF	0xF800	

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 0,
ADC0LTH:ADC0LTH = 0xFFFF,
ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0xFFFF или > 0x0100. (используется дополнительный код, т.е. 0xFFFF = -1.)

**Рисунок 5.18. Пример использования детектора диапазона 12-разрядного АЦП0
(данные выровнены влево, однофазный режим работы)**

Входное напряжение (AD0.0 - AGND)	Слово данных АЦП	
REF x (4095/4096)	0xFFFF	AD0WINT не изменяется
	0x2010	
REF x (512/4096)	0x2000	ADC0LTH:ADC0LTL
	0x1FF0	AD0WINT=1
	0x1010	
REF x (256/4096)	0x1000	ADC0GTH:ADC0GTL
	0x0FF0	AD0WINT не изменяется
0	0x0000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x2000,
ADC0GTH:ADC0GTL = 0x1000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x2000 и > 0x1000.

Входное напряжение (AD0.0 - AGND)	Слово данных АЦП	
REF x (4095/4096)	0xFFFF	AD0WINT=1
	0x2010	
REF x (512/4096)	0x2000	ADC0GTH:ADC0GTL
	0x1FF0	AD0WINT не изменяется
	0x1010	
REF x (256/4096)	0x1000	ADC0LTH:ADC0LTL
	0x0FF0	AD0WINT=1
0	0x0000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x1000,
ADC0GTH:ADC0GTL = 0x2000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x1000 или > 0x2000.

Рисунок 5.19. Пример использования детектора диапазона 12-разрядного АЦП0
(данные выровнены влево, дифференциальный режим работы)

Входное напряжение (AD0.0 - AD0.1)	Слово данных АЦП	
REF x (2047/2048)	0x7FF0	AD0WINT не изменяется
	0x1010	
REF x (256/2048)	0x1000	ADC0LTH:ADC0LTL
	0x0FF0	AD0WINT=1
	0x0000	
REF x (-1/2048)	0xFFFF	ADC0GTH:ADC0GTL
	0xFFE0	AD0WINT не изменяется
	0x8000	
-REF	0x8000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x1000,
ADC0GTH:ADC0GTL = 0xFFFF.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x1000 и > 0xFFFF. (используется дополнительный код, т.е. 0xFFFF = -1.)

Входное напряжение (AD0.0 - AD0.1)	Слово данных АЦП	
REF x (2047/2048)	0x7FF0	AD0WINT=1
	0x1010	
REF x (256/2048)	0x1000	ADC0GTH:ADC0GTL
	0x0FF0	AD0WINT не изменяется
	0x0000	
REF x (-1/2048)	0xFFFF	ADC0LTH:ADC0LTL
	0xFFE0	AD0WINT=1
	0x8000	
-REF	0x8000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 1,
ADC0LTH:ADC0LTH = 0xFFFF,
ADC0GTH:ADC0GTL = 0x1000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0xFFFF или > 0x1000. (используется дополнительный код, т.е. 0xFFFF = -1.)

Таблица 5.1. Электрические характеристики 12-разр. АЦПО (C8051F120/1/4/5)

VDD = 3.0В, AV+ = 3.0В, Вион = 2.4В (REFBE=0), Kусиления PGA = 1, T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Точность преобразования					
Разрядность		12			бит
Интегральная нелинейность				±1	МЗР
Дифференциальная нелинейность	Монотонность преобразования			±1	МЗР
Погрешность смещения нуля			-3 ± 1		МЗР
Погрешность полной шкалы	Дифференциальный режим		-7 ± 3		МЗР
Температурный коэффициент смещения нуля			±0,25 x 10 ⁻⁴		%/°C
Динамические характеристики (10кГц синусоидальный входной сигнал, от 0 до -1dB полной шкалы, 100 тыс. преобразований/сек.)					
Отношение сигнал/шум плюс искажение		66			dB
Общее нелинейное искажение	До 5-й гармоники		-75		dB
Динамический диапазон			80		dB
Скорость преобразования					
Время преобразования в периодах сигнала дискретизации		16			такты
Частота дискретизации				2,5	МГц
Время заряда VBX		1,5			мкс
Производительность				100000	преобр./с
Аналоговые входы					
Диапазон входных напряжений	Режим однофазных входов	0		VREF	В
*Диапазон синфазных напряжений	Дифференциальный режим	AGND		AV+	В
Входная емкость			10		пФ
Датчик температуры					
Нелинейность (см. примечание 1)			±0,2		°C
Смещение нуля	Темп-ра = 0°C		776		мВ
Погрешность смещения нуля (см. примечания 1 и 2)	Темп-ра = 0°C		±8,5		мВ
Крутизна характеристики			2.86		мВ/°C
Погрешность крутизны характеристики (см. примечание 2)			±0,034		мВ/°C
Параметры питания					
Ток потребления по выв. AV+	Активный режим, 100 тыс. преобразований/сек		450	900	мкА
Нестабильность по напряжению питания			±0.3		мВ/В

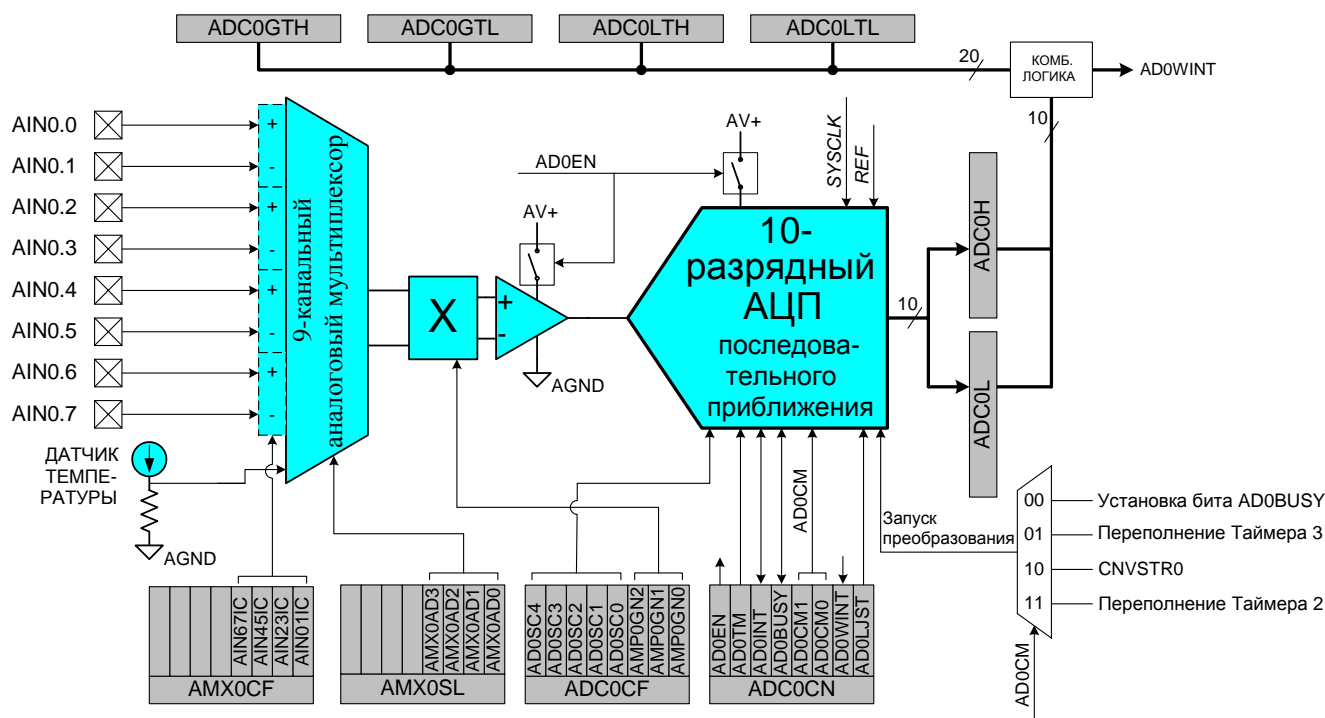
Примечание 1: Учитывает отклонения коэффициента смещения, коэффициента усиления и линейности АЦП.

Примечание 2: Представляет собой среднеквадратическое отклонение от средней величины.

6. 10-разрядный АЦП0 (только C8051F122/3/6/7 и C8051F13x)

Модуль АЦП0 МК C8051F122/3/6/7 и C8051F13x состоит из 9-канального программируемого аналогового мультимплексора (AMUX0), программируемого усилителя (PGA0), 10-разрядного АЦП последовательного приближения с производительностью до 100 тыс. преобразований в секунду, устройства выборки-хранения (УВХ) и программируемого детектора диапазона (см. рис.6.1). AMUX0, PGA0, режимы преобразования и детектор диапазона настраиваются программным путем при помощи регистров специального назначения (см. рис.6.1). Выбор источника опорного напряжения для АЦП0 описан в разделе 9. Модуль АЦП0 (АЦП0, УВХ и PGA0) включен только тогда, когда бит AD0EN регистра управления АЦП0 (ADC0CN) установлен в 1. Сброс этого бита в 0 переводит АЦП0 в режим пониженного энергопотребления.

Рисунок 6.1. Функциональная схема 10-разрядного АЦП0

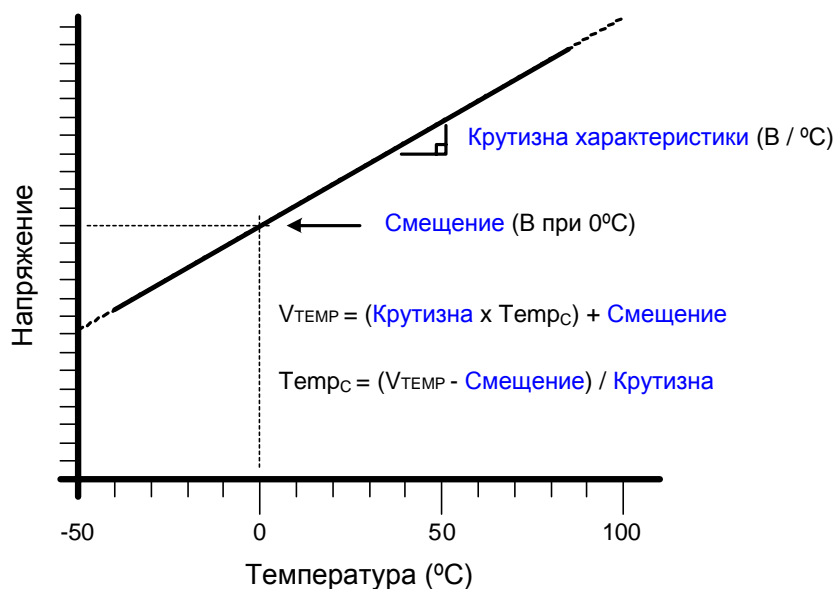


6.1. Аналоговый мультимплексор и программируемый усилитель

Восемь каналов AMUX могут использоваться для измерения внешних сигналов, девятый канал подключен к внутреннему датчику температуры (передаточная характеристика датчика температуры показана на рис.6.2). Каждая пара входов AMUX могут быть запрограммированы на работу в однофазном или дифференциальном режимах. Это позволяет пользователю выбрать наиболее подходящий режим измерения, и даже производить изменение режимов “на лету”. При сбросе все каналы AMUX настраиваются как однофазные входы. Для управления AMUX используются два регистра: регистр выбора канала AMX0SL (см. рис.6.6) и регистр конфигурации AMX0CF (см. рис.6.5). В таблице на рис.6.6 приведены все возможные комбинации режимов работы каналов AMUX. PGA усиливает выходной сигнал AMUX с коэффициентом усиления, определяемым битами AMP0GN2-0 регистра управления АЦП0 ADC0CF (см. рис.6.7). Коэффициент усиления может быть программно выбран из следующего ряда значений: 0,5, 1 (устанавливается при сбросе), 2, 4, 8, 16.

Передаточная характеристика датчика температуры показана на рис.6.2. Выходное напряжение (V_{TEMP}) подается на вход PGA, когда датчик температуры выбран битами AMX0AD3-0 регистра AMX0SL; PGA будет усиливать это напряжение в соответствии с заданным коэффициентом усиления. Типичные значения крутизны характеристики и коэффициента смещения приведены в таблице 6.1.

Рисунок 6.2. Передаточная характеристика датчика температуры



6.2. Режимы работы АЦП

Максимальная скорость преобразования АЦПО – 100 тыс. преобразований в секунду. Частота дискретизации АЦПО определяется частотой системного тактового сигнала, деленной на значение, задаваемое битами AD0SC регистра ADC0CF.

6.2.1. Запуск преобразования

Запуск преобразования может быть осуществлен одним из четырех способов, в зависимости от состояния битов режима запуска преобразования АЦПО (AD0CM1, AD0CM1) в регистре ADC0CN. Преобразование может быть инициировано:

- 1) установкой в 1 бита AD0BUSY в регистре ADC0CN;
- 2) переполнением Таймера 3 (т.е. непрерывное по времени преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования АЦП (CNVSTR0);
- 4) переполнением Таймера 2 (т.е. непрерывное по времени преобразование).

Бит AD0BUSY устанавливается в 1 во время преобразования и сбрасывается в 0 после окончания преобразования. При сбросе бита AD0BUSY инициируется прерывание (если оно разрешено) и устанавливается флаг прерывания AD0INT (ADC0CN.5). Преобразованные данные доступны в регистрах старшего и младшего слова данных АЦПО, ADC0H и ADC0L соответственно. В регистровой паре ADC0H:ADC0L преобразованные данные могут быть выровнены либо вправо, либо влево (см. пример на рис.6.11) в зависимости от состояния бита AD0LJST в регистре ADC0CN.

Если преобразование инициируется установкой в 1 бита AD0BUSY, то для определения окончания преобразования следует опрашивать флаг AD0INT (можно также использовать прерывания от модуля АЦПО). Ниже приведена рекомендуемая процедура опроса:

Шаг 1: Сброс в 0 бита AD0INT.

Шаг 2: Установка в 1 бита AD0BUSY.

Шаг 3: Опрос бита AD0INT до тех пор, пока он не станет равен 1.

Шаг 4: Обработка данных АЦПО.

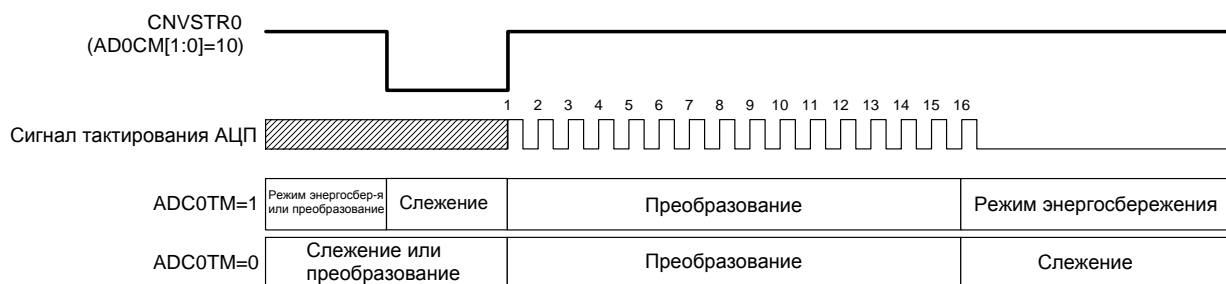
Если для запуска преобразования используется сигнал CNVSTR0, то он должен быть разведен при помощи цифровой матрицы, а соответствующий ему внешний вывод следует перевести в высокоимпедансный режим с открытым стоком (подробная информация о настройке портов ввода/вывода приведена в разделе 18).

6.2.2. Режимы слежения

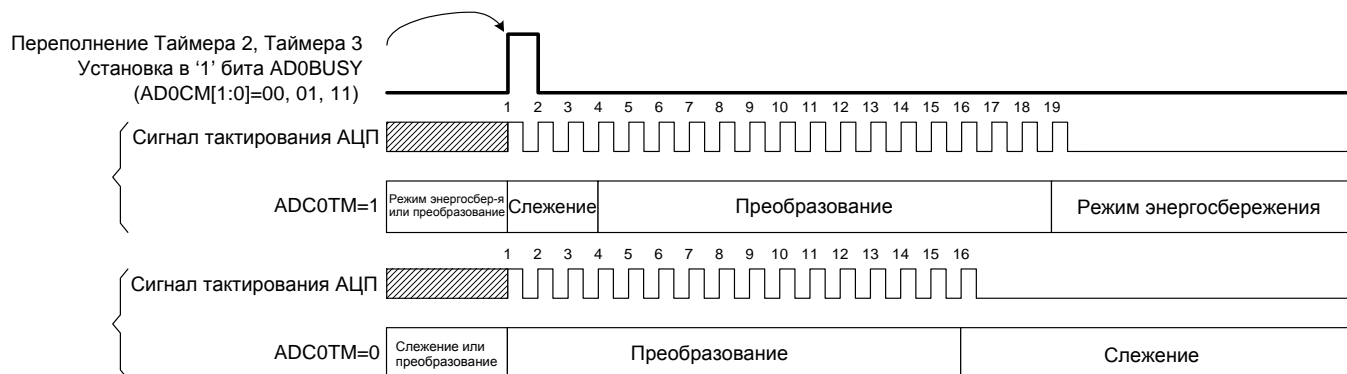
Бит AD0TM регистра ADC0CN управляет режимом выборки-хранения АЦП0. По умолчанию состояние входа АЦП0 отслеживается непрерывно, за исключением момента преобразования. Установка в 1 бита AD0TM переводит АЦП0 в энергосберегающий режим выборки-хранения. В этом режиме каждому преобразованию предшествует (после сигнала запуска преобразования) период выборки, равный трем периодам сигнала дискретизации АЦП. Если для запуска преобразования в энергосберегающем режиме выборки-хранения используется сигнал CNVSTR0, то АЦП0 отслеживает входной сигнал только тогда, когда на входе CNVSTR0 присутствует сигнал низкого уровня; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR0 (см. рис.6.3). Кроме этого слежение может быть запрещено (отключено), когда весь МК переведен в мало потребляющие режимы ожидания или остановки. Энергосберегающий режим выборки-хранения также полезен в том случае, когда параметры AMUX и PGA часто изменяются, чтобы гарантировать, что время установления соответствует заданным требованиям (см. раздел 6.2.3).

Рисунок 6.3. Временные диаграммы процесса преобразования АЦП0

А. Временные диаграммы АЦП с внешним источником запуска



В. Временные диаграммы АЦП с внутренним источником запуска



6.2.3. Время установления

Перед началом преобразования для обеспечения его точности необходимо выдержать паузу длительностью не менее минимального времени установления сигнала. Время установления определяется сопротивлением AMUX0, емкостью накопительного конденсатора УВХ, сопротивлением внешнего источника сигнала и требуемой точностью преобразования. На рис.6.4 показаны эквивалентные схемы входов АЦП0 как для дифференциального, так и для однофазного режимов работы. Следует отметить, что эквивалентная постоянная времени для обеих схем одинакова. Требуемое время установления для заданной точности установления (settling accuracy – SA) можно приблизительно определить из уравнения 6.1. Если измеряется выходное напряжение датчика температуры, то $R_{TOTAL} = R_{MUX}$. Если конфигурация входов АЦП0 изменяется (т.е. изменяются настройки AMUX и PGA), то после этого для обеспечения точности преобразования необходимо выдержать паузу длительностью не менее 1,5 мкс. Следует отметить, что в энергосберегающем режиме выборки-хранения после запуска каждого преобразования выборка длится три периода сигнала дискретизации АЦП. Для большинства приложений эти три периода сигнала дискретизации будут соответствовать требованиям, предъявляемым ко времени установления.

Уравнение 6.1. Время установления сигнала АЦП0

$$t = \ln(2^n/SA) \times R_{TOTAL}C_{SAMPLE}$$

где: SA – точность установления, задаваемая в долях МЗР (например, 0.25 для установления в пределах ¼ МЗР)

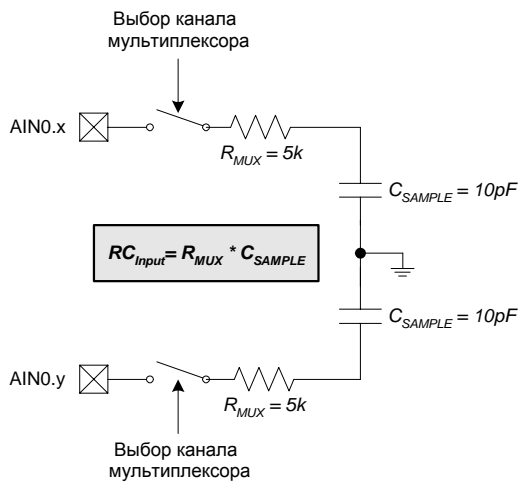
t - требуемое время установления в секундах

R_{TOTAL} – сумма сопротивления AMUX0 и сопротивления внешнего источника сигнала

n - разрешение АЦП в битах (10)

Рисунок 6.4. Эквивалентные схемы входов АЦП0

Дифференциальный режим



Однофазный режим

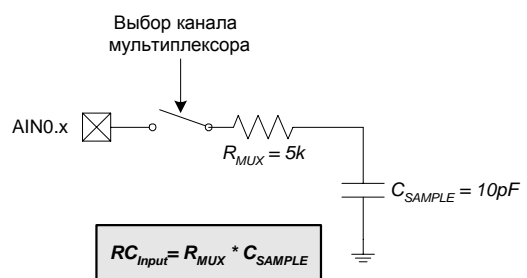


Рисунок 6.5. AMX0CF: Регистр конфигурации AMUX0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	-	-	AIN67IC	AIN45IC	AIN23IC	AIN01IC	SFR Адрес: 0xBA SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-4: **Не используются:** читаются как 0000b. Запись не оказывает никакого влияния.

Бит 3: AIN67IC: Бит конфигурации пары входов AIN6, AIN7
0: AIN6 и AIN7 – независимые одиночные входы
1: AIN6 и AIN7 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 2: AIN45IC: Бит конфигурации пары входов AIN4, AIN5
0: AIN4 и AIN5 – независимые одиночные входы
1: AIN4 и AIN5 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 1: AIN23IC: Бит конфигурации пары входов AIN2, AIN3
0: AIN2 и AIN3 – независимые одиночные входы
1: AIN2 и AIN3 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 0: AIN01IC: Бит конфигурации пары входов AIN0, AIN1
0: AIN0 и AIN1 – независимые одиночные входы
1: AIN0 и AIN1 – пара дифференциальных входов ('+' и '-' соответственно)

Примечание: Для каналов, настроенных как дифференциальные, слово данных АЦП представляет собой число в дополнительном формате.

Рисунок 6.6. AMX0SL: Регистр выбора канала AMUX0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	-	-	AMX0AD3	AMX0AD2	AMX0AD1	AMX0AD0		SFR Адрес: 0xBB SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0		

Биты 7-4: **Не используются**: читаются как 0000b. Запись не оказывает никакого влияния.

Биты 3-0: AMX0AD3-0: Биты адреса AMUX0
0000-1111b: Каналы АЦПО выбираются в соответствии со следующей таблицей:

		Биты 3-0 регистра AMX0AD								1xxx
		0000	0001	0010	0011	0100	0101	0110	0111	
Биты 3-0 регистра AMX0CF	0000	AIN0.0	AIN0.1	AIN0.2	AIN0.3	AIN0.4	AIN0.5	AIN0.6	AIN0.7	датчик темп-ры
	0001	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3	AIN0.4	AIN0.5	AIN0.6	AIN0.7	датчик темп-ры
	0010	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)		AIN0.4	AIN0.5	AIN0.6	AIN0.7	датчик темп-ры
	0011	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)		AIN0.4	AIN0.5	AIN0.6	AIN0.7	датчик темп-ры
	0100	AIN0.0	AIN0.1	AIN0.2	AIN0.3	+(AIN0.4) -(AIN0.5)		AIN0.6	AIN0.7	датчик темп-ры
	0101	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3	+(AIN0.4) -(AIN0.5)		AIN0.6	AIN0.7	датчик темп-ры
	0110	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)		+(AIN0.4) -(AIN0.5)		AIN0.6	AIN0.7	датчик темп-ры
	0111	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)		+(AIN0.4) -(AIN0.5)		AIN0.6	AIN0.7	датчик темп-ры
	1000	AIN0.0	AIN0.1	AIN0.2	AIN0.3	AIN0.4	AIN0.5	+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1001	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3	AIN0.4	AIN0.5	+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1010	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)		AIN0.4	AIN0.5	+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1011	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)		AIN0.4	AIN0.5	+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1100	AIN0.0	AIN0.1	AIN0.2	AIN0.3	+(AIN0.4) -(AIN0.5)		+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1101	+(AIN0.0) -(AIN0.1)		AIN0.2	AIN0.3	+(AIN0.4) -(AIN0.5)		+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1110	AIN0.0	AIN0.1	+(AIN0.2) -(AIN0.3)		+(AIN0.4) -(AIN0.5)		+(AIN0.6) -(AIN0.7)		датчик темп-ры
	1111	+(AIN0.0) -(AIN0.1)		+(AIN0.2) -(AIN0.3)		+(AIN0.4) -(AIN0.5)		+(AIN0.6) -(AIN0.7)		датчик темп-ры

Рисунок 6.7. ADC0CF: Регистр конфигурации АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
AD0SC4	AD0SC3	AD0SC2	AD0SC1	AD0SC0	AMP0GN2	AMP0GN1	AMP0GN0	11111000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBC SFR страница: 0

Биты 7-3: AD0SC4-0: Биты установки периода сигнала дискретизации АЦПО
Частота сигнала дискретизации АЦПО определяется частотой системного тактового сигнала в соответствии со следующим уравнением (Примечание: частота сигнала дискретизации АЦПО не должна превышать 2,5 МГц.):

$$AD0SC = (SYSCLK / (2 \times CLK_{SAR0})) - 1, \quad (AD0SC > 00000b)$$

где AD0SC – 5-разрядное значение, задаваемое битами AD0SC4-0
CLK_{SAR0} – необходимая частота сигнала дискретизации АЦПО

Если AD0SC = 00000b, то частота дискретизации АЦП равна SYSCLK, что позволяет осуществлять быстрые преобразования АЦП при работе с низкой частотой тактового сигнала.

Биты 2-0: AMP0GN2-0: Коэффициент усиления программируемого усилителя (PGA) АЦПО.

000: K_{ус} = 1
001: K_{ус} = 2
010: K_{ус} = 4
011: K_{ус} = 8
10x: K_{ус} = 16
11x: K_{ус} = 0.5

Рисунок 6.8. ADC0CN: Регистр управления АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
AD0EN	AD0TM	AD0INT	AD0BUSY	AD0CM1	AD0CM0	AD0WINT	AD0LJST	SFR Адрес: 0xE8 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	

Бит 7: AD0EN: Бит включения АЦПО
0: АЦПО отключен. АЦПО находится в режиме пониженного энергопотребления.
1: АЦПО включен. АЦПО находится в активном режиме и готов к преобразованию данных.

Бит 6: AD0TM: Бит установки режима слежения АЦПО
0: Когда АЦПО включен, слежение осуществляется всегда, за исключением момента преобразования.
1: Режим слежения определяется битами AD0CM1-0.

Бит 5: AD0INT: Флаг прерывания от АЦПО (устанавливается при завершении преобразования)
Этот флаг должен быть сброшен программно.
0: АЦПО не закончил преобразование данных (с момента последнего обнуления этого флага)
1: АЦПО закончил преобразование данных

Бит 4: AD0BUSY: Бит занятости АЦПО
Чтение:
0: Преобразование данных завершено или в данный момент преобразование не осуществляется.
При аппаратном обнулении этого бита флаг AD0INT устанавливается в 1.
1: Идет процесс преобразования данных АЦПО.
Запись
0: Не вызывает никаких действий.
1: Иницирует запуск преобразования АЦПО, если биты AD0CM1-0 = 00b.

Биты 3-2: AD0CM1-0: Биты выбора режима запуска преобразования АЦПО
Если AD0TM = 0:
00: Запуск преобразования осуществляется установкой в 1 бита AD0BUSY.
01: Запуск преобразования осуществляется при переполнении Таймера 3.
10: Запуск преобразования осуществляется нарастающим фронтом внешнего сигнала CNVSTR0.
11: Запуск преобразования осуществляется при переполнении Таймера 2.
Если AD0TM = 1:
00: слежение (выборка) начинается в момент установки в 1 бита AD0BUSY и длится 3 периода сигнала дискретизации АЦПО, затем начинается преобразование данных.
01: слежение (выборка) начинается при переполнении Таймера 3 и длится 3 периода сигнала дискретизации АЦПО, затем начинается преобразование данных.
10: слежение (выборка) происходит лишь при низком уровне сигнала на входе CNVSTR0; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR0.
11: слежение (выборка) начинается при переполнении Таймера 2 и длится 3 периода сигнала дискретизации АЦПО; затем начинается преобразование данных.

Бит 1: AD0WINT: Флаг прерывания от детектора диапазона АЦПО (сбрасывается программно).
0: Преобразованные данные не соответствуют заданному диапазону (с момента последнего обнуления этого флага).
1: Преобразованные данные соответствуют заданному диапазону

Бит 0: AD0LJST: Бит выравнивания результата преобразования
0: Данные в регистровой паре ADC0H:ADC0L выровнены вправо
1: Данные в регистровой паре ADC0H:ADC0L выровнены влево

Рисунок 6.9. ADC0H: Регистр старшего байта слова данных АЦП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xBF SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старшие биты слова данных АЦП0.
 Для AD0LJST = 0: Биты 7-2 являются знаковым расширением бита 1. Биты 2-0 представляют собой старшие 2 бита 10-разрядного слова данных АЦП0.
 Для AD0LJST = 1: Биты 7-0 являются старшими 8 битами 10-разрядного слова данных АЦП0.

Рисунок 6.10. ADC0L: Регистр младшего байта слова данных АЦП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xBE SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младшие биты слова данных АЦП
 Для AD0LJST = 0: Биты 7-0 являются младшими 8 битами 10-разрядного слова данных АЦП0.
 Для AD0LJST = 1: Биты 7-6 представляют собой младшие 2 бита 10-разрядного слова данных АЦП0. Биты 5-0 всегда читаются как '0'.

Рисунок 6.11. Пример слова данных АЦПО

10-разрядный результат преобразования АЦПО получается следующим образом:

ADC0H[1:0]:ADC0L[7:0], если AD0LJST = 0

(в случае преобразования дифференциального сигнала биты ADC0H[7:2] будут знаковым расширением бита ADC0H.1, в случае одиночного сигнала ADC0H[7:2] = 000000b)

ADC0H[7:0]:ADC0L[7:6], если AD0LJST = 1

(ADC0L[5:0] = 000000b)

Пример: Порядок записи результата преобразования, вход AIN0.0 работает в однофазном режиме (AMX0CF=0x00, AMX0SL=0x00)

AIN0.0 – AGND (Вольты)	ADC0H:ADC0L (AD0LJST = 0)	ADC0H:ADC0L (AD0LJST = 1)
VREF * (1023/1024)	0x03FF	0xFFC0
VREF/2	0x0200	0x8000
VREF * (511/1024)	0x01FF	0x7FC0
0	0x0000	0x0000

Пример: Порядок записи результата преобразования, входы AIN0.0-AIN0.1 работают в дифференциальном режиме (AMX0CF=0x01, AMX0SL=0x00)

AIN0.0 – AIN0.1 (Вольты)	ADC0H:ADC0L (AD0LJST = 0)	ADC0H:ADC0L (AD0LJST = 1)
VREF * (511/512)	0x01FF	0x7FC0
VREF/2	0x0100	0x4000
VREF * (1/512)	0x0001	0x0040
0	0x0000	0x0000
- VREF * (1/512)	0xFFFF(-1)	0xFFC0
- VREF/2	0xFF00(-256)	0xC000
- VREF	0xFE00(-512)	0x8000

Для AD0LJST = 0:

$$Code = Vin \times (Gain/VREF) \times 2^n;$$

‘n’ = 10, если входы работают в однофазном режиме;

‘n’ = 9, если входы работают в дифференциальном режиме.

6.3. Программируемый детектор диапазона АЦП

Программируемый детектор диапазона АЦПО постоянно проверяет выходные данные АЦПО на соответствие заданному пользователем диапазону значений и уведомляет систему при обнаружении несоответствия. Это особенно эффективно в управляемых прерываниями системах, т.к. позволяет уменьшить объем кода и улучшить производительность при одновременном уменьшении времени реакции системы. Флаг прерывания от детектора диапазона (бит AD0WINT в регистре ADC0CN) можно использовать также в режиме программного опроса. Старшие и младшие байты граничных значений загружаются в регистры нижней и верхней границ диапазона АЦПО (ADC0GTH, ADC0GTL, ADC0LTH и ADC0LTL). На рис.6.16, рис.6.17, рис.6.18 и рис.6.19 приведены примеры использования детектора диапазона. Следует отметить, что флаг прерывания от детектора диапазона может устанавливаться как при попадании, так и при непадании результата преобразования в заданный диапазон, в зависимости от значений, записанных в регистры ADC0GTx и ADC0LTx.

Рисунок 6.12. ADC0GTH: Регистр старшего байта нижней границы диапазона АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC5 SFR страница: 0

Биты 7-0: Старший байт нижней границы диапазона АЦПО.

Рисунок 6.13. ADC0GTL: Регистр младшего байта нижней границы диапазона АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC4 SFR страница: 0

Биты 7-0: Младший байт нижней границы диапазона АЦПО.

Рисунок 6.14. ADC0LTH: Регистр старшего байта верхней границы диапазона АЦПО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC7 SFR страница: 0

Биты 7-0: Старший байт верхней границы диапазона АЦПО.

Рисунок 6.15. ADC0LTL: Регистр младшего байта верхней границы диапазона АЦП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC6 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
								Биты 7-0: Младший байт верхней границы диапазона АЦП0.

**Рисунок 6.16. Пример использования детектора диапазона 10-разрядного АЦП0
(данные выровнены вправо, однофазный режим работы)**

Входное напряжение (AD0.0 - AGND)	Слово данных АЦП	
REF x (1023/1024)	0x03FF	AD0WINT не изменяется
	0x0201	
REF x (512/1024)	0x0200	ADC0LTH:ADC0LTL
	0x01FF	AD0WINT=1
	0x0101	
REF x (256/1024)	0x0100	ADC0GTH:ADC0GTL
	0x00FF	AD0WINT не изменяется
0	0x0000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 0,
ADC0LTH:ADC0LTL = 0x0200,
ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x0200 и > 0x0100.

Входное напряжение (AD0.0 - AGND)	Слово данных АЦП	
REF x (1023/1024)	0x03FF	AD0WINT=1
	0x0201	
REF x (512/1024)	0x0200	ADC0GTH:ADC0GTL
	0x01FF	AD0WINT не изменяется
	0x0101	
REF x (256/1024)	0x0100	ADC0LTH:ADC0LTL
	0x00FF	AD0WINT=1
0	0x0000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 0,
ADC0LTH:ADC0LTL = 0x0100,
ADC0GTH:ADC0GTL = 0x0200.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x0100 или > 0x0200.

Рисунок 6.17. Пример использования детектора диапазона 10-разрядного АЦП0
(данные выровнены вправо, дифференциальный режим работы)

Входное напряжение (AD0.0 - AD0.1)	Слово данных АЦП	
REF x (511/512)	0x01FF	AD0WINT не изменяется
	0x0101	
REF x (256/512)	0x0100	ADC0LTH:ADC0LTL
	0x00FF	AD0WINT=1
	0x0000	
REF x (-1/512)	0xFFFF	ADC0GTH:ADC0GTL
	0xFFFE	AD0WINT не изменяется
-REF	0xFE00	

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 0,
ADC0LTH:ADC0LTL = 0x0100,
ADC0GTH:ADC0GTL = 0xFFFF.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x0100 и > 0xFFFF. (используется дополнительный код, т.е. 0xFFFF = -1.)

Входное напряжение (AD0.0 - AD0.1)	Слово данных АЦП	
REF x (511/512)	0x01FF	AD0WINT=1
	0x0101	
REF x (256/512)	0x0100	ADC0GTH:ADC0GTL
	0x00FF	AD0WINT не изменяется
	0x0000	
REF x (-1/512)	0xFFFF	ADC0LTH:ADC0LTL
	0xFFFE	AD0WINT=1
-REF	0xFE00	

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 0,
ADC0LTH:ADC0LTH = 0xFFFF,
ADC0GTH:ADC0GTL = 0x0100.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0xFFFF или > 0x0100. (используется дополнительный код, т.е. 0xFFFF = -1.)

Рисунок 6.18. Пример использования детектора диапазона 10-разрядного АЦП0
(данные выровнены влево, однофазный режим работы)

Входное напряжение (AD0.0 - AGND)	Слово данных АЦП	
REF x (1023/1024)	0xFFC0	AD0WINT не изменяется
	0x8040	
REF x (512/1024)	0x8000	ADC0LTH:ADC0LTL
	0x7FC0	
	0x4040	AD0WINT=1
REF x (256/1024)	0x4000	
	0x3FC0	ADC0GTH:ADC0GTL
0	0x0000	AD0WINT не изменяется

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x8000,
ADC0GTH:ADC0GTL = 0x4000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x8000 и > 0x4000.

Входное напряжение (AD0.0 - AGND)	Слово данных АЦП	
REF x (1023/1024)	0xFFC0	AD0WINT=1
	0x8040	
REF x (512/1024)	0x8000	ADC0GTH:ADC0GTL
	0x7FC0	
	0x4040	AD0WINT не изменяется
REF x (256/1024)	0x4000	
	0x3FC0	ADC0LTH:ADC0LTL
0	0x0000	AD0WINT=1

Задано:

AMX0SL = 0x00, AMX0CF = 0x00, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x4000,
ADC0GTH:ADC0GTL = 0x8000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x4000 или > 0x8000.

**Рисунок 6.19. Пример использования детектора диапазона 10-разрядного АЦП0
(данные выровнены влево, дифференциальный режим работы)**

Входное напряжение (AD0.0 - AD0.1)	Слово данных АЦП	
REF x (511/512)	0x7FC0	AD0WINT не изменяется
	0x2040	
REF x (128/512)	0x2000	ADC0LTH:ADC0LTL
	0x1FC0	AD0WINT=1
	0x0000	
REF x (-1/512)	0xFFC0	ADC0GTH:ADC0GTL
	0xFF80	AD0WINT не изменяется
-REF	0x8000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 1,
ADC0LTH:ADC0LTL = 0x2000,
ADC0GTH:ADC0GTL = 0xFFC0.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0x2000 и > 0xFFC0. (используется дополнительный код, т.е. 0xFFFF = -1.)

Входное напряжение (AD0.0 - AD0.1)	Слово данных АЦП	
REF x (511/512)	0x7FC0	AD0WINT=1
	0x2040	
REF x (128/512)	0x2000	ADC0GTH:ADC0GTL
	0x1FC0	AD0WINT не изменяется
	0x0000	
REF x (-1/512)	0xFFC0	ADC0LTH:ADC0LTL
	0xFF80	AD0WINT=1
-REF	0x8000	

Задано:

AMX0SL = 0x00, AMX0CF = 0x01, AD0LJST = 1,
ADC0LTH:ADC0LTH = 0xFFC0,
ADC0GTH:ADC0GTL = 0x2000.

По окончании преобразования будет инициировано прерывание от детектора диапазона (AD0WINT=1), если полученное слово данных АЦП0 < 0xFFC0 или > 0x2000. (используется дополнительный код, т.е. 0xFFFF = -1.)

**Таблица 6.1. Электрические характеристики 10-разрядного АЦП0
(C8051F122/3/6/7 и C8051F13x)**

VDD = 3.0В, AV+ = 3.0В, Vион = 2.4В (REFBE=0), Kусиления PGA = 1, T = -40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Точность преобразования					
Разрядность		10			бит
Интегральная нелинейность				±1	МЗР
Дифференциальная нелинейность	Монотонность преобразования			±1	МЗР
Погрешность смещения нуля			± 0,5		МЗР
Погрешность полной шкалы	Дифференциальный режим		-1,5 ± 0,5		МЗР
Температурный коэффициент смещения нуля			±0,25 × 10 ⁻⁴		%/°C
Динамические характеристики (10кГц синусоидальный входной сигнал, от 0 до 1dB полной шкалы, 100 тыс. преобразований/сек.)					
Отношение сигнал/шум плюс искажение		59			dB
Общее нелинейное искажение	До 5-й гармоники		-70		dB
Динамический диапазон			80		dB
Скорость преобразования					
Время преобразования в периодах сигнала дискретизации		16			такты
Частота дискретизации				2,5	МГц
Время заряда VBX		1,5			мкс
Производительность				100000	преобр./с
Аналоговые входы					
Диапазон входных напряжений	Однофазный режим	0		VREF	В
*Диапазон синфазных напряжений	Дифференциальный режим	AGND		AV+	В
Входная емкость			10		пФ
Датчик температуры					
Нелинейность (см. примечание 1)			±0,2		°C
Смещение нуля	Темп-ра = 0°C		776		мВ
Погрешность смещения нуля (см. примечания 1 и 2)	Темп-ра = 0°C		±8,5		мВ
Крутизна характеристики			2,86		мВ/°C
Погрешность крутизны характеристики (см. примечание 2)			±0,034		мВ/°C
Параметры питания					
Ток потребления по выв. AV+	Активный режим, 100 тыс. преобразований/сек		450	900	мкА
Нестабильность по напряжению питания			±0.3		мВ/В

Примечание 1: Учитывает отклонения коэффициента смещения, коэффициента усиления и линейности АЦП.

Примечание 2: Представляет собой среднеквадратическое отклонение от средней величины.

7.2. Режимы работы АЦП2

Максимальная скорость преобразования АЦП2 – 500 тыс. преобразований в секунду. Частота дискретизации АЦП2 определяется частотой системного тактового сигнала, деленной на значение, задаваемое битами AD2SC регистра ADC2CF. Максимальная частота дискретизации АЦП2 – 6 МГц.

7.2.1. Запуск преобразования

Запуск преобразования может быть осуществлен одним из пяти способов, в зависимости от состояния битов режима запуска преобразования АЦП2 (AD2CM2-0) в регистре ADC2CN. Преобразование может быть инициировано:

- 1) установкой в 1 бита AD2BUSY в регистре ADC2CN;
- 2) переполнением Таймера 3 (т.е. непрерывное по времени преобразование);
- 3) нарастающим фронтом внешнего сигнала запуска преобразования АЦП (CNVSTR2);
- 4) переполнением Таймера 2 (т.е. непрерывное по времени преобразование);
- 5) установкой в 1 бита AD0BUSY в регистре ADC0CN (т.е. запуск преобразования АЦП2 и АЦП0 можно инициировать одной единственной командой).

Бит AD2BUSY устанавливается в 1 во время преобразования и сбрасывается в 0 после окончания преобразования. При сбросе бита AD2BUSY инициируется прерывание (если оно разрешено) и устанавливается флаг прерывания в регистре ADC2CN. Преобразованные данные доступны в регистре слова данных АЦП2 (ADC2).

Если преобразование инициируется установкой в 1 бита AD2BUSY, то для определения окончания преобразования рекомендуется опрашивать флаг AD2INT. Ниже приведена рекомендуемая процедура опроса:

Шаг 1: Сброс в 0 бита AD2INT.

Шаг 2: Установка в 1 бита AD2BUSY.

Шаг 3: Опрос бита AD2INT до тех пор, пока он не станет равен 1.

Шаг 4: Обработка данных АЦП2.

Если для запуска преобразования используется сигнал CNVSTR2, то он должен быть разведен при помощи цифровой матрицы, а соответствующий ему внешний вывод следует перевести в высокоимпедансный режим с открытым стоком (подробная информация о настройке портов ввода/вывода приведена в разделе 18).

7.2.2. Режимы слежения

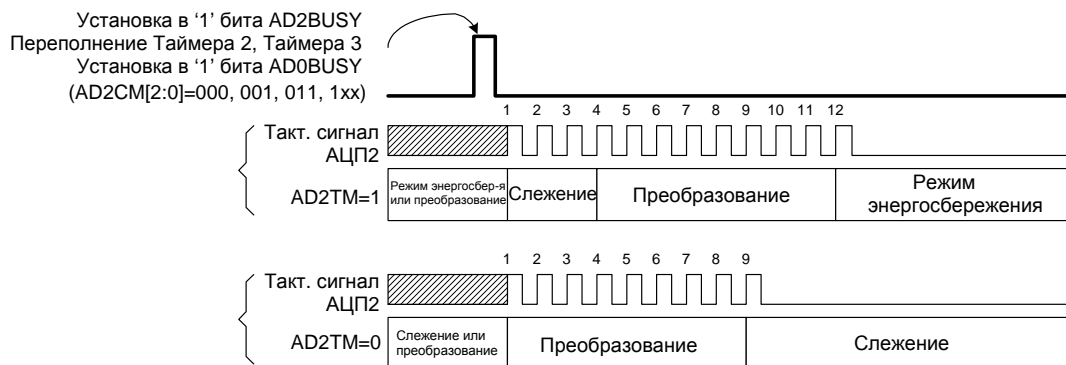
Бит AD2TM регистра ADC2CN управляет режимом выборки-хранения АЦП2. По умолчанию состояние входа АЦП2 отслеживается непрерывно, за исключением момента преобразования. Установка в 1 бита AD2TM переводит АЦП2 в энергосберегающий режим выборки-хранения. В этом режиме каждому преобразованию предшествует (после сигнала запуска преобразования) период выборки, равный трем периодам сигнала дискретизации АЦП. Если для запуска преобразования в энергосберегающем режиме выборки-хранения используется сигнал CNVSTR2, то АЦП2 отслеживает входной сигнал только тогда, когда на входе CNVSTR2 присутствует сигнал низкого уровня; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR2 (см. рис.7.2). Кроме этого слежение может быть запрещено (отключено), когда весь МК переведен в мало потребляющие режимы ожидания или остановки. Энергосберегающий режим выборки-хранения также полезен в том случае, когда параметры AMUX и PGA часто изменяются, чтобы гарантировать, что время установления соответствует заданным требованиям (см. раздел 7.2.3).

Рисунок 7.2. Временные диаграммы процесса преобразования

А. Временные диаграммы АЦП с внешним источником запуска



В. Временные диаграммы АЦП с внутренним источником запуска



7.2.3. Время установления

Перед началом преобразования для обеспечения его точности необходимо выдержать паузу длительностью не менее минимального времени установления сигнала. Время установления определяется сопротивлением AMUX2, емкостью накопительного конденсатора УВХ, сопротивлением внешнего источника сигнала и требуемой точностью преобразования. На рис.7.3 показана эквивалентная схема входа АЦП2. Требуемое время установления для заданной точности установления (settling accuracy – SA) можно приблизительно определить из уравнения 7.1. Абсолютное минимальное время установления после выбора любого канала AMUX2 составляет 0,8мкс. Следует отметить, что в энергосберегающем режиме выборки-хранения после запуска каждого преобразования выборка длится три периода сигнала дискретизации АЦП2. Для большинства приложений эти три периода сигнала дискретизации будут соответствовать требованиям, предъявляемым ко времени установления.

Уравнение 7.1. Время установления сигнала АЦП2

$$t = \ln(2^n/SA) \times R_{TOTAL}C_{SAMPLE}$$

где: SA – точность установления, задаваемая в долях МЗР (например, 0.25 для установления в пределах ¼ МЗР)

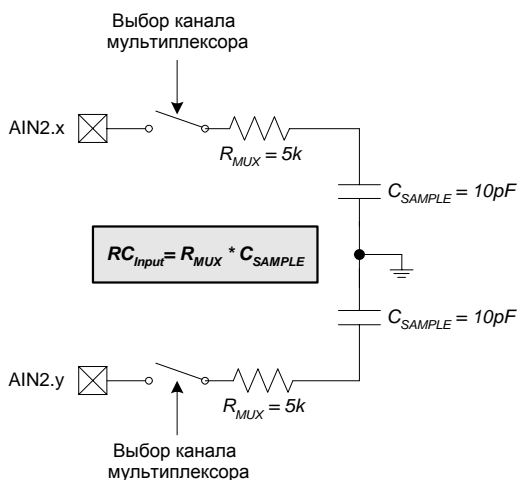
t - требуемое время установления в секундах

R_{TOTAL} – сумма сопротивления AMUX2 и сопротивления внешнего источника сигнала

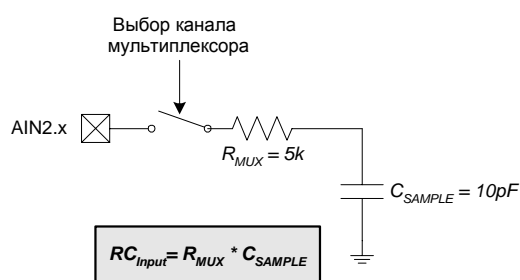
n - разрешение АЦП в битах (8)

Рисунок 7.3. Эквивалентная схема входа АЦП2

Дифференциальный режим



Однофазный режим



Примечание: C_{SAMPLE} = 3 пФ, если коэффициент усиления PGA равен 0.5

Рисунок 7.4. AMX2CF: Регистр конфигурации AMUX2

R	R	R	R	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	-	-	PIN67IC	PIN45IC	PIN23IC	PIN01IC	SFR Адрес: 0xBA SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-4: **Не используются**: читаются как 0000b. Запись не оказывает никакого влияния.

Бит 3: PIN67IC: Бит конфигурации пары входов P1.6, P1.7
0: P1.6 и P1.7 – независимые однофазные входы
1: P1.6 и P1.7 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 2: PIN45IC: Бит конфигурации пары входов P1.4, P1.5
0: P1.4 и P1.5 – независимые однофазные входы
1: P1.4 и P1.5 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 1: PIN23IC: Бит конфигурации пары входов P1.2, P1.3
0: P1.2 и P1.3 – независимые однофазные входы
1: P1.2 и P1.3 – пара дифференциальных входов ('+' и '-' соответственно)

Бит 0: PIN01IC: Бит конфигурации пары входов P1.0, P1.1
0: P1.0 и P1.1 – независимые однофазные входы
1: P1.0 и P1.1 – пара дифференциальных входов ('+' и '-' соответственно)

Примечание: Для каналов, настроенных как дифференциальные, слово данных АЦП2 представляет собой число в дополнительном формате.

Рисунок 7.5. AMX2SL: Регистр выбора канала AMUX2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение
-	-	-	-	-	AMX2AD2	AMX2AD1	AMX2AD0	при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0хBB SFR страница: 2

Биты 7-3: **Не используются**: читаются как 00000b. Запись не оказывает никакого влияния.

Биты 2-0: AMX2AD2-0: Биты адреса AMUX2

000-111b: Каналы АЦП1 выбираются в соответствии со следующей таблицей:

		Биты AMX2AD2-0							
		000	001	010	011	100	101	110	111
Биты 3-0 регистра AMX2CF	0000	AIN2.0	AIN2.1	AIN2.2	AIN2.3	AIN2.4	AIN2.5	AIN2.6	AIN2.7
	0001	+(AIN2.0) -(AIN2.1)		AIN2.2	AIN2.3	AIN2.4	AIN2.5	AIN2.6	AIN2.7
	0010	AIN2.0	AIN2.1	+(AIN2.2) -(AIN2.3)		AIN2.4	AIN2.5	AIN2.6	AIN2.7
	0011	+(AIN2.0) -(AIN2.1)		+(AIN2.2) -(AIN2.3)		AIN2.4	AIN2.5	AIN2.6	AIN2.7
	0100	AIN2.0	AIN2.1	AIN2.2	AIN2.3	+(AIN2.4) -(AIN2.5)		AIN2.6	AIN2.7
	0101	+(AIN2.0) -(AIN2.1)		AIN2.2	AIN2.3	+(AIN2.4) -(AIN2.5)		AIN2.6	AIN2.7
	0110	AIN2.0	AIN2.1	+(AIN2.2) -(AIN2.3)		+(AIN2.4) -(AIN2.5)		AIN2.6	AIN2.7
	0111	+(AIN2.0) -(AIN2.1)		+(AIN2.2) -(AIN2.3)		+(AIN2.4) -(AIN2.5)		AIN2.6	AIN2.7
	1000	AIN2.0	AIN2.1	AIN2.2	AIN2.3	AIN2.4	AIN2.5	+(AIN2.6) -(AIN2.7)	
	1001	+(AIN2.0) -(AIN2.1)		AIN2.2	AIN2.3	AIN2.4	AIN2.5	+(AIN2.6) -(AIN2.7)	
	1010	AIN2.0	AIN2.1	+(AIN2.2) -(AIN2.3)		AIN2.4	AIN2.5	+(AIN2.6) -(AIN2.7)	
	1011	+(AIN2.0) -(AIN2.1)		+(AIN2.2) -(AIN2.3)		AIN2.4	AIN2.5	+(AIN2.6) -(AIN2.7)	
	1100	AIN2.0	AIN2.1	AIN2.2	AIN2.3	+(AIN2.4) -(AIN2.5)		+(AIN2.6) -(AIN2.7)	
	1101	+(AIN2.0) -(AIN2.1)		AIN2.2	AIN2.3	+(AIN2.4) -(AIN2.5)		+(AIN2.6) -(AIN2.7)	
	1110	AIN2.0	AIN2.1	+(AIN2.2) -(AIN2.3)		+(AIN2.4) -(AIN2.5)		+(AIN2.6) -(AIN2.7)	
	1111	+(AIN2.0) -(AIN2.1)		+(AIN2.2) -(AIN2.3)		+(AIN2.4) -(AIN2.5)		+(AIN2.6) -(AIN2.7)	

Рисунок 7.6. ADC2CF: Регистр конфигурации АЦП2

R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	Значение при сбросе:
AD2SC4	AD2SC3	AD2SC2	AD2SC1	AD2SC0	-	AMP2GN1	AMP2GN0	11111000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xBC SFR страница: 2

Биты 7-3: AD2SC4-0: Биты установки периода сигнала дискретизации АЦП2
Частота сигнала дискретизации АЦП2 определяется частотой системного тактового сигнала в соответствии со следующим уравнением (Примечание: частота дискретизации АЦП2 не должна превышать 6 МГц):

$$AD2SC = (SYSCLK/CLK_{SAR2}) - 1,$$

где AD2SC – 5-разрядное значение, задаваемое битами AD2SC4-0
CLK_{SAR2} – необходимая частота сигнала дискретизации АЦП2

Бит 2: Не используется. Читается как 0b. Запись не оказывает никакого влияния.
Биты 1-0: AMP2GN1-0: Коэффициент усиления программируемого усилителя (PGA) АЦП2.
00: K_{yc} = 0.5
01: K_{yc} = 1
10: K_{yc} = 2
11: K_{yc} = 4

Рисунок 7.7. ADC2CN: Регистр управления АЦП2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
AD2EN	AD2TM	AD2INT	AD2BUSY	AD2CM2	AD2CM1	AD2CM0	AD2WINT	SFR Адрес: 0xE8 SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит7: AD2EN: Бит включения АЦП2</p> <p>0: АЦП2 отключен. АЦП2 находится в режиме пониженного энергопотребления.</p> <p>1: АЦП2 включен. АЦП2 находится в активном режиме и готов к преобразованию данных.</p> <p>Бит 6: AD2TM: Бит установки режима слежения (выборки) АЦП2</p> <p>0: Нормальный режим слежения: когда АЦП2 включен, слежение осуществляется всегда, за исключением момента преобразования.</p> <p>1: Энергосберегающий режим слежения: режим слежения определяется битами AD2CM2-0.</p> <p>Бит 5: AD2INT: Флаг прерывания от АЦП2 (устанавливается при завершении преобразования)</p> <p>Этот флаг должен быть сброшен программно.</p> <p>0: АЦП2 не закончил преобразование данных (с момента последнего обнуления этого флага)</p> <p>1: АЦП2 закончил преобразование данных</p> <p>Бит 4: AD2BUSY: Бит занятости АЦП2</p> <p>Чтение:</p> <p>0: Преобразование данных завершено или в данный момент преобразование не осуществляется. При аппаратном обнулении этого бита флаг AD2INT устанавливается в 1.</p> <p>1: Идет процесс преобразования данных</p> <p>Запись</p> <p>0: Не вызывает никаких действий</p> <p>1: Иницирует запуск преобразования АЦП2, если биты AD2CM2-0 = 000b</p> <p>Биты 3-1: AD2CM2-0: Биты выбора режима запуска преобразования АЦП2</p> <p>Если AD2TM = 0:</p> <p>000: Запуск преобразования осуществляется установкой в 1 бита AD2BUSY.</p> <p>001: Запуск преобразования осуществляется при переполнении Таймера 3.</p> <p>010: Запуск преобразования осуществляется нарастающим фронтом внешнего сигнала CNVSTR2.</p> <p>011: Запуск преобразования осуществляется при переполнении Таймера 2.</p> <p>1xx: Запуск преобразования осуществляется установкой в 1 бита AD0BUSY (т.е. синхронно с программно-управляемым преобразованием АЦП0).</p> <p>Если AD2TM = 1:</p> <p>000: Слежение (выборка) начинается в момент установки в 1 бита AD2BUSY и длится 3 периода сигнала дискретизации АЦП2, затем начинается преобразование данных.</p> <p>001: Слежение (выборка) начинается при переполнении Таймера 3 и длится 3 периода сигнала дискретизации АЦП2, затем начинается преобразование данных.</p> <p>010: Слежение (выборка) происходит лишь при низком уровне сигнала на входе CNVSTR2; преобразование запускается нарастающим фронтом сигнала на входе CNVSTR2.</p> <p>011: Слежение (выборка) начинается при переполнении Таймера 2 и длится 3 периода сигнала дискретизации АЦП2; затем начинается преобразование данных.</p> <p>1xx: Слежение (выборка) начинается в момент установки в 1 бита AD0BUSY и длится 3 периода сигнала дискретизации АЦП2, затем начинается преобразование данных.</p> <p>Бит 0: AD2WINT: Флаг прерывания от детектора диапазона АЦП2 (сбрасывается программно)</p> <p>0: Преобразованные данные не соответствуют заданному диапазону (с момента последнего обнуления этого флага).</p> <p>1: Преобразованные данные соответствуют заданному диапазону.</p>								

Рисунок 7.8. ADC2: Регистр слова данных АЦП2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xBE SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Слово данных АЦП2.

Рисунок 7.9. Пример слова данных АЦП2

Однофазный режим работы:

8-разрядный результат преобразования АЦП2 получается следующим образом:

Пример: Порядок записи результата преобразования
(однофазный вход AIN2.0, AMX2CF = 0x00, AMX2SL = 0x00)

AIN2.0 – AGND (Вольты)	ADC2
VREF * (255/256)	0xFF
VREF * (128/256)	0x80
VREF * (64/256)	0x40
0	0x00

$$Code = Vin \times (Gain/VREF) \times 256.$$

Дифференциальный режим работы:

8-разрядный результат преобразования АЦП2 получается следующим образом:

Пример: Порядок записи результата преобразования
(дифференциальные входы AIN2.0 - AIN2.1, AMX2CF = 0x01, AMX2SL = 0x00)

AIN2.0 – AGND (Вольты)	ADC2
VREF * (127/128)	0x7F
VREF * (64/128)	0x40
0	0x00
-VREF * (64/128)	0xC0 (-64d)
-VREF * (128/128)	0x80 (-128d)

$$Code = Vin \times (Gain/VREF) \times 256.$$

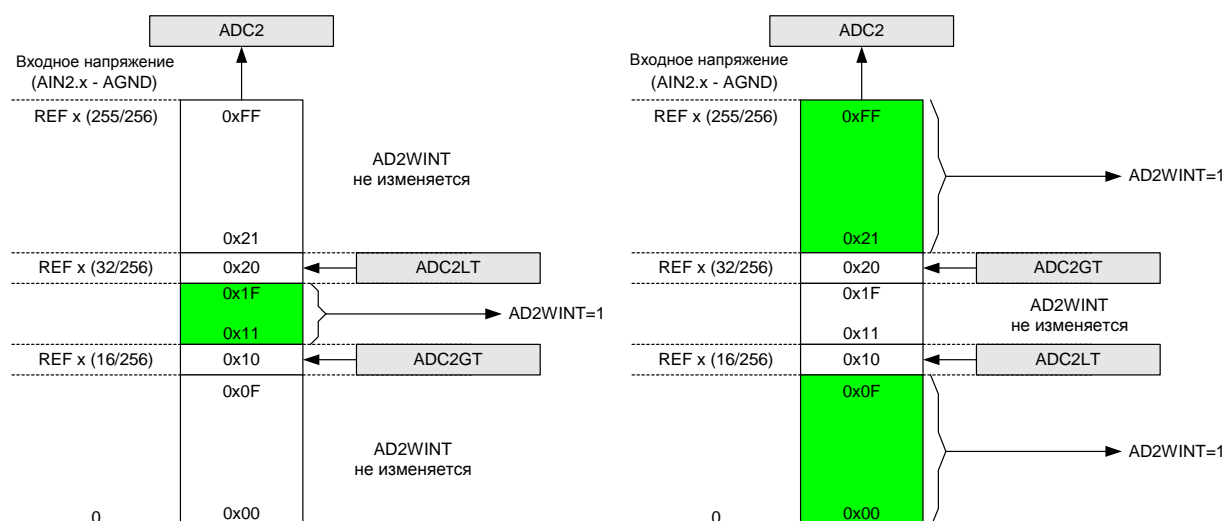
7.3. Программируемый детектор диапазона АЦП2

Программируемый детектор диапазона АЦП2 постоянно проверяет выходные данные АЦП2 на соответствие заданному пользователем диапазону значений и уведомляет систему при обнаружении несоответствия. Это особенно эффективно в управляемых прерываниями системах, т.к. позволяет уменьшить объем кода и улучшить производительность при одновременном уменьшении времени реакции системы. Флаг прерывания от детектора диапазона (бит AD2WINT в регистре ADC2CN) можно использовать также в режиме программного опроса. Граничные значения загружаются в регистры нижней (ADC2GT) и верхней (ADC2LT) границ диапазона АЦП2. На рис.7.11 и рис.7.10 приведены примеры использования детектора диапазона для дифференциального и однофазного режимов работы соответственно. Следует отметить, что флаг прерывания от детектора диапазона может устанавливаться как при попадании, так и при непадании результата преобразования в заданный диапазон, в зависимости от значений, записанных в регистры ADC2GT и ADC2LT.

7.3.1. Детектор диапазона в однофазном режиме

На рис.7.10 показаны два примера работы детектора диапазона АЦП2 в однофазном режиме, при $ADC2LT = 0x20$ и $ADC2GT = 0x10$. Следует иметь ввиду, что в однофазном режиме коды изменяются от 0 до $VREF \cdot (255/256)$ и представляют собой 8-разрядные целые числа без знака. В левом примере прерывание от флага AD2WINT будет генерироваться в том случае, если результат преобразования АЦП2 (ADC2) находится внутри диапазона, определяемого регистрами ADC2GT и ADC2LT (если $0x10 < ADC2 < 0x20$). В правом примере прерывание от флага AD2WINT будет генерироваться в том случае, если результат преобразования АЦП2 (ADC2) находится за пределами диапазона, определяемого регистрами ADC2GT и ADC2LT (если $ADC2 < 0x10$ или $ADC2 > 0x20$).

Рисунок 7.10. Пример использования детектора диапазона АЦП2 (вход однофазный)



7.3.2. Детектор диапазона в дифференциальном режиме

На рис.7.11 показаны два примера работы детектора диапазона АЦП2 в дифференциальном режиме, при $ADC2LT = 0x10 (+16d)$ и $ADC2GT = 0xFF (-1d)$. Следует иметь ввиду, что в дифференциальном режиме коды изменяются от $-VREF$ до $VREF \cdot (127/128)$ и представляют собой 8-разрядные целые числа со знаком в дополнительном коде. В левом примере прерывание от флага $AD2WINT$ будет генерироваться в том случае, если результат преобразования АЦП2 ($ADC2$) находится внутри диапазона, определяемого регистрами $ADC2GT$ и $ADC2LT$ (если $0xFF (-1d) < ADC2 < 0x0F (16d)$). В правом примере прерывание от флага $AD2WINT$ будет генерироваться в том случае, если результат преобразования АЦП2 ($ADC2$) находится за пределами диапазона, определяемого регистрами $ADC2GT$ и $ADC2LT$ (если $ADC2 < 0xFF (-1d)$ или $ADC2 > 0x10 (+16d)$).

**Рисунок 7.11. Пример использования детектора диапазона АЦП2
(вход дифференциальный)**

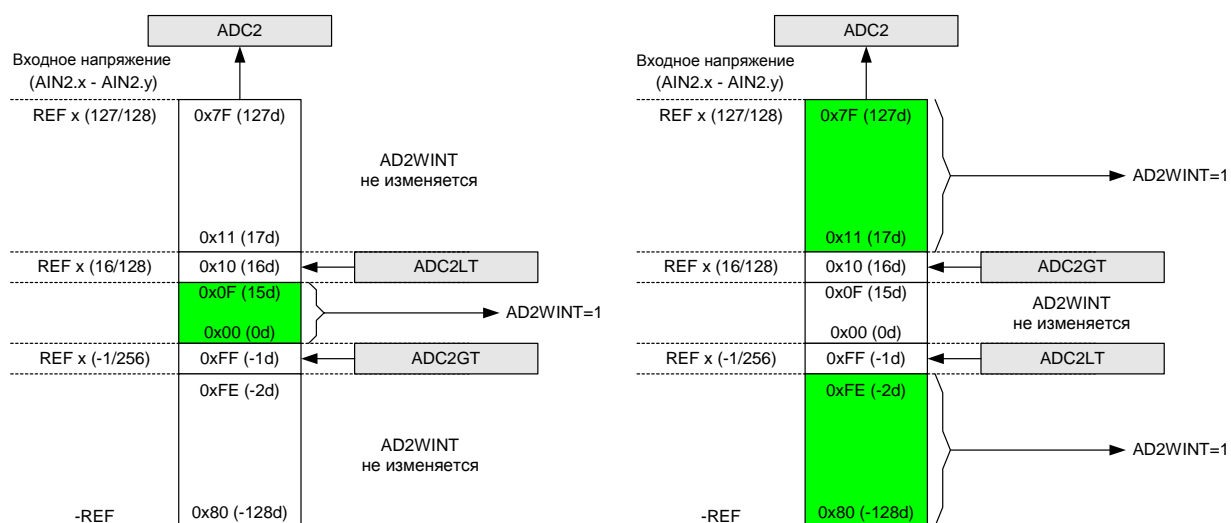


Рисунок 7.12. ADC2GT: Регистр нижней границы диапазона АЦП2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 11111111 SFR Адрес: 0xC4 SFR страница: 2
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Байт нижней границы диапазона АЦП2.

Рисунок 7.13. ADC2LT: Регистр верхней границы диапазона АЦП2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC6 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Байт верхней границы диапазона АЦП2.

Таблица 7.1. Электрические характеристики АЦП2

VDD = 3.0В, AV+ = 3.0В, VREF2 = 2.4В (REFBE=0), K_{усиления} PGA = 1, T = -40°C ... +85°C, если не указано иное.

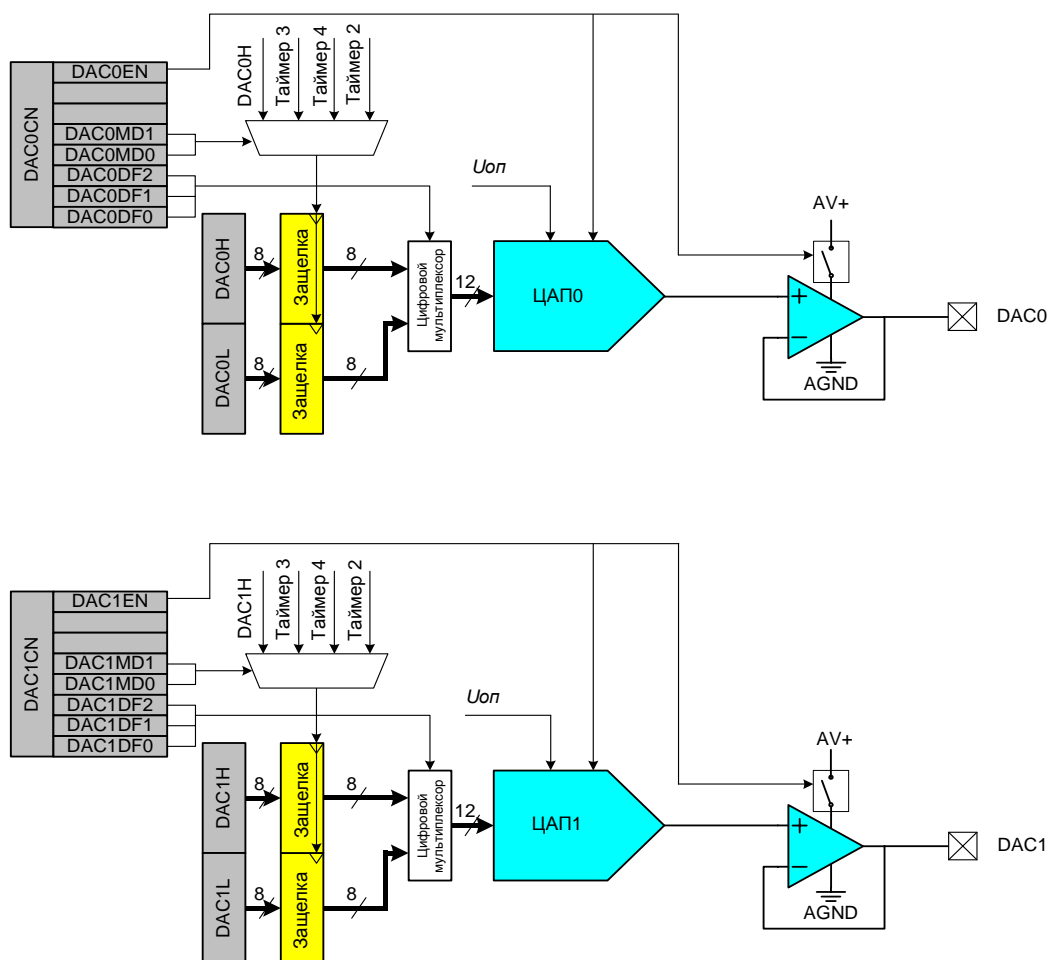
ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Точность преобразования					
Разрядность		8			бит
Интегральная нелинейность				±1	МЗР
Дифференциальная нелинейность	Монотонность преобразования			±1	МЗР
Погрешность смещения нуля			0,5±0,3		МЗР
Погрешность полной шкалы	Дифференциальный режим		-1 ±0,2		МЗР
Температурный коэффициент смещения нуля			0,001		%/°C
Динамические характеристики (10кГц синусоидальный входной сигнал, от 0 до 1dB полной шкалы, 500 тыс. преобразований/сек.)					
Отношение сигнал/шум плюс искажение		45	47		dB
Общее нелинейное искажение	До 5-й гармоники		51		dB
Динамический диапазон			52		dB
Скорость преобразования					
Время преобразования в периодах сигнала дискретизации		8			такты
Частота дискретизации				6	МГц
Время заряда VBX		800			нс
Производительность				500000	преобр./с
Аналоговые входы					
Диапазон входных напряжений		0		VREF	В
Входная емкость			5		пФ
Параметры питания					
Ток потребления по выв. AV+	Активный режим, 500 тыс. преобразований/сек		420	900	мкА
Нестабильность по напряжению питания			±0.3		мВ/В

ПРИМЕЧАНИЯ

8. 12-разрядные ЦАП (только C8051F12x)

МК C8051F12x имеют два встроенных 12-разрядных ЦАП, выходным сигналом которых является напряжение. Диапазон выходных напряжений каждого ЦАП от 0В до (VREF-1МЗР)В для диапазона входных кодов соответственно от 0x000 до 0xFFFF. Регистры управления DAC0CN и DAC1CN обеспечивают возможность включения/отключения каждого ЦАП. Когда ЦАП отключен, его выход переводится в высокоимпедансное состояние и ток потребления падает до 1 мкА или менее. Опорное напряжение для каждого ЦАП подается через вывод VREFD (C8051F120/2/4/6) или через вывод VREF (C8051F121/3/5/7). Следует отметить, что вывод VREF в МК C8051F121/3/5/7 может быть подключен к внутреннему или внешнему источнику опорного напряжения. Если используется внутренний источник опорного напряжения, то его необходимо включить, иначе выходное напряжение ЦАП будет некорректным. Подробная информация о настройке источника опорного напряжения для ЦАП приведена в разделе 9.

Рисунок 8.1. Функциональная схема ЦАП.



8.1. Формирование выходного сигнала ЦАП.

Каждый ЦАП отличает гибкий механизм обновления выходного сигнала, который позволяет плавно («бесшовно») изменять выходной сигнал во всем диапазоне выходных напряжений и поддерживает обновление выходного сигнала без накопления фазовых искажений. Приведенные ниже примеры касаются ЦАП0, однако ЦАП1 функционирует аналогичным образом.

8.1.1. Обновление выходного сигнала “по требованию”.

В режиме по умолчанию ($DAC0CN.[4:3] = '00'$) выходной сигнал ЦАП0 обновляется “по требованию” при записи старшего байта регистра данных ЦАП0 ($DAC0H$). Необходимо иметь в виду, что при записи регистра $DAC0L$ записываемое значение удерживается, но не влияет на выход ЦАП0 до тех пор, пока не произойдет запись в регистр $DAC0H$. Для ЦАП0 12-разрядное слово данных записывается в регистры младшего ($DAC0L$) и старшего ($DAC0H$) байтов данных. Данные фиксируются в ЦАП0 после записи регистра $DAC0H$, поэтому, если требуется получить полную 12-разрядную точность, **последовательность записи должна быть следующей: сначала $DAC0L$, затем $DAC0H$** . ЦАП может использоваться в 8-разрядном режиме. Для этого необходимо инициализировать регистр $DAC0L$ требуемым значением (обычно $0x00$) и записывать данные только в регистр $DAC0H$ (в разделе 8.2 приведена информация о форматировании 12-разрядного слова данных ЦАП в пределах 16 бит регистровой пары $DAC0H:DAC0L$).

8.1.2. Обновление выходного сигнала при переполнении таймера.

При работе АЦП преобразование может быть инициировано переполнением таймера независимо от процессора. Аналогичным образом переполнение таймера может использоваться для обновления выходного сигнала ЦАП. Эту возможность выгодно использовать в системах, в которых ЦАП используется для генерации сигнала с определенной частотой выборки, т.к. задержка реакции на прерывание и время выполнения команд не будут влиять на временные параметры выходного сигнала ЦАП. Если состояние битов $DAC0MD$ ($DAC0CN.[4:3]$) равно $'01'$, $'10'$ или $'11'$, то при записи обоих регистров данных ЦАП ($DAC0H$ и $DAC0L$) записываемые в них значения удерживаются до момента переполнения соответствующего таймера (Таймер 3, Таймер 4 или Таймер 2 соответственно). В момент переполнения содержимое регистровой пары $DAC0H:DAC0L$ копируется во входные защелки ЦАП, вызывая тем самым обновление выходного сигнала ЦАП.

8.2. Форматирование входных данных ЦАП.

В некоторых случаях перед записью данных в ЦАП0 требуется сдвинуть их, чтобы обеспечить правильное выравнивание данных во входных регистрах ЦАП. Обычно для этого требуется одна или более операций загрузки и сдвига, что увеличивает объем программного кода и ухудшает производительность ЦАП. Чтобы решить эту проблему, предусмотрена возможность форматирования данных, которая позволяет пользователю выбрать режим форматирования слова данных ЦАП0 в регистрах данных $DAC0H$ и $DAC0L$. Три бита $DAC0DF2-0$ ($DAC0CN.[2:0]$) позволяют пользователю задать один из пяти режимов форматирования данных (см. описание регистра $DAC0CN$).

ЦАП1 и описанный выше ЦАП0 функционально идентичны. Электрические характеристики ЦАП0 и ЦАП1 приведены в таблице 8.1.

Рисунок 8.2. DAC0H: Регистр старшего байта ЦАП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD3 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старший значащий байт слова данных ЦАП0.

Рисунок 8.3. DAC0L: Регистр младшего байта ЦАП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD2 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младший значащий байт слова данных ЦАП0.

Рисунок 8.4. DAC0CN: Регистр управления ЦАП0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
DAC0EN	-	-	DAC0MD1	DAC0MD0	DAC0DF2	DAC0DF1	DAC0DF0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD4 SFR страница: 0

Бит 7: DAC0EN: Бит включения ЦАП0
 0: ЦАП0 выключен. Вывод выхода ЦАП0 отключен; ЦАП0 переведен в режим пониженного энергопотребления.
 1: ЦАП0 включен. Вывод выхода ЦАП0 активен. ЦАП0 в рабочем состоянии.

Биты 6-5: **Не используются**: читаются как 00b; запись не оказывает никакого влияния.

Биты 4-3: DAC0MD1-0: Биты выбора режима обновления выходного сигнала ЦАП0.
 00: Обновление выходного сигнала ЦАП происходит при записи в регистр DAC0H.
 10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 3.
 10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 4.
 11: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 2.

Биты 2-0: DAC0DF2-0: Биты выбора режима форматирования данных ЦАП0

000: DAC0H[3:0] – старшие 4 бита слова данных ЦАП0
 DAC0L – младший байт слова данных ЦАП0

DAC0H								DAC0L							
					C3P										M3P

001: DAC0H[4:0] – старшие 5 бит слова данных ЦАП0
 DAC0L[7:1] – младшие 7 бит слова данных ЦАП0

DAC0H								DAC0L							
					C3P									M3P	

010: DAC0H[5:0] – старшие 6 бит слова данных ЦАП0
 DAC0L[7:2] – младшие 6 бит слова данных ЦАП0

DAC0H								DAC0L							
					C3P									M3P	

011: DAC0H[6:0] – старшие 7 бит слова данных ЦАП0
 DAC0L[7:3] – младшие 5 бит слова данных ЦАП0

DAC0H								DAC0L							
					C3P									M3P	

1xx: DAC0H – старший байт слова данных ЦАП0
 DAC0L[7:4] – младшие 4 бита слова данных ЦАП0

DAC0H								DAC0L							
					C3P									M3P	

Рисунок 8.5. DAC1H: Регистр старшего байта ЦАП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD3 SFR страница: 1
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Старший значащий байт слова данных ЦАП1.

Рисунок 8.6. DAC1L: Регистр младшего байта ЦАП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD2 SFR страница: 1
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Младший значащий байт слова данных ЦАП1.

Рисунок 8.7. DAC1CN: Регистр управления ЦАП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
DAC1EN	-	-	DAC1MD1	DAC1MD0	DAC1DF2	DAC1DF1	DAC1DF0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD4 SFR страница: 1

Бит 7: DAC1EN: Бит включения ЦАП1
0: ЦАП1 выключен. Вывод выхода ЦАП1 отключен; ЦАП1 переведен в режим пониженного энергопотребления.
1: ЦАП1 включен. Вывод выхода ЦАП1 активен. ЦАП1 в рабочем состоянии.

Биты 6-5: **Не используются**: читаются как 00b; запись не оказывает никакого влияния.

Биты 4-3: DAC1MD1-0: Биты выбора режима обновления выходного сигнала ЦАП1.
00: Обновление выходного сигнала ЦАП происходит при записи в регистр DAC1H.
10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 3.
10: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 4.
11: Обновление выходного сигнала ЦАП происходит при переполнении Таймера 2.

Биты 2-0: DAC1DF2-0: Биты выбора режима форматирования данных ЦАП1

000: DAC1H[3:0] – старшие 4 бита слова данных ЦАП1
DAC1L – младший байт слова данных ЦАП1

DAC1H								DAC1L							
				C3P											M3P

001: DAC1H[4:0] – старшие 5 бит слова данных ЦАП1
DAC1L[7:1] – младшие 7 бит слова данных ЦАП1

DAC1H								DAC1L							
				C3P										M3P	

010: DAC1H[5:0] – старшие 6 бит слова данных ЦАП1
DAC1L[7:2] – младшие 6 бит слова данных ЦАП1

DAC1H								DAC1L							
				C3P									M3P		

011: DAC1H[6:0] – старшие 7 бит слова данных ЦАП1
DAC1L[7:3] – младшие 5 бит слова данных ЦАП1

DAC1H								DAC1L							
				C3P								M3P			

1xx: DAC1H – старший байт слова данных ЦАП1
DAC1L[7:4] – младшие 4 бита слова данных ЦАП1

DAC1H								DAC1L							
C3P											M3P				

Таблица 8.1. Электрические характеристики ЦАП

VDD = 3.0В, AV+ = 3.0В, VREF = 2.4В (REFBE=0), без нагрузки на выходе, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Статические параметры					
Разрядность		12			биты
Интегральная нелинейность			±1,5		МЗР
Дифференциальная нелинейность				±1	МЗР
Выходной шум	Без выходного фильтра С выходным фильтром на 100кГц С выходным фильтром на 10кГц		250 128 41		мкВ/мс
Погрешность смещения нуля	Слово данных = 0x014		±3	±30	мВ
Температурный коэффициент смещения нуля			6×10^{-4}		%/°C
Погрешность полной шкалы			±20	±60	мВ
Температурный коэффициент погрешности полной шкалы			1×10^{-3}		%/°C
Коэффициент подавления по напряжению питания VDD			-60		дБ
Выходное сопротивление в режиме энергосбережения	DACnEN=0		100		кОм
Выходной втекающий ток			300		мкА
Выходной ток короткого замыкания	Слово данных = 0xFFFF		15		мА
Динамические параметры					
Скорость нарастания выходного напряжения	Емкость нагрузки = 40 пФ		0.44		В/мкс
Время установления выходного напряжения в пределах 1/2 МЗР	Емкость нагрузки = 40 пФ, входные коды от 0xFFFF до 0x014		10		мкс
Диапазон выходных напряжений		0		VREF-1МЗР	В
Время запуска			10		мкс
Аналоговые выходы					
Нестабильность выходного напряжения	Ток нагрузки от 0.01мА до 0.3мА при коде 0xFFFF		6×10^{-3}		%
Энергопотребление (каждый ЦАП)					
Ток потребления по выв. AV+	Слово данных = 0x7FF		110	400	мкА

ПРИМЕЧАНИЯ

9. Источник опорного напряжения

Способы подключения и использования источников опорного напряжения (ИОН) для МК C8051F12х и C8051F13х различны и зависят от функциональных возможностей конкретного типа МК.

Схема внутреннего ИОН всех МК состоит из генератора стабилизированного напряжения 1,2В с температурным коэффициентом нестабильности по напряжению 0,0015%/°С и выходного буферного усилителя с $K_{уст} = 2$. Опорное напряжение с вывода VREF может быть подано на внешние компоненты системы или на входные выводы опорного напряжения. Максимальный ток через вывод VREF в цепь AGND не должен превышать 200 мкА. Вывод VREF рекомендуется соединить с общей шиной AGND шунтирующими конденсаторами емкостью 0,1мкФ и 4,7мкФ.

Регистр управления ИОН REF2CN позволяет на всех МК включать/отключать внутренний генератор стабилизированного напряжения и внутренний датчик температуры. Бит BIASЕ регистра REF2CN включает встроенный генератор стабилизированного напряжения, а бит REFBE регистра REF2CN включает буферный усилитель с $K_{уст} = 2$, напряжение с выхода которого подается на вывод VREF. Если стабилизатор и буферный усилитель отключены, то их ток потребления уменьшается до 1мкА (типичное значение) и менее, а выход буферного усилителя переводится в высокоимпедансное состояние. Если внутренний стабилизатор используется в качестве генератора опорного напряжения, то биты BIASЕ и REFBE должны быть установлены в 1. Если внутренний ИОН не используется, то бит REFBE можно сбросить в 0. Следует иметь в виду, что, если используются любой ЦАП или АЦП, то бит BIASЕ должен быть установлен в 1 независимо от того, какой ИОН используется – внутренний или внешний. Если ни АЦП2, ни ЦАП не используются, то оба этих бита можно сбросить в 0 с целью уменьшения энергопотребления.

Датчик температуры подключен к старшему каналу входного мультиплексора АЦП0. Бит TEMPE регистра REF2CN разрешает/запрещает работу датчика температуры. В случае запрещения датчик температуры по умолчанию переводится в высокоимпедансное состояние. Любые аналого-цифровые измерения показаний запрещенного датчика температуры возвратят незначимые данные.

Электрические параметры внутреннего ИОН приведены в табл.9.1.

9.1. Конфигурация ИОН МК C8051F120/2/4/6

В МК C8051F120/2/4/6 регистр REF2CN позволяет также осуществлять выбор источника опорного напряжения для АЦП0 и АЦП2 (см. рис.9.2). Выбор ИОН для АЦП0 и АЦП2 осуществляется с помощью битов AD0VRS и AD2VRS регистра REF2CN соответственно. Три внешних входных вывода опорного напряжения позволяют использовать в качестве источника опорного напряжения каждого АЦП и обоих ЦАП либо внешний ИОН, либо внутренний ИОН (путем соединения внешних выводов). В качестве опорного напряжения АЦП0 можно также использовать выходной сигнал ЦАП0, при этом, благодаря наличию мультиплексора (см. рис.9.1), не требуется соединения каких-либо внешних выводов. В качестве опорного напряжения АЦП2 можно использовать напряжение питания аналоговых модулей (AV+), подключаемое также через внутренний мультиплексор без соединения каких-либо внешних выводов (см. рис.9.1).

Рисунок 9.1. Функциональная схема источника опорного напряжения (C8051F120/2/4/6)

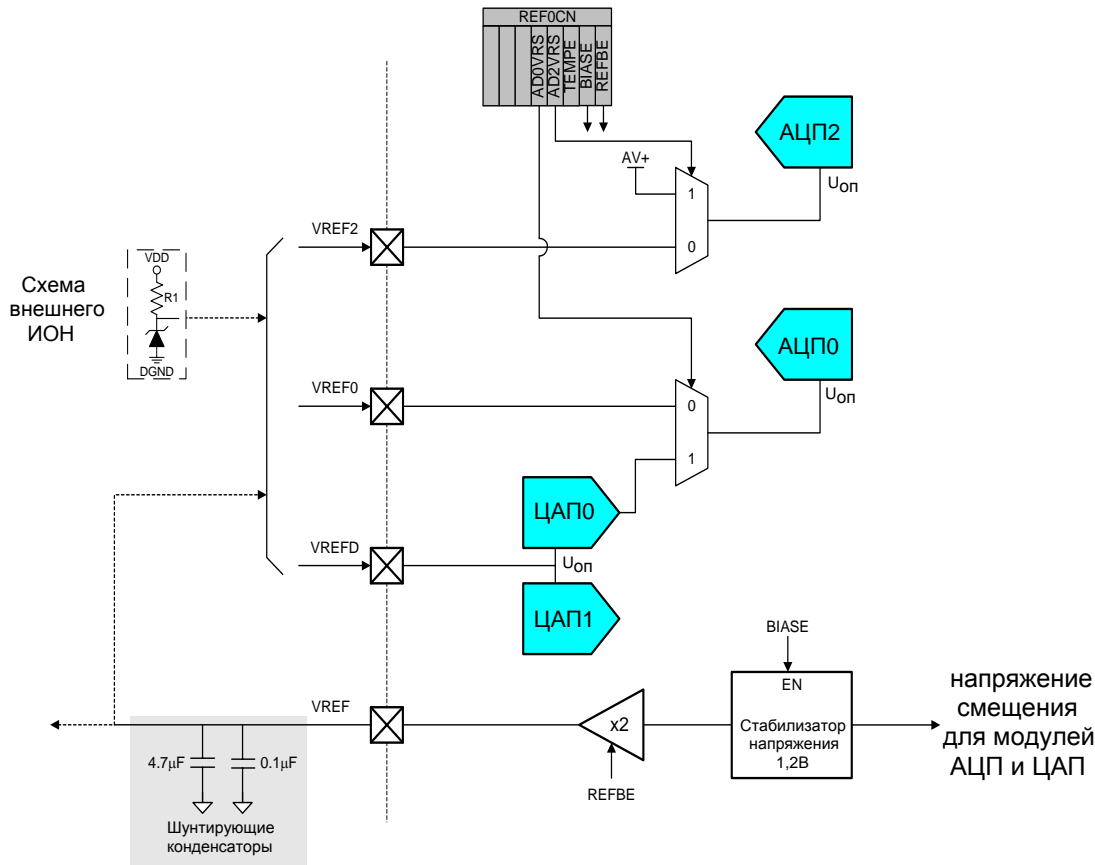


Рисунок 9.2. REF2CN: Регистр управления ИОН (C8051F120/2/4/6)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xD1 SFR страница: 0
-	-	-	AD0VRS	AD2VRS	TEMPE	BIASE	REFBE	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-5: Не используются : читаются как 000b; запись не оказывает никакого влияния.								
Бит 4: AD0VRS: Бит выбора источника опорного напряжения для АЦП0. 0: В качестве опорного напряжения АЦП0 используется напряжение с вывода VREF0. 1: В качестве опорного напряжения АЦП0 используется выходной сигнал ЦАП0.								
Бит 3: AD2VRS: Бит выбора источника опорного напряжения для АЦП2. 0: В качестве опорного напряжения АЦП2 используется напряжение с вывода VREF2. 1: В качестве опорного напряжения АЦП2 используется напряжение AV+.								
Бит 2: TEMPE: Бит включения датчика температуры 0: Внутренний датчик температуры выключен. 1: Внутренний датчик температуры включен.								
Бит 1: BIASE: Бит включения генератора напряжения смещения для АЦП/ЦАП (должен быть установлен '1', если используются АЦП, ЦАП или VREF) 0: Внутренний генератор напряжения смещения отключен. 1: Внутренний генератор напряжения смещения включен								
Бит 0: REFBE: Бит управления выходным буфером внутреннего ИОН 0: Буфер внутреннего ИОН выключен. 1: Буфер внутреннего ИОН включен. Напряжение от внутреннего ИОН подается на вывод VREF.								

9.2. Конфигурация ИОН МК C8051F121/3/5/7

В МК C8051F121/3/5/7 регистр REF2CN позволяет также осуществлять выбор источника опорного напряжения для АЦП0 и АЦП2 (см. рис.9.4). Выбор ИОН для АЦП0 и АЦП2 осуществляется с помощью битов AD0VRS и AD2VRS регистра REF2CN соответственно. Вывод VREFA является входом опорного напряжения для АЦП0 и АЦП2. Этот вывод можно подключить к внешнему прецизионному ИОН или соединить с выходом внутреннего ИОН. В качестве опорного напряжения АЦП0 можно также использовать выходной сигнал ЦАП0, при этом, благодаря наличию мультиплексора (см. рис.9.3), не требуется соединения каких-либо внешних выводов. В качестве опорного напряжения АЦП2 можно использовать напряжение питания аналоговых модулей (AV+), подключаемое также через внутренний мультиплексор без соединения каких-либо внешних выводов (см. рис.9.3).

Рисунок 9.3. Функциональная схема источника опорного напряжения (C8051F121/3/5/7)

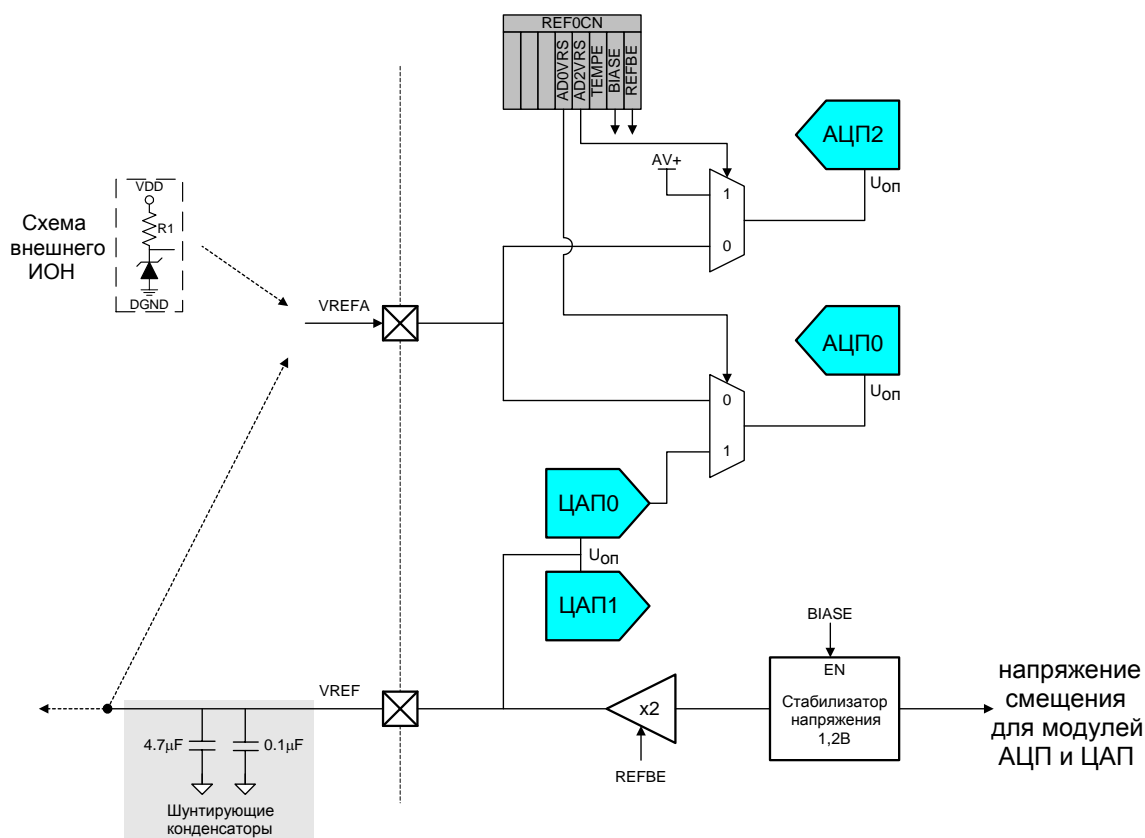


Рисунок 9.4. REF2CN: Регистр управления ИОН (C8051F121/3/5/7)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	-	AD0VRS	AD2VRS	TEMPE	BIASE	REFBE	SFR Адрес: 0xD1 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-5: **Не используются**: читаются как 000b; запись не оказывает никакого влияния.

Бит 4: AD0VRS: Бит выбора источника опорного напряжения для АЦП0.
0: В качестве опорного напряжения АЦП0 используется напряжение с вывода VREFA.
1: В качестве опорного напряжения АЦП0 используется выходной сигнал ЦАП0.

Бит 3: AD2VRS: Бит выбора источника опорного напряжения для АЦП2.
0: В качестве опорного напряжения АЦП2 используется напряжение с вывода VREFA.
1: В качестве опорного напряжения АЦП2 используется напряжение AV+.

Бит 2: TEMPE: Бит включения датчика температуры
0: Внутренний датчик температуры выключен.
1: Внутренний датчик температуры включен.

Бит 1: BIASE: Бит включения генератора напряжения смещения для АЦП/ЦАП (должен быть установлен '1', если используются АЦП, ЦАП или VREF)
0: Внутренний генератор напряжения смещения отключен.
1: Внутренний генератор напряжения смещения включен

Бит 0: REFBE: Бит управления выходным буфером внутреннего ИОН
0: Буфер внутреннего ИОН выключен.
1: Буфер внутреннего ИОН включен. Напряжение от внутреннего ИОН подается на вывод VREF.

9.3. Конфигурация ИОН МК C8051F130/1/2/3

В МК C8051F130/1/2/3 вывод VREF0 является входом опорного напряжения для АЦПО. Этот вывод можно подключить к внешнему прецизионному ИОН или соединить с выходом внутреннего ИОН (см. рис.9.5). Описание регистра REF0CN для МК C8051F130/1/2/3 приведено на рис.9.6.

Рисунок 9.5. Функциональная схема источника опорного напряжения (C8051F130/1/2/3)

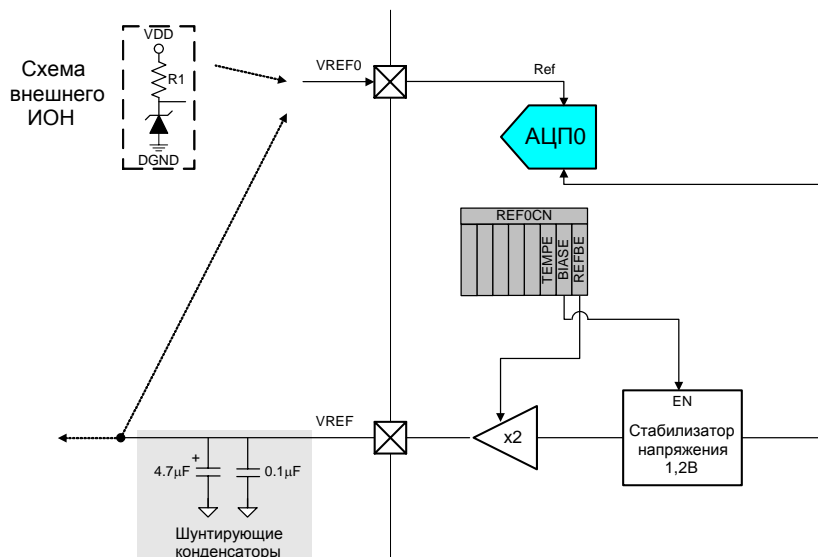


Рисунок 9.6. REF2CN: Регистр управления ИОН (C8051F130/1/2/3)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	Зарезерв.	зарезерв.	TEMPE	BIASE	REFBE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD1 SFR страница: 0

Биты 7-5: **Не используются**: читаются как 000b; запись не оказывает никакого влияния.

Биты 4-3: Зарезервированы: необходимо установить в 0.

Бит 2: TEMPE: Бит включения датчика температуры
0: Внутренний датчик температуры выключен.
1: Внутренний датчик температуры включен.

Бит 1: BIASE: Бит включения генератора напряжения смещения для АЦП/ЦАП (должен быть установлен '1', если используются АЦП или VREF)
0: Внутренний генератор напряжения смещения отключен.
1: Внутренний генератор напряжения смещения включен

Бит 0: REFBE: Бит управления выходным буфером внутреннего ИОН
0: Буфер внутреннего ИОН выключен.
1: Буфер внутреннего ИОН включен. Напряжение от внутреннего ИОН подается на вывод VREF.

Таблица 9.1. Электрические характеристики ИОН

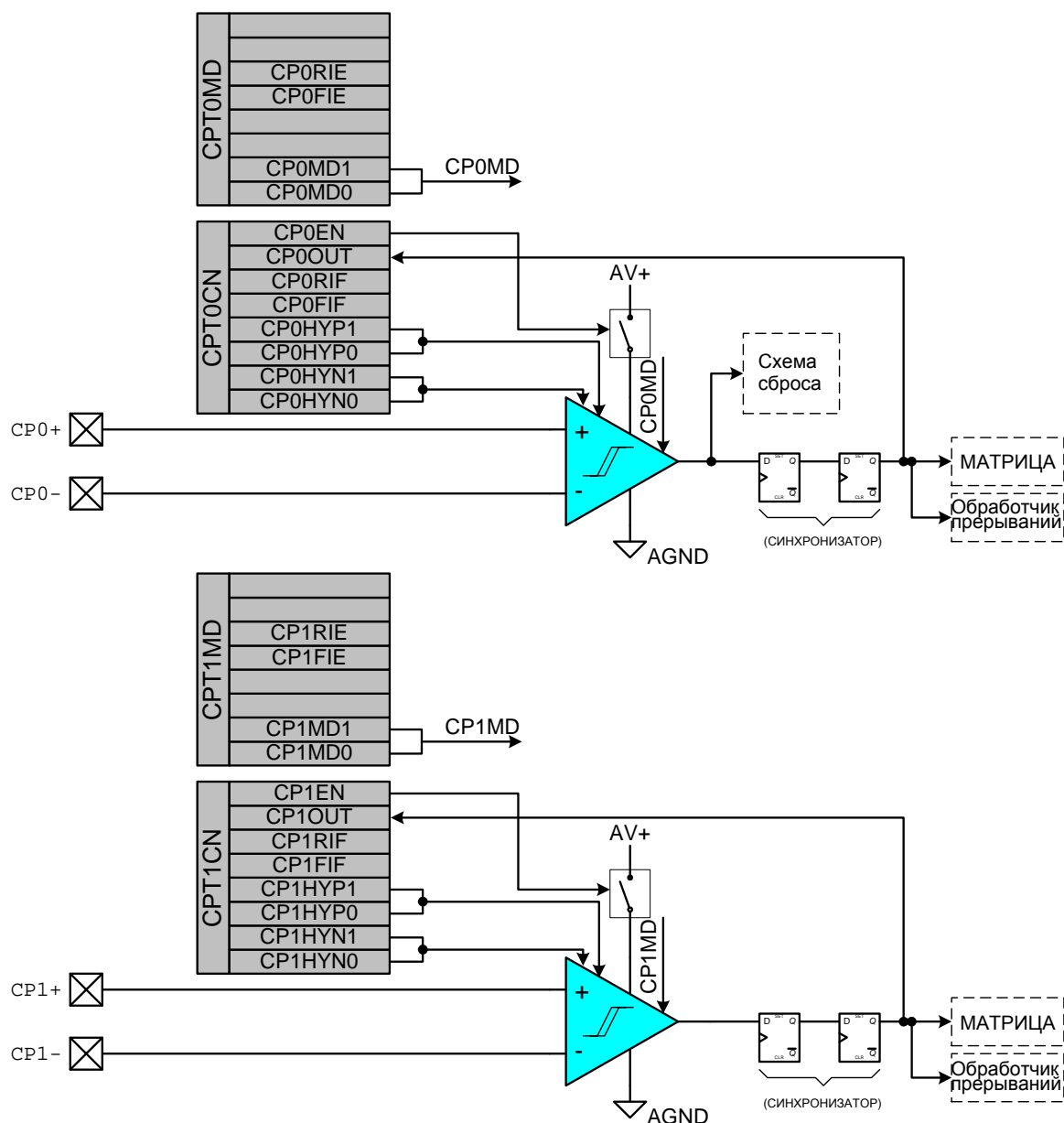
VDD = 3.0В, AV+ = 3.0В, T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Ток потребления генератора напряжения смещения	BIASE = 1		100		мкА
Внутренний ИОН (REFBE = 1)					
Выходное напряжение	T _{окр. ср.} = 25°C	2.36	2.43	2.48	В
Ток короткого замыкания через вывод VREF				30	мА
Температурный коэффициент нестабильности напряжения на выводе VREF			0,0015		%/°C
Нестабильность тока по нагрузке	Ток нагрузки = (0-200мкА) в цепь AGND		5 x 10 ⁻⁵		%/мкА
Время стабилизации напряжения на выводе VREF (1)	Танталовый шунтирующий конденсатор емкостью 4.7мкФ, керамический шунтирующий конденсатор емкостью 0.1мкФ		2		мс
Время стабилизации напряжения на выводе VREF (2)	Керамический шунтирующий конденсатор емкостью 0.1мкФ		20		мкс
Время стабилизации напряжения на выводе VREF (3)	Без шунтирующего конденсатора		10		мкс
Ток потребления буферного усилителя			40		мкА
Нестабильность по напряжению питания			0,014		%/В
Внешний ИОН (REFBE = 0)					
Входное напряжение		1.00		(AV+) – 0.3В	В
Входной ток			0	1	мкА

10. КОМПАРАТОРЫ

Все МК имеют два встроенных программируемых компаратора напряжения (см. рис.10.1). Входы каждого компаратора доступны как отдельные внешние выводы. Выходы компараторов можно соединить с внешними выводами с помощью матрицы. Выход каждого компаратора, соединенный с выводом корпуса, может быть настроен как выход с открытым стоком или как цифровой двухтактный выход. Подробная информация о настройке цифровой матрицы и портов приведена в разделе 18.

Рисунок 10.1. Функциональная схема компаратора



Прерывания от компараторов могут быть сгенерированы по переднему или заднему фронту выходного сигнала. (Управление разрешением/запрещением и приоритетами прерываний описаны в разделе 11.7). Флаг CP0FIF устанавливается в 1 при возникновении прерывания по заднему фронту выходного сигнала компаратора. Флаг CP0RIF устанавливается в 1 при возникновении прерывания по переднему фронту выходного сигнала компаратора. Эти флаги остаются установленными до тех пор, пока не будут сброшены программно. Состояние выхода Компаратора 0 можно получить в любой момент опросом бита CP0OUT. Компаратор 0 включается установкой в 1 бита CP0EN и отключается сбросом в 0 этого бита. Компаратор 0 можно настроить также как источник сигнала сброса (см. раздел 13.5).

Следует иметь ввиду, что после включения компараторов на стабилизацию состояния их выходов требуется определенное «время включения» (см. таблицу 10.1). Значения флагов переднего (CPnRIF) и заднего (CPnFIF) фронтов после окончания «времени включения» является неопределенным и эти флаги необходимо сбросить до разрешения прерываний от компаратора или до настройки компаратора в качестве источника сигнала сброса.

Время отклика Компаратора 0 можно настроить программно, используя биты CPnMD1-0 регистра CPTnMD (см. рис.10.4). Увеличение времени отклика компаратора позволяет снизить потребляемую им мощность. Временные параметры и данные о потребляемой мощности приведены в таблице 10.1.

Гистерезис каждого компаратора можно настраивать программно с помощью соответствующих регистров управления компараторами (CPT0CN и CPT1CN для Компаратора 0 и Компаратора 1 соответственно). Пользователь может программировать общую ширину петли гистерезиса (касается входного напряжения), задав по отдельности положительное и отрицательное напряжение этого гистерезиса относительно порогового значения. Выход компаратора можно опрашивать программным путем или использовать как источник прерывания. Каждый компаратор можно разрешить(включить) или запретить(отключить). Если компаратор отключен, то на его выходе (если он соединен с портом ввода/ вывода через матрицу) по умолчанию устанавливается напряжение низкого уровня, запрещается вызов прерываний от этого компаратора, а его ток потребления становится менее 0,1мкА. На входы компаратора можно подавать сигналы с напряжением от -0.25В до (VDD) + 0.25В, не опасаясь повреждения МК или сбоя в его работе.

Параметры гистерезиса Компаратора 0 программируются битами 3-0 регистра управления Компаратора 0 CPTnCN (см. рис.10.3). Величина отрицательного напряжения гистерезиса определяется битами CPnHYN. Как показано на рис.10.3, величина отрицательного гистерезиса может быть 15, 10 или 5 мВ, либо отрицательный гистерезис может отсутствовать вовсе. Аналогично величина положительного напряжения гистерезиса определяется битами CP0HYP.

Компаратор 1 функционирует точно так же, как и Компаратор 0, с той лишь разницей, что его нельзя настроить в качестве источника сигнала сброса. Для управления компаратором 1 используются регистры CPT1CN (см. рис.10.5) и CPT1MD (см. рис.10.6). Электрические параметры компараторов приведены в табл. 10.1.

Рисунок 10.2. Гистерезис компаратора

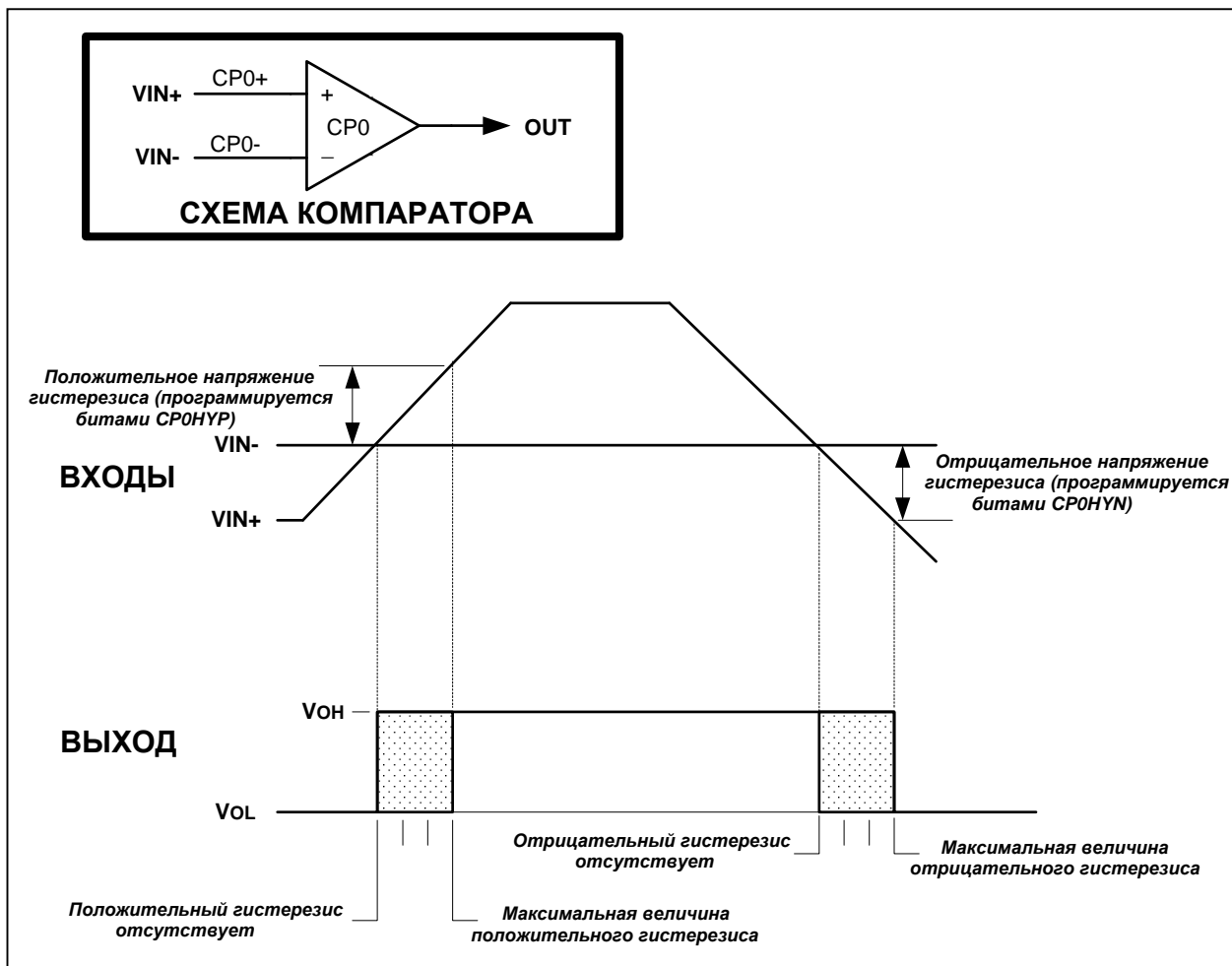


Рисунок 10.3. CPT0CN: Регистр управления Компаратора 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CP0EN	CP0OUT	CP0RIF	CP0FIF	CP0HYP1	CP0HYP0	CP0HYN1	CP0HYN0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x88 SFR страница: 1
<p>Бит 7: CP0EN: Бит включения Компаратора 0 0: Компаратор 0 отключен. 1: Компаратор 0 включен.</p> <p>Бит 6: CP0OUT: Флаг состояния выхода Компаратора 0 0: Напряжение на вх. CP0+ < CP0- 1: Напряжение на вх. CP0+ > CP0-</p> <p>Бит 5: CP0RIF: Флаг прерывания по переднему фронту выходного сигнала Компаратора 0 0: Прерывания по переднему фронту выходного сигнала Компаратора 0 с момента последнего обнуления флага CP0RIF не было. 1: Произошло прерывание по переднему фронту выходного сигнала Компаратора 0.</p> <p>Бит 4: CP0FIF: Флаг прерывания по заднему фронту выходного сигнала Компаратора 0 0: Прерывания по заднему фронту выходного сигнала Компаратора 0 с момента последнего обнуления флага CP0RIF не было. 1: Произошло прерывание по заднему фронту выходного сигнала Компаратора 0.</p> <p>Биты 3-2: CP0HYP1-0: Биты управления положительным гистерезисом Компаратора 0 00: Положительный гистерезис отсутствует 01: Положительный гистерезис = 5 мВ 10: Положительный гистерезис = 10 мВ 11: Положительный гистерезис = 15 мВ</p> <p>Биты 1-0: CP0HYN1-0: Биты управления отрицательным гистерезисом Компаратора 0 00: Отрицательный гистерезис отсутствует 01: Отрицательный гистерезис = 5 мВ 10: Отрицательный гистерезис = 10 мВ 11: Отрицательный гистерезис = 15 мВ</p>								

Рисунок 10.4. CP0MD: Регистр выбора режима компаратора 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000010 SFR Адрес: 0x89 SFR страница: 1
-	-	CP0RIE	CP0FIE	-	-	CP0MD1	CP0MD0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-6: Не используются. Читаются как 00b. Запись этих бит не оказывает никакого влияния.

Бит 5: CP0RIE: Флаг разрешения прерывания от нарастающего фронта выходного сигнала Компаратора 0
0: Прерывание от нарастающего фронта выходного сигнала Компаратора 0 запрещено.
1: Прерывание от нарастающего фронта выходного сигнала Компаратора 0 разрешено.

Бит 4: CP0FIE: Флаг разрешения прерывания от спадающего фронта выходного сигнала Компаратора 0
0: Прерывание от спадающего фронта выходного сигнала Компаратора 0 запрещено.
1: Прерывание от спадающего фронта выходного сигнала Компаратора 0 разрешено.

Биты 3-2: Не используются. Читаются как 00b. Запись этих бит не оказывает никакого влияния.

Биты 1-0: CP0MD1-0: Выбор режима компаратора.
Эти биты определяют время отклика компаратора.

Режим	CP0MD1	CP0MD0	Примечания
0	0	0	Минимальное время отклика
1	0	1	-
2	1	0	-
3	1	1	Минимальная потребляемая мощность

Рисунок 10.5. CPT1CN: Регистр управления Компаратора 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CP1EN	CP1OUT	CP1RIF	CP1FIF	CP1HYP1	CP1HYP0	CP1HYN1	CP1HYN0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x88 SFR страница: 2
<p>Бит 7: CP1EN: Бит включения Компаратора 1 0: Компаратор 1 отключен. 1: Компаратор 1 включен.</p> <p>Бит 6: CP1OUT: Флаг состояния выхода Компаратора 1 0: Напряжение на вх. CP1+ < CP1- 1: Напряжение на вх. CP1+ > CP1-</p> <p>Бит 5: CP1RIF: Флаг прерывания по переднему фронту выходного сигнала Компаратора 1 0: Прерывания по переднему фронту выходного сигнала Компаратора 1 с момента последнего обнуления флага CP1RIF не было. 1: Произошло прерывание по переднему фронту выходного сигнала Компаратора 1.</p> <p>Бит 4: CP1FIF: Флаг прерывания по заднему фронту выходного сигнала Компаратора 1 0: Прерывания по заднему фронту выходного сигнала Компаратора 1 с момента последнего обнуления флага CP1RIF не было. 1: Произошло прерывание по заднему фронту выходного сигнала Компаратора 1.</p> <p>Биты 3-2: CP1HYP1-0: Биты управления положительным гистерезисом Компаратора 1 00: Положительный гистерезис отсутствует 01: Положительный гистерезис = 5 мВ 10: Положительный гистерезис = 10 мВ 11: Положительный гистерезис = 15 мВ</p> <p>Биты 1-0: CP1HYN1-0: Биты управления отрицательным гистерезисом Компаратора 1 00: Отрицательный гистерезис отсутствует 01: Отрицательный гистерезис = 5 мВ 10: Отрицательный гистерезис = 10 мВ 11: Отрицательный гистерезис = 15 мВ</p>								

Рисунок 10.6. CPT1MD: Регистр выбора режима компаратора 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	CP1RIE	CP1FIE	-	-	CP1MD1	CP1MD0	00000010
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x89 SFR страница: 2

Биты 7-6: Не используются. Читаются как 00b. Запись этих бит не оказывает никакого влияния.

Бит 5: CP1RIE: Флаг разрешения прерывания от нарастающего фронта выходного сигнала Компаратора 1
0: Прерывание от нарастающего фронта выходного сигнала Компаратора 1 запрещено.
1: Прерывание от нарастающего фронта выходного сигнала Компаратора 1 разрешено.

Бит 4: CP1FIE: Флаг разрешения прерывания от спадающего фронта выходного сигнала Компаратора 1
0: Прерывание от спадающего фронта выходного сигнала Компаратора 1 запрещено.
1: Прерывание от спадающего фронта выходного сигнала Компаратора 1 разрешено.

Биты 3-2: Не используются. Читаются как 00b. Запись этих бит не оказывает никакого влияния.

Биты 1-0: CP1MD1-0: Выбор режима компаратора.
Эти биты определяют время отклика компаратора.

Режим	CP1MD1	CP1MD0	Примечания
0	0	0	Минимальное время отклика
1	0	1	-
2	1	0	-
3	1	1	Минимальная потребляемая мощность

Таблица 12.1. Электрические характеристики компаратора

VDD = 3.0В, AV+ = 3.0В, T = - 40°C ... +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Время отклика: режим 0, V _{сиф} = 1,5В	(CPn+) – (CPn-) = 100 мВ		100		нс
	(CPn+) – (CPn-) = -100 мВ		250		нс
Время отклика: режим 1, V _{сиф} = 1,5В	(CPn+) – (CPn-) = 100 мВ		175		нс
	(CPn+) – (CPn-) = -100 мВ		500		нс
Время отклика: режим 2, V _{сиф} = 1,5В	(CPn+) – (CPn-) = 100 мВ		320		нс
	(CPn+) – (CPn-) = -100 мВ		1100		нс
Время отклика: режим 3, V _{сиф} = 1,5В	(CPn+) – (CPn-) = 100 мВ		1050		нс
	(CPn+) – (CPn-) = -100 мВ		5200		нс
Коэффициент подавления синфазного сигнала			1.5	4	мВ/В
Положительный гистерезис 1	CPnHYP1-0 = 00		0	1	мВ
Положительный гистерезис 2	CPnHYP1-0 = 01	2	4,5	7	мВ
Положительный гистерезис 3	CPnHYP1-0 = 10	4	9	13	мВ
Положительный гистерезис 4	CPnHYP1-0 = 11	10	17	25	мВ
Отрицательный гистерезис 1	CPnHYN1-0 = 00		0	1	мВ
Отрицательный гистерезис 2	CPnHYN1-0 = 01	2	4,5	7	мВ
Отрицательный гистерезис 3	CPnHYN1-0 = 10	4	9	13	мВ
Отрицательный гистерезис 4	CPnHYN1-0 = 11	10	17	25	мВ
Напряжение на инвертирующем или неинвертирующем входах		-0.25		(AV+) + 0.25	В
Входная емкость			7		пФ
Входной ток смещения		-5	0.001	+5	нА
Входное напряжение смещения		-10		+10	мВ
Параметры питания					
Время включения	Значение CpnEN изменяется из 0 в 1		20		мкс
Нестабильность по напряжению питания			0.1	1	мВ/В
Ток потребления (каждый компаратор)	Режим 0		7,6		мкА
	Режим 1		3,2		мкА
	Режим 2		1,3		мкА
	Режим 3		0,4		мкА

V_{сиф} - напряжение синфазного сигнала на выводах CPn+ и CPn-.

11. ПРОЦЕССОРНОЕ ЯДРО CIP-51

МК C8051F12х и C8051F13х используют процессорное ядро CIP-51, которое по системе команд полностью совместимо с ядром MCS-51TM. Для разработки программного обеспечения могут использоваться стандартные (803х/805х) ассемблеры и компиляторы. В состав МК данного семейства входят все периферийные модули, соответствующие стандарту 8051, включая пять 16-разрядных таймеров/счетчиков (см. раздел 23), два полнодуплексных УАПЧ (см. раздел 21 и раздел 22), 256 байт внутреннего ОЗУ, 128 байт адресного пространства для регистров специального назначения (Special Function Register – SFR)(см. раздел 11.2.6), а также 8/4 8-разрядных порта ввода/вывода (см. раздел 18). Ядро CIP-51 содержит встроенные аппаратные средства отладки (см. раздел 25), а также средства взаимодействия с аналоговыми и цифровыми модулями МК, что позволяет построить на одной микросхеме законченную систему управления или сбора данных.

МК на основе CIP-51 имеют стандартную для архитектуры 8051 структуру и периферию. Кроме этого введены дополнительные специализированные периферийные модули и функции, улучшающие возможности МК (см. рис.11.1). Ниже перечислены основные характеристики ядра CIP-51:

- Полная совместимость с MCS-51 по системе команд
- Максимальная производительность 25 MIPS (при использовании системы ФАПЧ)
- 256 байт внутреннего ОЗУ
- 8/4 8-разрядных порта ввода-вывода
- Развитая система прерываний
- Вход сброса
- Различные режимы энергопотребления
- Встроенные средства отладки
- Защита памяти программ и данных

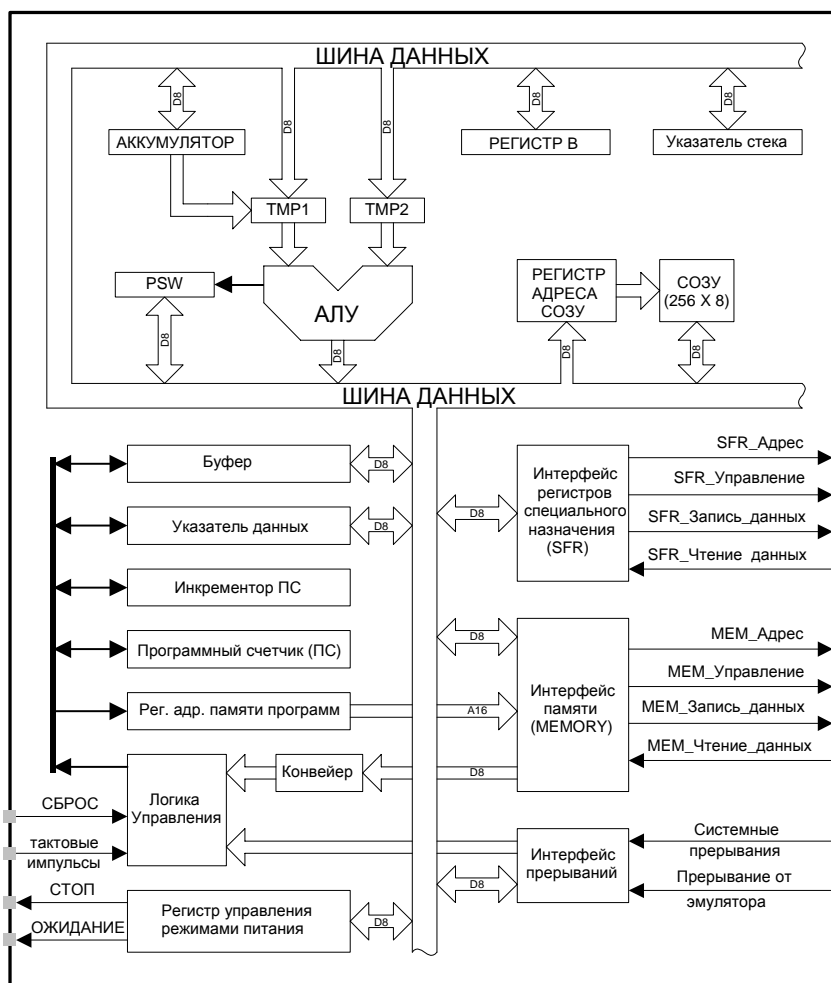
Производительность

CIP-51 использует конвейерную архитектуру, что существенно повышает скорость выполнения команд по сравнению со стандартной архитектурой 8051. В МК с архитектурой 8051 все команды, кроме MUL и DIV, исполняются за 12 или 24 тактовых цикла, а максимальная тактовая частота составляет обычно 12 МГц. МК с ядром CIP-51 исполняют 70% своих команд за один или два тактовых цикла, и ни одна команда не требует более восьми тактовых циклов.

При работе на максимальной для ядра CIP-51 тактовой частоте 100 МГц производительность может достигать 100 MIPS. Система команд CIP-51 состоит из 109 команд. В приведенной ниже таблице все команды сгруппированы по времени их выполнения.

Количество команд	26	50	5	14	7	3	1	2	1
Количество тактовых циклов	1	2	2/3	3	3/4	4	4/5	5	8

Рисунок 11.1. Структурная схема CIP-51



Средства поддержки программирования и отладки

Последовательный интерфейс JTAG предназначен для внутрисистемного программирования Flash-памяти программ и взаимодействия со встроенными средствами отладки. Кроме этого перепрограммируемая Flash-память может быть прочитана и изменена прикладной программой в любое время в побайтном режиме, используя команды MOVC и MOVX. Эта возможность позволяет использовать память программ для долговременного хранения данных, а также обновлять программный код под управлением программы.

Встроенные аппаратные средства отладки позволяют осуществлять внутрисхемную отладку в режиме реального времени, при этом возможны расстановка точек останова и временных меток, запуск, остановка и пошаговое исполнение программы (включая процедуры обработки прерываний), проверка программного стека, чтение/запись содержимого регистров и памяти. Это метод отладки является «неразрушающим», не требует вмешательства в структуру отлаживаемой системы и использования внутренних ресурсов МК (например, ОЗУ, стека, таймеров и др.).

CIP-51 поддерживается аппаратными и программными средствами разработки от фирмы Silicon Laboratories и других фирм. Фирма Silicon Laboratories предлагает интегрированную среду проектирования (IDE), которая содержит редактор, макроассемблер, отладчик и программатор. Отладчик и программатор IDE обеспечивают взаимодействие с CIP-51 посредством JTAG интерфейса и позволяют осуществлять быстрое и эффективное программирование МК и его отладку. Доступны также макроассемблеры и С-компиляторы независимых фирм-производителей.

11.1. СИСТЕМА КОМАНД

Система команд CIP-51 полностью совместима с системой команд MCS-51™, поэтому разработка программного обеспечения может осуществляться с использованием средств проектирования для стандартной архитектуры 8051. Все команды CIP-51 являются двоичным и функциональным эквивалентом аналогичных команд MCS-51™, включая коды операций, режимы адресации и изменение флагов состояния. Однако, по времени выполнения команды отличаются.

11.1.1. Команды и тактирование

Во многих МК с архитектурой 8051 существует различие между машинным циклом и циклом тактирования, при этом машинный цикл длится от 2 до 12 циклов тактирования. Однако CIP-51 основан исключительно на синхронизации тактовым сигналом и все временные параметры команд приводятся на основе циклов тактирования.

Благодаря конвейерной архитектуре CIP-51, количество тактовых циклов, требуемых для выполнения большинства команд, равно количеству байтов в команде. Команды условных переходов требуют для завершения на один цикл меньше, если переход не происходит (по сравнению с тем случаем, когда переход происходит). Система команд CIP-51 приведена в таблице 11.1, которая содержит мнемонику, количество байтов и количество тактовых циклов для каждой команды.

11.1.2. Команда MOVX и память программ

В CIP-51 команда MOVX используется для доступа к трем типам памяти: встроенной XRAM, внешней XRAM, встроенной Flash-памяти программ. Возможность доступа к Flash-памяти программ обеспечивает механизм, посредством которого программа пользователя может обновлять программный код и использовать область памяти программ для долговременного хранения данных (см. раздел 15). Интерфейс внешней памяти обеспечивает быстрый доступ к внешней XRAM (или отображенным на память периферийным модулям) с помощью команды MOVX (см. раздел 17).

Таблица 11.1. Система команд CIP-51

Мнемоника команды	Описание	Байты	Циклы
АРИФМЕТИЧЕСКИЕ ОПЕРАЦИИ			
ADD A,Rn	Сложение аккумулятора с регистром (n = 0...7)	1	1
ADD A,direct	Сложение аккумулятора с прямо-адресуемым байтом	2	2
ADD A,@Ri	Сложение аккумулятора с косвенно-адресуемым байтом ОЗУ	1	2
ADD A,#data	Сложение аккумулятора с константой	2	2
ADDC A,Rn	Сложение аккумулятора с регистром и переносом	1	1
ADDC A,direct	Сложение аккумулятора с прямо-адресуемым байтом и переносом	2	2
ADDC A,@Ri	Сложение аккумулятора с косвенно-адресуемым байтом ОЗУ и переносом	1	2
ADDC A,#data	Сложение аккумулятора с константой и переносом	2	2
SUBB A,Rn	Вычитание из аккумулятора регистра и заема	1	1
SUBB A,direct	Вычитание из аккумулятора прямо-адресуемого байта и заема	2	2
SUBB A,@Ri	Вычитание из аккумулятора косвенно-адресуемого байта ОЗУ и заема	1	2
SUBB A,#data	Вычитание из аккумулятора константы и заема	2	2
INC A	Инкремент аккумулятора	1	1
INC Rn	Инкремент регистра	1	1
INC direct	Инкремент прямо-адресуемого байта	2	2
INC @Ri	Инкремент косвенно-адресуемого байта ОЗУ	1	2
DEC A	Декремент аккумулятора	1	1
DEC Rn	Декремент регистра	1	1
DEC direct	Декремент прямо-адресуемого байта	2	2
DEC @Ri	Декремент косвенно-адресуемого байта ОЗУ	1	2
INC DPTR	Инкремент указателя данных	1	1
MUL AB	Умножение аккумулятора на регистр В	1	4
DIV AB	Деление аккумулятора на регистр В	1	8
DA A	Десятичная коррекция аккумулятора	1	1
ЛОГИЧЕСКИЕ ОПЕРАЦИИ			
ANL A,Rn	Логическое И аккумулятора и регистра	1	1
ANL A,direct	Логическое И аккумулятора и прямо-адресуемого байта	2	2
ANL A,@Ri	Логическое И аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
ANL A,#data	Логическое И аккумулятора и константы	2	2
ANL direct,A	Логическое И прямо-адресуемого байта и аккумулятора	2	2
ANL direct,#data	Логическое И прямо-адресуемого байта и константы	3	3
ORL A,Rn	Логическое ИЛИ аккумулятора и регистра	1	1
ORL A,direct	Логическое ИЛИ аккумулятора и прямо-адресуемого байта	2	2
ORL A,@Ri	Логическое ИЛИ аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
ORL A,#data	Логическое ИЛИ аккумулятора и константы	2	2
ORL direct,A	Логическое ИЛИ прямо-адресуемого байта и аккумулятора	2	2
ORL direct,#data	Логическое ИЛИ прямо-адресуемого байта и константы	3	3
XRL A,Rn	Исключающее ИЛИ аккумулятора и регистра	1	1
XRL A,direct	Исключающее ИЛИ аккумулятора и прямо-адресуемого байта	2	2
XRL A,@Ri	Исключающее ИЛИ аккумулятора и косвенно-адресуемого байта ОЗУ	1	2
XRL A,#data	Исключающее ИЛИ аккумулятора и константы	2	2
XRL direct,A	Исключающее ИЛИ прямо-адресуемого байта и аккумулятора	2	2
XRL direct,#data	Исключающее ИЛИ прямо-адресуемого байта и константы	3	3
CLR A	Сброс аккумулятора	1	1
CPL A	Инверсия аккумулятора	1	1
RL A	Сдвиг аккумулятора влево циклический	1	1
RLC A	Сдвиг аккумулятора влево через перенос	1	1

Мнемоника команды	Описание	Байты	Циклы
RR A	Сдвиг аккумулятора вправо циклический	1	1
RRC A	Сдвиг аккумулятора вправо через перенос	1	1
SWAP A	Обмен местами тетрад в аккумуляторе	1	1
КОМАНДЫ ПЕРЕДАЧИ ДАННЫХ			
MOV A,Rn	Пересылка в аккумулятор из регистра (n = 0...7)	1	1
MOV A,direct	Пересылка в аккумулятор прямо-адресуемого байта	2	2
MOV A,@Ri	Пересылка в аккумулятор косвенно-адресуемого байта ОЗУ	1	2
MOV A,#data	Загрузка в аккумулятор константы	2	2
MOV Rn,A	Пересылка в регистр из аккумулятора	1	1
MOV Rn,direct	Пересылка в регистр прямо-адресуемого байта	2	2
MOV Rn,#data	Загрузка в регистр константы	2	2
MOV direct,A	Пересылка по прямому адресу аккумулятора	2	2
MOV direct,Rn	Пересылка по прямому адресу регистра	2	2
MOV direct,direct	Пересылка прямо-адресуемого байта по прямому адресу	3	3
MOV direct,@Ri	Пересылка косвенно-адресуемого байта ОЗУ по прямому адресу	2	2
MOV direct,#data	Пересылка по прямому адресу константы	3	3
MOV @Ri,A	Пересылка в косвенно-адресуемую ячейку ОЗУ аккумулятора	1	2
MOV @Ri,direct	Пересылка в косвенно-адресуемую ячейку ОЗУ прямо-адресуемого байта	2	2
MOV @Ri,#data	Пересылка в косвенно-адресуемую ячейку ОЗУ константы	2	2
MOV DPTR,#data16	Загрузка указателя данных	3	3
MOVC A,@A+DPTR	Пересылка в аккумулятор байта из памяти программ	1	3
MOVC A,@A+PC	Пересылка в аккумулятор байта из памяти программ	1	3
MOVX A,@Ri	Пересылка в аккумулятор байта из внешней памяти данных	1	3
MOVX @Ri,A	Пересылка байта из аккумулятора во внешнюю память данных	1	3
MOVX A,@DPTR	Пересылка в аккумулятор из расширенной внешней памяти данных	1	3
MOVX @DPTR,A	Пересылка из аккумулятора в расширенную внешнюю память данных	1	3
PUSH direct	Загрузка в стек	2	2
POP direct	Извлечение из стека	2	2
XCH A,Rn	Обмен аккумулятора с регистром	1	1
XCH A,direct	Обмен аккумулятора с прямо-адресуемым байтом	2	2
XCH A,@Ri	Обмен аккумулятора с косвенно-адресуемым байтом ОЗУ	1	2
XCHD A,@Ri	Обмен младшей тетрады аккумулятора с младшей тетрадой косвенно-адресуемого байта ОЗУ	1	2
ОПЕРАЦИИ С БИТАМИ			
CLR C	Сброс переноса	1	1
CLR bit	Сброс бита	2	2
SETB C	Установка переноса	1	1
SETB bit	Установка бита	2	2
CPL C	Инверсия переноса	1	1
CPL bit	Инверсия бита	2	2
ANL C,bit	Логическое И бита и переноса	2	2
ANL C,/bit	Логическое И инверсии бита и переноса	2	2
ORL C,bit	Логическое ИЛИ бита и переноса	2	2
ORL C,/bit	Логическое ИЛИ инверсии бита и переноса	2	2
MOV C,bit	Пересылка бита в перенос	2	2
MOV bit,C	Пересылка переноса в бит	2	2
JC rel	Переход, если перенос равен единице	2	2/3

C8051F120/1/2/3/4/5/6/7

C8051F130/1/2/3

Мнемоника команды	Описание	Байты	Циклы
JNC rel	Переход, если перенос равен нулю	2	2/3
JB bit,rel	Переход, если бит равен единице	3	3/4
JNB bit,rel	Переход, если бит равен нулю	3	3/4
JBC bit,rel	Переход, если бит установлен, с последующим сбросом бита	3	3/4
ПРОГРАММНЫЕ ПЕРЕХОДЫ			
ACALL addr11	Абсолютный вызов подпрограммы в пределах страницы в 2 Кбайта	2	3
LCALL addr16	Длинный вызов подпрограммы	3	4
RET	Возврат из подпрограммы	1	5
RETI	Возврат из подпрограммы обработки прерывания	1	5
AJMP addr11	Абсолютный переход внутри страницы в 2 Кбайта	2	3
LJMP addr16	Длинный переход в полном объеме памяти программ	3	4
SJMP rel	Короткий относительный переход внутри страницы в 256 байт	2	3
JMP @A+DPTR	Косвенный относительный переход	1	3
JZ rel	Переход, если аккумулятор равен нулю	2	2/3
JNZ rel	Переход, если аккумулятор не равен нулю	2	2/3
CJNE A,direct,rel	Сравнение аккумулятора с прямо-адресуемым байтом и переход, если не равно	3	3/4
CJNE A,#data,rel	Сравнение аккумулятора с константой и переход, если не равно	3	3/4
CJNE Rn,#data,rel	Сравнение регистра с константой и переход, если не равно	3	3/4
CJNE @Ri,#data,rel	Сравнение косвенно-адресуемого байта ОЗУ с константой и переход, если не равно	3	4/5
DJNZ Rn,rel	Декремент регистра и переход, если не нуль	2	2/3
DJNZ direct,rel	Декремент прямо-адресуемого байта и переход, если не нуль	3	3/4
NOP	Холостая команда	1	1

Условные обозначения:

Rn - Регистр R0-R7 выбранного банка регистров.

@Ri – Ячейка ОЗУ данных, адресуемая косвенно через регистры R0-R1

rel - 8-битное смещение со знаком (в дополнительном коде) относительно первого байта следующей команды. Используется командой SJMP и всеми командами условных переходов.

direct - 8-битный адрес ячейки внутреннего ОЗУ данных. Это может быть ячейка ОЗУ данных прямого доступа (0x00-0x7F) или регистр специального назначения SFR (0x80-0xFF).

#data - 8-битная константа

#data 16 - 16-битная константа

bit – Прямо-адресуемый бит ячейки ОЗУ данных или регистра специального назначения SFR.

addr 11 - 11-битный адрес перехода, используемый командами ACALL и AJMP. Переход должен осуществляться в пределах той 2-Кбайтной страницы памяти программ, в которой расположен первый байт следующей команды.

addr 16 - 16-битный адрес перехода, используемый командами LCALL и LJMP. Переход может осуществляться в пределах всего 64-Кбайтного пространства памяти программ.

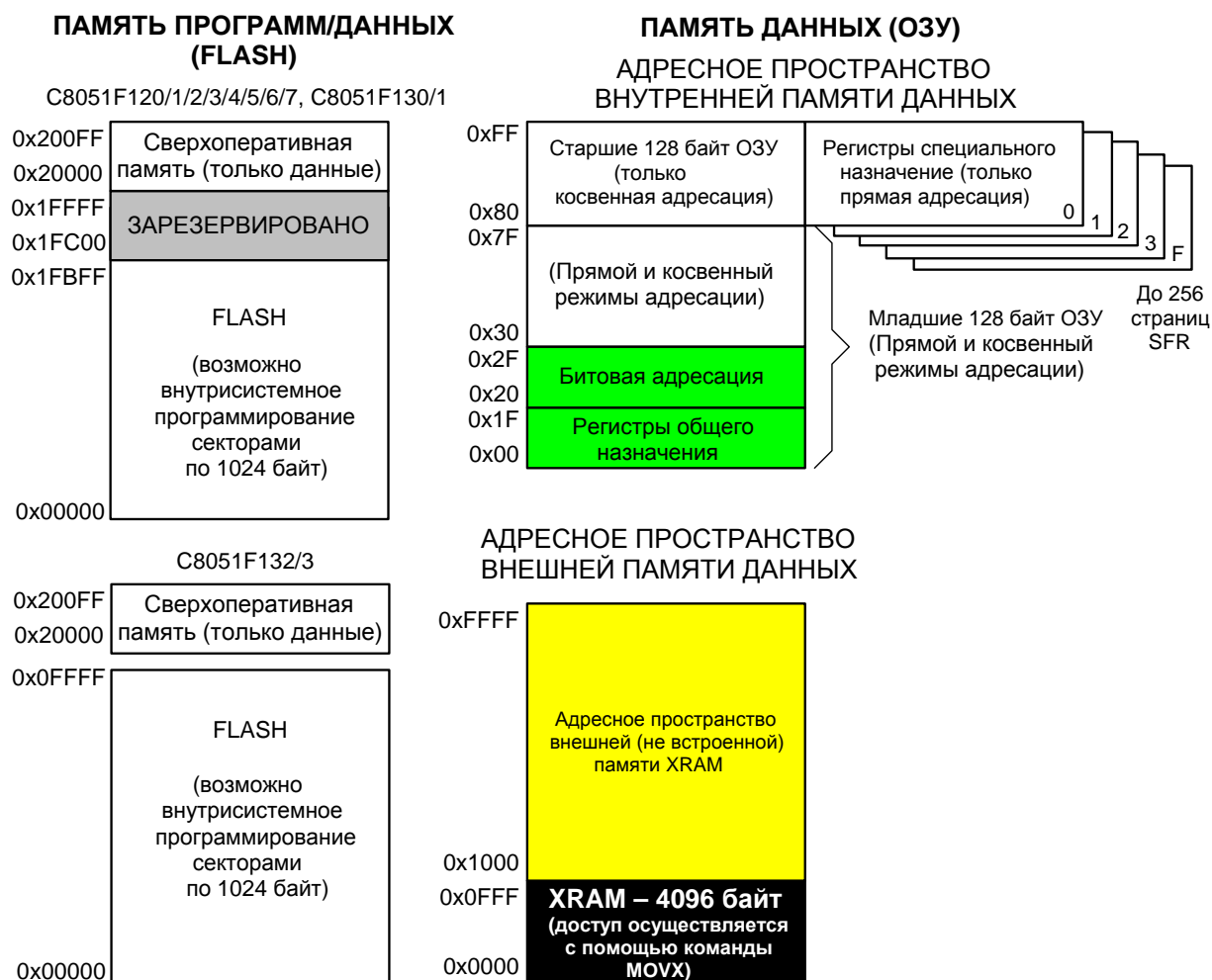
Существует один неиспользуемый код операции (0xA5), который выполняется аналогично команде NOP.

На всю мнемонику распространяется авторское право © Intel Corporation 1980.

11.2. ОРГАНИЗАЦИЯ ПАМЯТИ

Организация памяти МК с ядром CIP-51 соответствует стандарту 8051. Имеется две отдельных области памяти, память программ и память данных, которые разделяют одно и то же адресное пространство, но доступ к ним осуществляется командами различного типа. Имеется 256 байт внутренней памяти данных и 128 Кбайт (C8051F12x и C8051F130/1) или 64 Кбайт (C8051F132/3) адресного пространства внутренней памяти программ, реализованных в CIP-51. Организация памяти CIP-51 показана на рис.11.2.

Рисунок 11.2. Карта распределения памяти



11.2.1. Память программ

МК C8051F12x и C8051F130/1 имеют 128 Кбайт адресного пространства памяти программ. В МК эта память программ реализована в виде внутрисистемной перепрограммируемой Flash-памяти, разделенной на четыре кодовых банка объемом 32 Кбайт каждый. Обычный кодовый банк (Банк 0) всегда доступен по адресам 0x0000...0x7FFF. Каждый из трех старших кодовых банков (Банк 1, Банк 2 и Банк 3) отображается на адресное пространство 0x8000...0xFFFF, в зависимости от значения бит регистра PSBANK. Биты IFBANK1-0 регистра PSBANK определяют, какой из старших банков используется для выполнения кода, а бит COBANK регистра PSBANK выбирает банк, который используется для непосредственных операций чтения и записи Flash-памяти. Следует помнить, что 1024 байт памяти Банка 3 (0x1FC00...0x1FFF) зарезервированы и недоступны для хранения программы пользователя или данных. В МК C8051F132/3 физически реализовано 64 Кбайт памяти программ, которая является внутрисистемной перепрограммируемой Flash-памятью, занимающей непрерывный блок адресов от 0x00000 до 0x0FFFF.

По умолчанию память программ настраивается только для чтения. Однако CIP-51 может записывать данные в память программ с помощью команды MOVX, для чего необходимо разрешить запись во Flash-память установкой в 1 бита PSCWL.0. Эта возможность позволяет CIP-51 обновлять программный код и использовать память программ для долговременного хранения данных. Подробная информация о работе с Flash-памятью приведена в разделе 15.

Рисунок 11.3. PSBANK: Регистр выбора банка памяти программ

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00010001
-	-	COBANK	-	-	-	IFBANK		SFR Адрес: 0xB1 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-6: Зарезервированы.

Биты 5-4: COBANK: Выбор банка для операций с константами.
 Эти биты определяют, какой банк Flash-памяти будет использоваться при выполнении операций с константами (MOVC и FLASH MOVX), содержащими адреса из диапазона 0x8000...0xFFFF. Эти биты игнорируются при обращении к области сверхоперативной памяти (см. раздел 15).
 00: Операции с константами используют Банк 0 (следует помнить, что Банк 0 отображается также на адреса 0x0000...0x7FFF).
 01: Операции с константами используют Банк 1.
 10: Операции с константами используют Банк 2.
 11: Операции с константами используют Банк 3.

Биты 3-2: Зарезервированы.

Биты 1-0: IFBANK: Выбор банка, из которого будет осуществляться выборка команд.
 Эти биты определяют, из какого банка Flash-памяти будет осуществляться выборка команд, расположенных по адресам 0x8000...0xFFFF. Эти биты можно изменить только командой, расположенной в Банке 0 (см. рис.11.4).
 00: Выборка команд осуществляется из Банка 0 (следует помнить, что Банк 0 отображается также на адреса 0x0000...0x7FFF).
 01: Выборка команд осуществляется из Банка 1.
 10: Выборка команд осуществляется из Банка 2.
 11: Выборка команд осуществляется из Банка 3.

Примечание: В МК C8051F132/3 биты COBANK1-0 и IFBANK1-0 необходимо оставить в состоянии по умолчанию, т.е. '01', иначе правильное функционирование МК не гарантируется.

Рисунок 11.4. Карта распределения адресного пространства памяти для выборки команд (только 128-Кбайтная Flash-память)

Внутренние адреса	IFBANK = 0	IFBANK = 1	IFBANK = 2	IFBANK = 3
0xFFFF	Банк 0	Банк 1	Банк 2	Банк 3
0x8000	Банк 0	Банк 0	Банк 0	Банк 0
0x7FFF				
0x0000				

11.2.2. Память данных

Физически реализовано 256 байт внутреннего ОЗУ, отображенного в пространстве памяти данных с адресами от 0x00 до 0xFF. Младшие 128 байт памяти данных используются для доступа к регистрам общего назначения (РОН) и памяти. Для доступа к младшим 128 байтам памяти данных можно использовать либо прямую, либо косвенную адресацию. Ячейки с адресами от 0x00 до 0x1F разбиты на четыре банка РОН, каждый банк состоит из восьми однобайтовых регистров. Следующие 16 байт (0x20 - 0x2F) могут адресоваться побайтно или побитно как 128 бит, доступные в режиме прямой адресации.

Старшие 128 байт памяти данных доступны только в режиме косвенной адресации. Эта область памяти занимает то же самое адресное пространство, что и регистры специального назначения (Special Function Registers - SFR), но физически отделена от них. При обращении к ячейкам памяти с адресами 0x7F - 0xFF использующийся в команде режим адресации определяет, к чему осуществляется доступ: к старшим 128 байтам памяти данных или к SFR. Команды, которые используют режим прямой адресации, будут обращаться к SFR. Команды, использующие режим косвенной адресации, будут обращаться к старшим 128 байтам памяти данных. На рис.11.2 показана организация памяти данных CIP-51.

11.2.3. Регистры общего назначения

Младшие 32 байта памяти данных (0x00 - 0x1F) разбиты на четыре банка регистров общего назначения. Каждый банк состоит из восьми однобайтовых регистров, обозначаемых R0-R7. В конкретный момент времени может быть активен лишь один банк, определяемый битами RS0 (PSW.3) и RS1 (PSW.4) в слове состояния программы (program status word) PSW (см. описание PSW на рис.11.18). Это позволяет осуществлять быстрое переключение контекста при вызове подпрограмм и процедур обработки прерываний. Режимы косвенной адресации используют регистры R0 и R1 в качестве индексных регистров.

11.2.4. Ячейки памяти с битовой адресацией

Кроме прямого (побайтного) доступа к памяти данных 16 ячеек этой памяти с адресами 0x20 - 0x2F доступны также как 128 индивидуально адресуемых бит. Каждый бит имеет битовый адрес от 0x00 до 0x7F. Бит 0 байта 0x20 имеет битовый адрес 0x00, а бит 7 байта 0x20 имеет битовый адрес 0x07. Бит 7 байта 0x2F имеет битовый адрес 0x7F. Битовый доступ можно отличить от байтового доступа по типу используемой команды (операнды исходных данных и результата в первом случае являются битами, во втором – байтами).

Ассемблер MCS-51™ допускает альтернативную запись для режима битовой адресации в форме XX.B, где XX – адрес байта, а B – позиция бита внутри этого байта. Например, команда:

```
MOV C, 22h.3
```

присваивает значение бита 0x13 (бит 3 в ячейке с адресом 0x22) флагу переноса.

11.2.5. Стек

Программный стек может быть размещен в любом месте 256-байтной памяти данных. Область стека определяется с использованием указателя стека (Stack Pointer - SP, 0x81). SP будет указывать на последнюю использованную ячейку. Следующее значение, загружаемое в стек, размещается по адресу SP+1, и затем SP инкрементируется. При сбросе SP инициализируется значением 0x07. Поэтому первое значение, загружаемое в стек, размещается по адресу 0x08, которое также является первым регистром (R0) регистрового банка 1. Таким образом, если требуется использовать более одного банка регистров, SP следует инициализировать адресом ячейки ОЗУ, не используемой для хранения данных. Стек может иметь глубину до 256 байт.

МК также имеют встроенный аппаратный регистратор стековых операций, который используется схемой отладчика и представляет собой 32-разрядный сдвиговый регистр. Каждая команда PUSH или инкремент SP загружают один регистрационный бит в этот регистр, каждая команда CALL или прерывание загружают два регистрационных бита в этот регистр. (Команда POP или декремент SP извлекают один регистрационный бит, а команда RET извлекает два регистрационных бита из этого регистра). Схема регистратора стековых операций способна определять переполнение или опустошение стека и может уведомлять программные средства отладки, даже если МК отлаживается в режиме реального времени.

11.2.6. Регистры специального назначения

Ячейки памяти данных с адресами от 0x80 до 0xFF, доступные в режиме прямой адресации, образуют регистры специального назначения (special function registers - SFR). SFR позволяют управлять ресурсами ядра CIP-51 и периферийными модулями, а также осуществлять обмен данными с ними. CIP-51 дублирует SFR, типичные для архитектуры 8051, и содержит дополнительные SFR, используемые для настройки подсистем, уникальных для данного семейства МК, и доступа к ним. Это позволяет реализовать новые возможности при сохранении совместимости с системой команд MCS-51™. В таблице 11.2 перечислены все SFR МК на основе CIP-51.

Регистры SFR доступны в любое время, когда для доступа к ячейкам памяти с адресами от 0x80 до 0xFF используется режим прямой адресации. SFR с адресами, оканчивающимися на 0x0 или 0x8 (т.е. P0, TCON, P1, SCON, IE, и т.д.), адресуются как побайтно, так и побитно. Все другие SFR адресуются только побайтно. Незанятые адреса в области SFR зарезервированы для использования в будущем. Обращение к ячейкам из этой области даст неопределенный результат и должно быть исключено. Подробное описание каждого регистра приведено на соответствующей странице данного руководства (см. табл. 11.3).

11.2.6.1. Страничная организация SFR.

В CIP-51 используется страничная организация SFR, что позволяет отображать в адресном пространстве 0x80 – 0xFF большое количество регистров SFR. Пространство памяти SFR имеет 256 страниц. Таким образом, каждая ячейка памяти из области 0x80 – 0xFF может адресовать до 256 регистров SFR. В МК семейства C8051F12x используются пять SFR страниц: 0, 1, 2, 3 и F. SFR страницы выбираются при помощи регистра выбора страницы SFR SFRPAGE (см. рис.11.12). Последовательность действий при чтении и записи SFR следующая:

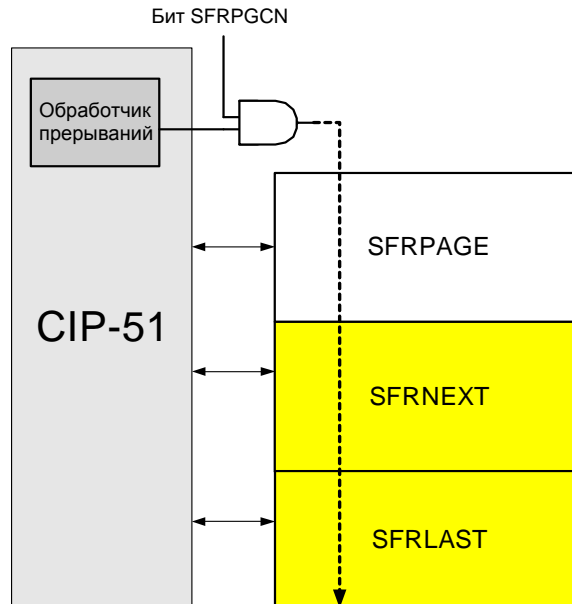
1. Выбрать номер соответствующей SFR страницы, используя регистр SFRPAGE.
2. Прочитать или записать регистр SFR, используя режим прямой адресации (команда MOV).

11.2.6.2. Страничная организация SFR и прерывания.

При возникновении прерывания регистр страницы SFR автоматически переключится на ту страницу SFR, которая содержит флаг, вызвавший прерывание. Функция автоматического переключения SFR страницы просто освобождает процедуру обслуживания прерывания от необходимости переключать SFR страницы. После выполнения команды RETI SFR страница автоматически восстановится, т.е. будет установлена та SFR страница, которая использовалась до прерывания. Это осуществляется с помощью трехбайтного стека SFR страниц. Старшим байтом стека является SFRPAGE, текущая SFR страница. Вторым байтом стека SFR страниц является SFRNEXT. Третьим (младшим) байтом стека SFR страниц является SFRLAST. При возникновении прерывания текущее значение SFRPAGE загружается в регистр SFRNEXT, а значение SFRNEXT загружается в регистр SFRLAST. Затем в регистр SFRPAGE аппаратно записывается номер той SFR страницы, которая содержит флаг, вызвавший прерывание. При возврате из прерывания стек SFR страниц «выталкивается», в результате чего значение из SFRNEXT возвращается в регистр SFRPAGE, т.е. номер SFR страницы восстанавливается без вмешательства со стороны программы. Значение из SFRLAST (0x00, если на дне стека нет значения SFR страницы) помещается в регистр SFRNEXT. При необходимости в процедуре обслуживания прерывания можно модифицировать значения, сохраненные в регистрах SFRNEXT и SFRLAST, тогда при выполнении команды RETI (при выходе из прерывания) произойдет возврат на другую SFR страницу.

Модификация регистров в стеке SFR страниц не приведет к «проталкиванию» стека. Лишь вызов прерывания и возврат из прерывания могут инициировать операции загрузки/извлечения стека SFR страниц.

Рисунок 11.5. Стек страниц SFR



Автоматическое аппаратное переключение страниц SFR можно разрешить или запретить (при необходимости), используя бит разрешения автоматического управления страницами SFR, размещенный в регистре управления страницами SFR (SFRPGCN). После сброса эта функция по умолчанию разрешена (включена). Таким образом, функция автоматического переключения SFR страниц будет включена до тех пор, пока она не будет отключена программой пользователя.

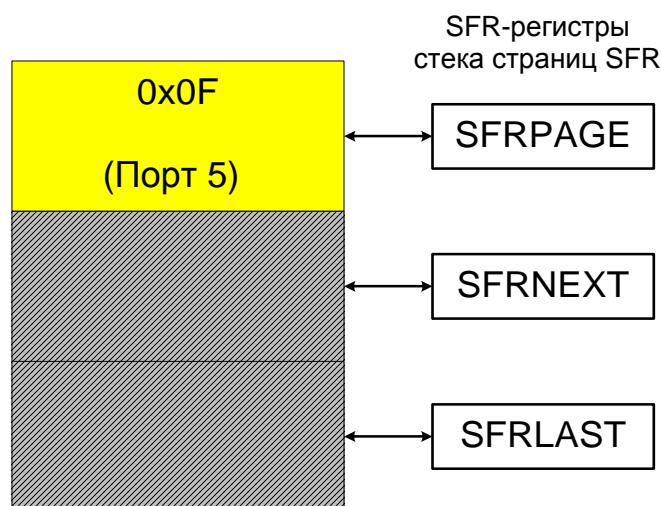
Полный перечень ячеек SFR (адрес и SFR страница) приведен в таблице 11.2 в виде карты распределения памяти SFR. Каждая ячейка памяти в этой карте имеет строку SFR страниц, показывающую, на какой странице находится данный SFR регистр. Следует отметить, что некоторые регистры SFR доступны со всех SFR страниц и имеют обозначение «**ВСЕ СТРАНИЦЫ**». Например, регистры портов ввода/вывода P0, P1, P2 и P3 все имеют обозначение «**ВСЕ СТРАНИЦЫ**», означающее, что эти регистры SFR доступны со всех страниц SFR независимо от значения регистра SFRPAGE.

11.2.6.3. Пример стека SFR страниц

Ниже приведен пример, показывающий функционирование стека SFR страниц при возникновении прерывания.

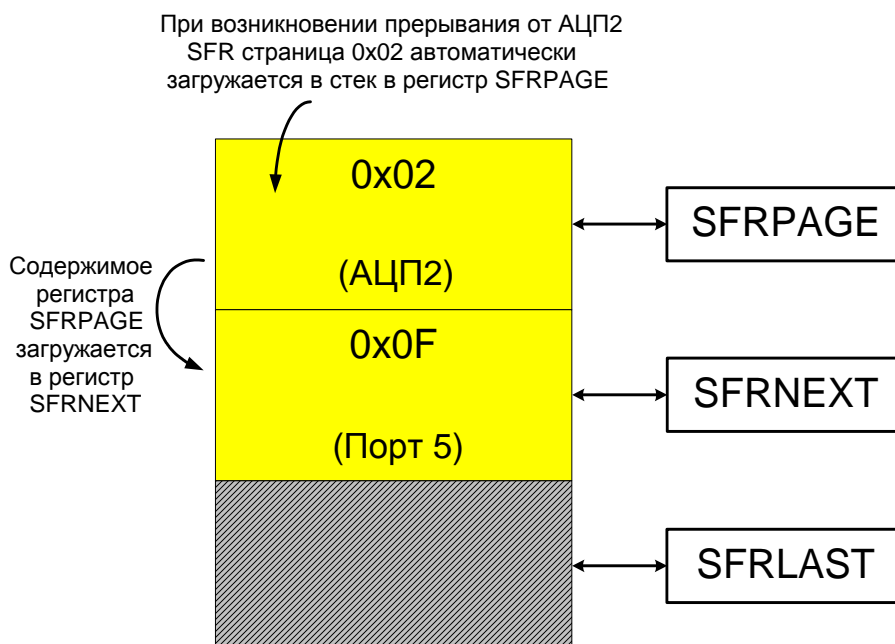
В этом примере управление SFR страницами оставлено во включенном по умолчанию состоянии (т.е. SFRPGEN = 1) и CIP-51 выполняет программный код (без переходов), записывающий значение в Порт 5 (SFR регистр «P5», расположенный по адресу 0xD8 на SFR странице 0x0F). Кроме этого МК использует программируемый массив счетчиков (ПМС) и детектор диапазона 10-разрядного АЦП (АЦП2) для слежения за напряжением. ПМС тактирует критичную управляющую функцию в своей процедуре обслуживания прерывания, поэтому прерывание от ПМС разрешено и ему назначен высокий приоритет. АЦП2 отслеживает напряжение, что не так важно, но с целью оптимизации программы используются прерывания от детектора диапазона АЦП2, которым присвоен низкий приоритет. Изначально SFR страница настроена для доступа к SFR регистру Порта 5 (SFRPAGE = 0x0F). См. рис.11.6 ниже.

Рисунок 11.6. Стек страниц SFR при использовании страницы SFR 0x0F для обращения к Порту 5



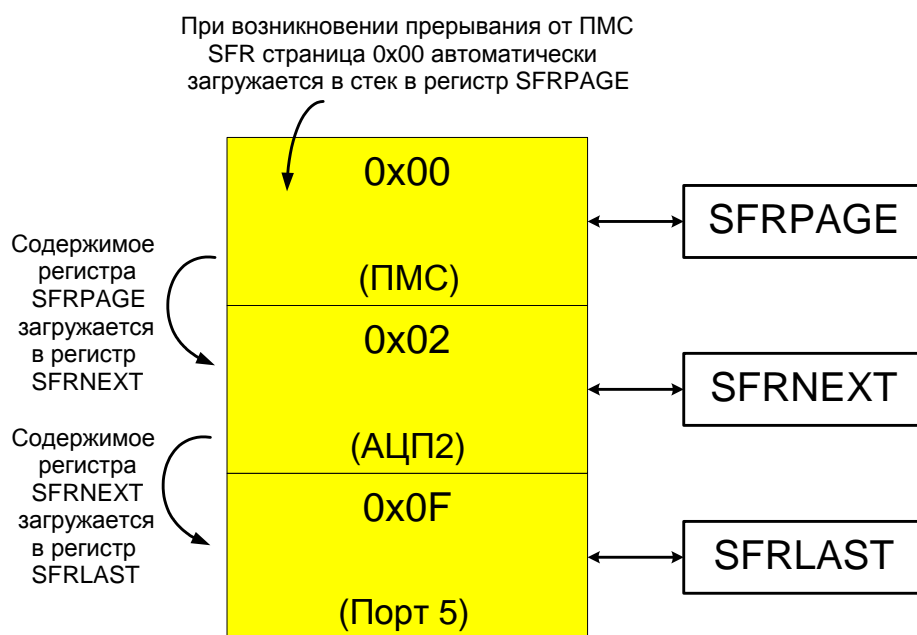
Сначала в нашем примере во время выполнения программного кода (записывающего в этом примере значение в Порт 5) происходит прерывание от детектора диапазона АЦП2. CIP-51 переходит на процедуру обслуживания прерывания от детектора диапазона АЦП2 и записывает номер текущей SFR страницы (0x0F) в регистр SFRNEXT в стеке SFR страниц. Номер SFR страницы, необходимой для доступа к SFR регистрам АЦП2, затем автоматически загружается в регистр SFRPAGE (0x02). SFRPAGE считается «вершиной» стека SFR страниц. Теперь программа может обращаться к SFR регистрам АЦП2. Программа может переключиться на любую страницу SFR путем записи нового значения в регистр SFRPAGE в любой момент во время выполнения процедуры обслуживания прерывания от АЦП2. Это может потребоваться для доступа к SFR регистрам, расположенным на других SFR страницах (не 0x02). См. рис.11.7 ниже.

Рисунок 11.7. Стек страниц SFR после возникновения прерывания от детектора диапазона АЦП2



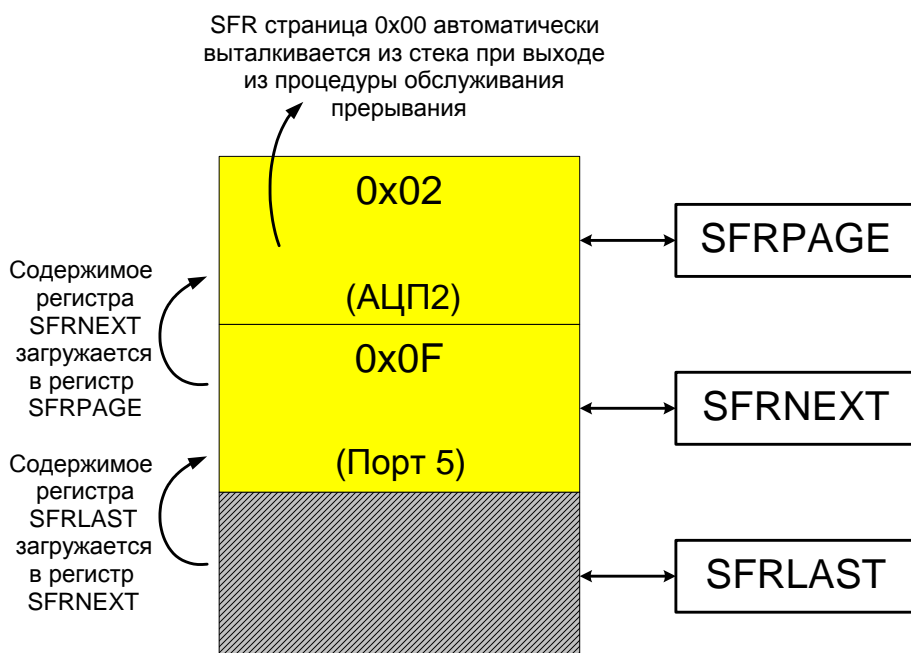
Далее во время выполнения процедуры обслуживания прерывания от АЦП2 происходит прерывание от ПМС. Прерыванию от ПМС назначен высокий уровень приоритета, а прерыванию от АЦП2 назначен низкий уровень приоритета. Поэтому произойдет переход на процедуру обслуживания прерывания от ПМС, имеющую более высокий приоритет. После этого CIP-51 автоматически запишет номер страницы SFR, необходимой для доступа к регистрам специального назначения ПМС, в регистр SFRPAGE (0x00). Значение, которое было в регистре SFRPAGE до возникновения прерывания от ПМС (SFR страница 0x02 для АЦП2), записывается вниз по стеку в регистр SFRNEXT. Аналогичным образом значение, которое было в регистре SFRNEXT до возникновения прерывания от ПМС (в данном случае SFR страница 0x0F для Порта 5), записывается вниз по стеку в регистр SFRLAST, т.е. на «дно» стека. Следует иметь в виду, что значение, сохраненное в регистре SFRLAST (записанное ранее программой) будет переписано. См. рис. 11.8 ниже.

Рисунок 11.8. Стек страниц SFR после возникновения прерывания от модуля ПМС во время выполнения процедуры обслуживания прерывания от АЦП2



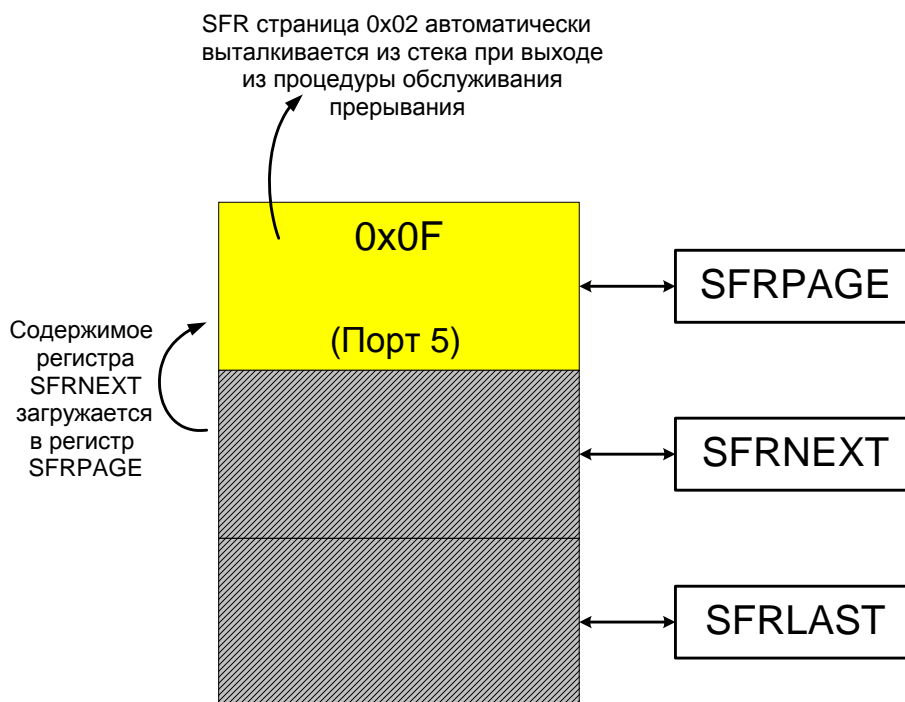
При выходе из процедуры обслуживания прерывания от модуля ПМС CIP-51 возвратится к процедуре обслуживания прерывания от детектора диапазона АЦП2. После выполнения команды RETI SFR страница 0x00, которая использовалась для доступа к регистрам ПМС, автоматически будет извлечена из стека SFR страниц, а содержимое регистра SFRNEXT будет помещено в регистр SFRPAGE. Программа в процедуре обслуживания прерывания от АЦП2 может продолжать обращаться к SFR регистрам так же, как и до возникновения прерывания от ПМС. Аналогичным образом содержимое регистра SFRLAST записывается в регистр SFRNEXT. Напомним, что оно представляет собой номер 0x0F SFR страницы, которая использовалась для доступа к Порту 5 до возникновения прерывания от АЦП2. См. рис. 11.9 ниже.

Рисунок 11.9. Стек страниц SFR после возврата из процедуры обслуживания прерывания от модуля ПМС



После выполнения команды RETI в процедуре обслуживания прерывания от детектора диапазона АЦП2 содержимое регистра SFRNEXT переписывается в регистр SFRPAGE. Теперь CIP-51 может обращаться к SFR регистрам Порта 5 так же, как и до возникновения прерываний. См. рис. 11.10 ниже.

Рисунок 11.10. Стек страниц SFR после возврата из процедуры обслуживания прерывания от детектора диапазона АЦП2



Следует отметить, что в приведенном выше примере все три байта в стеке SFR страниц доступны через регистры специального назначения SFRPAGE, SFRNEXT и SFRLAST. Если стек изменяется во время обслуживания прерывания, то при выходе из прерывания возврат может произойти на SFR страницу, отличную от той, которая была выбрана до вызова прерывания. Прямой доступ к стеку SFR страниц может оказаться полезным в том случае, когда, например, требуется разрешить системам, работающим в реальном (масштабе) времени, управлять переключением контекста между различными задачами.

Загрузка данных в стек SFR страниц происходит лишь при обслуживании прерывания, а извлечение данных из стека SFR страниц происходит лишь при выходе из прерывания (при выполнении команды RETI). Автоматическое переключение SFRPAGE и функционирование стека SFR страниц можно запретить программно путем сброса в 0 бита разрешения автоматического управления страницами SFR (SFRPGEN) в регистре управления SFR страницами (SFRPGCN). См. рис.11.11.

Рисунок 11.11. Регистр управления страницами SFR: SFRPGCN.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	-	-	SFRPGEN	00000001
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x96 SFR страница: F

Биты 7-1: Зарезервированы.

Бит 0: SFRPGEN: Бит разрешения автоматического управления страницами SFR.
После возникновения прерывания произойдет переход на соответствующую процедуру обслуживания прерывания и автоматически будет переключена SFR страница. Этот бит используется для управления функцией автоматического переключения SFR страниц.

0: Автоматическое переключение SFR страниц запрещено. CIP-51 не будет автоматически устанавливать необходимую SFR страницу (т.е. ту SFR страницу, которая содержит SFR регистры, связанные с периферийным модулем (функцией), вызвавшим прерывание).

1: Автоматическое переключение SFR страниц разрешено. При возникновении прерывания CIP-51 автоматически установит ту SFR страницу, которая содержит SFR регистры, связанные с периферийным модулем (функцией), вызвавшим прерывание.

Рисунок 11.12. Регистр страницы SFR: SFRPAGE.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x84 SFR страница: Все

Биты 7-0: SFRPAGE: Регистр страницы SFR.
Этот байт представляет собой страницу SFR, которую CIP-51 использует при чтении или модификации регистров специального назначения.
Запись: Установка SFR страницы.

Чтение: Возвращается номер SFR страницы, которую использует CIP-51.

Если SFRPGEN = 1, то C8051 будет автоматически переключаться на ту SFR страницу, которая содержит SFR регистры, связанные с периферийным модулем (функцией), вызвавшим прерывание, а при выходе из прерывания будет восстанавливаться предыдущая страница (если только стек SFR страниц не был изменен до выхода из прерывания).

SFRPAGE является старшим байтом стека SFR страниц. Только прерывание и возврат из прерывания вызывают загрузку/извлечение данных в стек/из стека SFR страниц (а не чтение/запись регистра SFRPAGE).

Рисунок 11.13. Регистр следующей страницы SFR: SFRNEXT.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x85 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Биты стека SFR страниц: Контекст SFR страниц сохраняется при возникновении прерывания/выходе из прерывания в 3-хбайтном стеке SFR страниц: SFRPAGE является первым элементом этого стека, SFRNEXT – вторым, а SFRLAST – третьим. Байты SFRPAGE, SFRNEXT и SFRLAST можно использовать для изменения контекста в стеке SFR страниц, не вызывая «проталкивания» данных по стеку. Только прерывание и возврат из прерывания вызывают загрузку/извлечение данных в стек/из стека SFR страниц.

Запись: Загружает номер SFR страницы во второй байт стека SFR страниц. В результате при возврате из прерывания в регистр SFRPAGE будет записан этот номер SFR страницы.

Чтение: Возвращается номер SFR страницы, содержащийся во втором байте стека SFR страниц. Это значение будет загружено в регистр SFRPAGE при возврате из прерывания.

Рисунок 11.14. Регистр последней страницы SFR: SFRLAST.

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x86 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: Биты стека SFR страниц: Контекст SFR страниц сохраняется при возникновении прерывания/выходе из прерывания в 3-хбайтном стеке SFR страниц: SFRPAGE является первым элементом этого стека, SFRNEXT – вторым, а SFRLAST – третьим. Байты стека SFR страниц можно использовать для изменения контекста в стеке SFR страниц, не вызывая при этом «проталкивания» стека. Только прерывание и возврат из прерывания вызывают загрузку/извлечение данных в стек/из стека SFR страниц.

Запись: Загружает номер SFR страницы в последний байт стека SFR страниц. В результате при возврате из прерывания в регистр SFRNEXT будет записан этот номер SFR страницы.

Чтение: Возвращается номер SFR страницы, содержащийся в последнем байте стека SFR страниц.

Таблица 11.2. Распределение регистров специального назначения в памяти

Адрес	SFR PAGE	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
F8	0 1 2 3 F	SPI0CN P7	PCA0L	PCA0H	PCA0CPL0	PCA0CPH0	PCA0CPL1	PCA0CPH1	WDTCN (ВСЕ СТРА- НИЦЫ)
F0	0 1 2 3 F	B (ВСЕ СТРА- НИЦЫ)						EIP1 (ВСЕ СТРА- НИЦЫ)	EIP2 (ВСЕ СТРА- НИЦЫ)
E8	0 1 2 3 F	ADC0CN ADC2CN P6	PCA0CPL2	PCA0CPH2	PCA0CPL3	PCA0CPH3	PCA0CPL4	PCA0CPH4	RSTSRC
E0	0 1 2 3 F	ACC (ВСЕ СТРА- НИЦЫ)	PCA0CPL5 XBR0	PCA0CPH5 XBR1	 XBR2			EIE1 (ВСЕ СТРА- НИЦЫ)	EIE2 (ВСЕ СТРА- НИЦЫ)
D8	0 1 2 3 F	PCA0CN P5	PCA0MD	PCA0CPM0	PCA0CPM1	PCA0CPM2	PCA0CPM3	PCA0CPM4	PCA0CPM5
D0	0 1 2 3 F	PSW (ВСЕ СТРА- НИЦЫ)	REF0CN	DAC0L DAC1L	DAC0H DAC1H	DAC0CN DAC1CN			
C8	0 1 2 3 F	TMR2CN TMR3CN TMR4CN P4	TMR2CF TMR3CF TMR4CF	RCAP2L RCAP3L RCAP4L	RCAP2H RCAP3H RCAP4H	TMR2L TMR3L TMR4L	TMR2H TMR3H TMR4H	MAC0RNDL	SMB0CR MAC0RNDH
C0	0 1 2 3 F	SMB0CN MAC0STA	SMB0STA MAC0AL	SMB0DAT MAC0AH	SMB0ADR MAC0CF	ADC0GTL ADC2GT	ADC0GTH	ADC0LTL ADC2LT	ADC0LTH
B8	0 1 2 3 F	IP (ВСЕ СТРА- НИЦЫ)	SADEN0	AMX0CF AMX2CF	AMX0SL AMX2SL	ADC0CF ADC2CF		ADC0L ADC2	ADC0H
B0	0 1 2 3 F	P3 (ВСЕ СТРА- НИЦЫ)	PSBANK (ВСЕ СТРА- НИЦЫ)						FLSCL FLACL
A8	0 1 2 3 F	IE (ВСЕ СТРА- НИЦЫ)	SADDR0				P1MDIN		
A0	0 1 2 3 F	P2 (ВСЕ СТРА- НИЦЫ)	EMI0TC CCH0CN	EMI0CN CCH0TN	EMI0CF CCH0LC				
98	0 1 2 3 F	SCON0 SCON1	SBUF0 SBUF1	SPI0CFG	SPI0DAT		SPI0CKR		
				CCH0MA		P4MDOUT	P5MDOUT	P6MDOUT	P7MDOUT
		0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)

**Таблица 11.2. Распределение регистров специального назначения в памяти
(продолжение)**

90	0 1 2 3 F	P1 (ВСЕ СТРА- НИЦЫ)	SSTA0						
			MAC0BL	MAC0BH	MAC0ACC0	MAC0ACC1	MAC0ACC2	MAC0ACC3 SFRPGCN	MAC0OVR CLKSEL
88	0 1 2 3 F	TCON CPT0CN CPT1CN FLSTAT	TMOD CPT0MD CPT1MD	TL0	TL1	TH0	TH1	CKCON	PSCTL
			PLL0CN	OSCICN	OSCICL	OSCXCN	PLL0DIV	PLL0MUL	PLL0FLT
80	0 1 2 3 F	P0 (ВСЕ СТРА- НИЦЫ)	SP (ВСЕ СТРА- НИЦЫ)	DPL (ВСЕ СТРА- НИЦЫ)	DPH (ВСЕ СТРА- НИЦЫ)	SFRPAGE (ВСЕ СТРА- НИЦЫ)	SFRNEXT (ВСЕ СТРА- НИЦЫ)	SFRLAST (ВСЕ СТРА- НИЦЫ)	PCON (ВСЕ СТРА- НИЦЫ)
		0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)

Таблица 11.3. Регистры специального назначения

SFR перечислены в алфавитном порядке. Все неопределенные ячейки в области SFR зарезервированы.

Адрес	Регистр	Страница SFR	Описание	№ стр.
0xE0	ACC	Все стр-цы	Аккумулятор	155
0xBC	ADC0CF	0	Конфигурация АЦПО	64* ¹ , 82* ²
0xE8	ADC0CN	0	Управление АЦПО	65* ¹ , 83* ²
0xC5	ADC0GTH	0	Нижняя граница диапазона АЦПО (старший байт)	68* ¹ , 86* ²
0xC4	ADC0GTL	0	Нижняя граница диапазона АЦПО (младший байт)	68* ¹ , 86* ²
0xBF	ADC0H	0	Слово данных АЦПО (старший байт)	66* ¹ , 84* ²
0xBE	ADC0L	0	Слово данных АЦПО (младший байт)	66* ¹ , 84* ²
0xC7	ADC0LTH	0	Верхняя граница диапазона АЦПО (старший байт)	69* ¹ , 86* ²
0xC6	ADC0LTL	0	Верхняя граница диапазона АЦПО (младший байт)	69* ¹ , 87* ²
0xBE	ADC2L	2	Слово данных АЦП2	101* ³
0xBC	ADC2CF	2	Конфигурация АЦП2	99* ³
0xE8	ADC2CN	2	Управление АЦП2	100* ³
0xC4	ADC2GT	2	Нижняя граница детектора диапазона АЦП2	104* ³
0xC6	ADC2LT	2	Верхняя граница детектора диапазона АЦП2	104* ³
0xBA	AMX0CF	0	Конфигурация аналогового мультиплексора АЦПО	62* ¹ , 80* ²
0xBB	AMX0SL	0	Выбор канала мультиплексора АЦПО	63* ¹ , 81* ²
0xBA	AMX2CF	2	Конфигурация аналогового мультиплексора АЦП2	97* ³
0xBB	AMX2SL	2	Выбор канала аналогового мультиплексора АЦП2	98* ³
0xF0	B	Все стр-цы	Регистр В	155
0xA1	CCH0CN	F	Управление кеш-памятью	215
0xA3	CCH0LC	F	Блокировка кеш-памяти	216
0x9A	CCH0MA	F	Аккумулятор «промахов кеша»	217
0xA2	CCH0TN	F	Настройка кеш-памяти	216
0x8E	CKCON	0	Управление тактированием таймеров 0 и 1	320
0x97	CLKSEL	F	Выбор тактового генератора	190
0x89	CPT0MD	1	Выбор режима компаратора 0	125
0x89	CPT1MD	2	Выбор режима компаратора 1	127
0x88	CPT0CN	1	Управление компаратором 0	125
0x88	CPT1CN	2	Управление компаратором 1	126
0xD4	DAC0CN	0	Управление ЦАП0	110* ³
0xD3	DAC0H	0	Слово данных ЦАП0 (старший байт)	109* ³
0xD2	DAC0L	0	Слово данных ЦАП0 (младший байт)	109* ³
0xD4	DAC1CN	1	Управление ЦАП1	112* ³
0xD3	DAC1H	1	Слово данных ЦАП1 (старший байт)	111* ³
0xD2	DAC1L	1	Слово данных ЦАП1 (младший байт)	111* ³
0x83	DPH	Все стр-цы	Указатель данных (старший байт)	153
0x82	DPL	Все стр-цы	Указатель данных (младший байт)	153
0xE6	EIE1	Все стр-цы	Дополнительный регистр разрешения прерываний 1	161
0xE7	EIE2	Все стр-цы	Дополнительный регистр разрешения прерываний 2	162

Адрес	Регистр	Страница SFR	Описание	№ стр.
0xF6	EIP1	Все стр-цы	Дополнительный регистр приоритетов прерываний 1	163
0xF7	EIP2	Все стр-цы	Дополнительный регистр приоритетов прерываний 2	164
0xA2	EMI0CN	0	Управление интерфейсом внешней памяти	221
0xA3	EMI0CF	0	Конфигурация интерфейса внешней памяти	222
0xA1	EMI0TC	0	Управление временными параметрами интерфейса внешней памяти	227
0xB7	FLACL	F	Ограничение доступа к Flash-памяти	206
0xB7	FLSCL	0	Делитель модуля Flash-памяти	208
0x88	FLSTAT	F	Регистр состояния модуля Flash-памяти	217
0xA8	IE	Все стр-цы	Разрешение прерываний	159
0xB8	IP	Все стр-цы	Управление приоритетами прерываний	160
0x93	MAC0ACC0	3	Байт 0 (младший байт) аккумулятора MAC0	177* ⁴
0x94	MAC0ACC1	3	Байт 1 аккумулятора MAC0	176* ⁴
0x95	MAC0ACC2	3	Байт 2 аккумулятора MAC0	176* ⁴
0x96	MAC0ACC3	3	Байт 3 (старший байт) аккумулятора MAC0	176* ⁴
0xC2	MAC0AH	3	Старший байт регистра А модуля MAC0	174* ⁴
0xC1	MAC0AL	3	Младший байт регистра А модуля MAC0	175* ⁴
0x92	MAC0BH	3	Старший байт регистра В модуля MAC0	175* ⁴
0x91	MAC0BL	3	Младший байт регистра В модуля MAC0	175* ⁴
0xC3	MAC0CF	3	Конфигурация MAC0	173* ⁴
0x97	MAC0OVR	3	Переполнение аккумулятора MAC0	177* ⁴
0xCF	MAC0RNDH	3	Старший байт регистра округления MAC0	177* ⁴
0xCE	MAC0RNDL	3	Младший байт регистра округления MAC0	178* ⁴
0xC0	MAC0STA	3	Регистр состояния MAC0	174* ⁴
0x8B	OSCICL	F	Калибровка внутреннего генератора	188
0x8A	OSICN	F	Управление внутренним генератором	188
0x8C	OSCXCN	F	Управление внешним генератором	191
0x80	P0	Все стр-цы	Регистр-защелка порта 0	250
0xA4	P0MDOUT	F	Регистр настройки выходов порта 0	250
0x90	P1	Все стр-цы	Регистр-защелка порта 1	251
0xAD	P1MDIN	F	Регистр настройки входов порта 1	251
0xA5	P1MDOUT	F	Регистр настройки выходов порта 1	252
0xA0	P2	Все стр-цы	Регистр-защелка порта 2	252
0xA6	P2MDOUT	F	Регистр настройки выходов порта 2	253
0xB0	P3	Все стр-цы	Регистр-защелка порта 3	253
0xA7	P3MDOUT	F	Регистр настройки выходов порта 3	254
0xC8	P4	F	Регистр-защелка порта 4	256
0x9C	P4MDOUT	F	Регистр настройки выходов порта 4	256
0xD8	P5	F	Регистр-защелка порта 5	257
0x9D	P5MDOUT	F	Регистр настройки выходов порта 5	257
0xE8	P6	F	Регистр-защелка порта 6	258

C8051F120/1/2/3/4/5/6/7

C8051F130/1/2/3

Адрес	Регистр	Страница SFR	Описание	№ стр.
0x9E	P6MDOUT	F	Регистр настройки выходов порта 6	258
0xF8	P7	F	Регистр-защелка порта 7	259
0x9F	P7MDOUT	F	Регистр настройки выходов порта 7	259
0xD8	PCA0CN	0	Управление программируемым массивом счетчиков (ПМС) 0	340
0xFC	PCA0CPH0	0	Слово данных модуля захвата 0 (старший байт)	344
0xFE	PCA0CPH1	0	Слово данных модуля захвата 1 (старший байт)	344
0xEA	PCA0CPH2	0	Слово данных модуля захвата 2 (старший байт)	344
0xEC	PCA0CPH3	0	Слово данных модуля захвата 3 (старший байт)	344
0xEE	PCA0CPH4	0	Слово данных модуля захвата 4 (старший байт)	344
0xE2	PCA0CPH5	0	Слово данных модуля захвата 5 (старший байт)	344
0xFB	PCA0CPL0	0	Слово данных модуля захвата 0 (младший байт)	343
0xFD	PCA0CPL1	0	Слово данных модуля захвата 1 (младший байт)	343
0xE9	PCA0CPL2	0	Слово данных модуля захвата 2 (младший байт)	343
0xEB	PCA0CPL3	0	Слово данных модуля захвата 3 (младший байт)	343
0xED	PCA0CPL4	0	Слово данных модуля захвата 4 (младший байт)	343
0xE1	PCA0CPL5	0	Слово данных модуля захвата 5 (младший байт)	343
0xDA	PCA0CPM0	0	Настройка модуля захват/сравнение 0	342
0xDB	PCA0CPM1	0	Настройка модуля захват/сравнение 1	342
0xDC	PCA0CPM2	0	Настройка модуля захват/сравнение 2	342
0xDD	PCA0CPM3	0	Настройка модуля захват/сравнение 3	342
0xDE	PCA0CPM4	0	Настройка модуля захват/сравнение 4	342
0xDF	PCA0CPM5	0	Настройка модуля захват/сравнение 5	342
0xFA	PCA0H	0	Слово данных таймера/счетчика ПМС (старший байт)	343
0xF9	PCA0L	0	Слово данных таймера/счетчика ПМС (младший байт)	343
0xD9	PCA0MD	0	Режим ПМС 0	341
0x87	PCON	Все стр-цы	Управление питанием	166
0x89	PLL0CN	F	Управление системой ФАПЧ	195
0x8D	PLL0DIV	F	Делитель системы ФАПЧ	195
0x8F	PLL0FLT	F	Фильтр системы ФАПЧ	196
0x8E	PLL0MUL	F	Коэффициент умножения системы ФАПЧ	196
0xB1	PSBANK	Все стр-цы	Выбор банка Flash-памяти	136
0x8F	PSCTL	0	Управление режимом чтения/записи памяти программ	209
0xD0	PSW	Все стр-цы	Слово состояния программы	154
0xCB	RCAP2H	0	Регистр захвата/перезагрузки таймера/счетчика 2 (старший байт)	328
0xCA	RCAP2L	0	Регистр захвата/перезагрузки таймера/счетчика 2 (младший байт)	328
0xCB	RCAP3H	1	Регистр захвата/перезагрузки таймера/счетчика 3 (старший байт)	328
0xCA	RCAP3L	1	Регистр захвата/перезагрузки таймера/счетчика 3 (младший байт)	328
0xCB	RCAP4H	2	Регистр захвата/перезагрузки таймера/счетчика 4 (старший байт)	328
0xCA	RCAP4L	2	Регистр захвата/перезагрузки таймера/счетчика 4 (младший байт)	328
0xD1	REF0CN	0	Регистр управления ИОН	116* ⁵ , 118* ⁶ , 119* ⁷



Адрес	Регистр	Страница SFR	Описание	№ стр.
0xEF	RSTSRC	0	Регистр источника сброса	184
0xA9	SADDR0	0	Адрес ведомого УАППО	302
0xB9	SADEN0	0	Разрешение адреса ведомого УАППО	302
0x99	SBUF0	0	Буфер данных УАППО	302
0x99	SBUF1	1	Буфер данных УАППО	309
0x98	SCON0	0	Управление последовательным портом УАППО	300
0x98	SCON1	1	Управление последовательным портом УАППО	308
0x84	SFRPAGE	Все стр-цы	Регистр страницы SFR	145
0x96	SFRPGCN	F	Регистр управления страницы SFR	145
0x85	SFRNEXT	Все стр-цы	Регистр следующей SFR страницы в стеке страниц SFR	144
0x86	SFRLAST	Все стр-цы	Регистр последней SFR страницы в стеке страниц SFR	144
0xC3	SMB0ADR	0	Адрес модуля SMBus 0	272
0xC0	SMB0CN	0	Управление модулем SMBus 0	269
0xCF	SMB0CR	0	Установка частоты тактирования модуля SMBus 0	270
0xC2	SMB0DAT	0	Регистр данных модуля SMBus 0	271
0xC1	SMB0STA	0	Регистр состояния модуля SMBus 0	273
0x81	SP	Все стр-цы	Указатель стека	153
0x9A	SPI0CFG	0	Конфигурация модуля SPI	284
0x9D	SPI0CKR	0	Установка частоты тактирования модуля SPI	286
0xF8	SPI0CN	0	Управление модулем SPI	285
0x9B	SPI0DAT	0	Регистр данных модуля SPI	286
0x91	SSTA0	0	Выбор тактирования/состояние УАППО	301
0x88	TCON	0	Управление таймером/счетчиком	318
0x8C	TH0	0	Слово данных таймера/счетчика 0 (старший байт)	321
0x8D	TH1	0	Слово данных таймера/счетчика 1 (старший байт)	321
0x8A	TL0	0	Слово данных таймера/счетчика 0 (младший байт)	320
0x8B	TL1	0	Слово данных таймера/счетчика 1 (младший байт)	321
0x89	TMOD	0	Режим таймера/счетчика	319
0xC9	TMR2CF	0	Настройка таймера/счетчика 2	327
0xC8	TMR2CN	0	Управление таймером/счетчиком 2	327
0xCD	TMR2H	0	Старший байт таймера/счетчика 2	329
0xCC	TMR2L	0	Младший байт таймера/счетчика 2	328
0xC9	TMR3CF	1	Настройка таймера/счетчика 3	327
0xC8	TMR3CN	1	Управление таймером/счетчиком 3	327
0xCD	TMR3H	1	Старший байт таймера/счетчика 3	329
0xCC	TMR3L	1	Младший байт таймера/счетчика 3	328
0xC9	TMR4CF	2	Настройка таймера/счетчика 4	327
0xC8	TMR4CN	2	Управление таймером/счетчиком 4	327
0xCD	TMR4H	2	Старший байт таймера/счетчика 4	329
0xCC	TMR4L	2	Младший байт таймера/счетчика 4	328
0xFF	WDTCN	Все стр-цы	Управление сторожевым таймером	183
0xE1	XBR0	F	Регистр 0 конфигурации матрицы портов ввода/вывода	247
0xE2	XBR1	F	Регистр 1 конфигурации матрицы портов ввода/вывода	248
0xE3	XBR2	F	Регистр 2 конфигурации матрицы портов ввода/вывода	249

C8051F120/1/2/3/4/5/6/7

C8051F130/1/2/3

- *1 - Только для МК C8051F120/1/4/5
- *2 - Только для МК C8051F122/3/6/7 и C8051F130/1/2/3
- *3 - Только для МК C8051F120/1/2/3/4/5/6/7
- *4 - Только для МК C8051F120/1/2/3 и C8051F130/1/2/3
- *5 - Только для МК C8051F120/2/4/6
- *6 - Только для МК C8051F121/3/5/7
- *7 - Только для МК C8051F130/1/2/3



11.2.7. Описания регистров

Ниже приведены описания регистров SFR, связанных с работой ядра CIP-51. Зарезервированные биты не следует устанавливать в логическую 1. Будущие версии МК могут использовать эти биты для реализации новых функций, тогда при сбросе в эти биты будут записаны логические нули, выбирая тем самым состояние по умолчанию для новых функций. Подробные описания остальных SFR включены в разделы настоящего руководства, посвященные описанию связанных с ними системных модулей и функций.

Рисунок 11.15. SP: Указатель стека

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000111 SFR Адрес: 0x81 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SP: Указатель стека.
Указатель стека содержит адрес вершины стека. Указатель стека инкрементируется перед каждой операцией PUSH. После сброса регистр SP содержит значение по умолчанию 0x07.

Рисунок 11.16. DPL: Младший байт указателя данных

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x82 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: DPL: Младший байт указателя данных.
Регистр DPL является младшим байтом 16-разрядного регистра DPTR. DPTR используется для доступа в режиме косвенной адресации к памяти XRAM и Flash-памяти.

Рисунок 11.17. DPH: Старший байт указателя данных

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x83 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: DPH: Старший байт указателя данных.
Регистр DPH является младшим байтом 16-разрядного регистра DPTR. DPTR используется для доступа в режиме косвенной адресации к памяти XRAM и Flash-памяти.

Рисунок 11.18. PSW: Слово состояния программы

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CY	AC	F0	RS1	RS0	OV	F1	PARITY	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xD0 SFR страница: Все

Бит 7: CY: Флаг переноса.
Этот бит устанавливается, если в результате последней арифметической операции произошел перенос (сложение) или заем (вычитание). Он сбрасывается в 0 всеми другими арифметическими операциями.

Бит 6: AC: Флаг десятичного переноса.
Этот бит устанавливается, если в результате последней арифметической операции произошел перенос (сложение) в старший полубайт или заем (вычитание) из старшего полубайта. Он сбрасывается в 0 всеми другими арифметическими операциями.

Бит 5: F0: Флаг пользователя 0.
Это доступный в битовом режиме адресации флаг общего назначения, предназначенный для использования под управлением программы.

Биты 4-3: RS1-RS0: Биты выбора банка регистров.
Эти биты определяют активный банк регистров.

RS1	RS0	Банк регистров	Адреса
0	0	0	0x00-0x07
0	1	1	0x08-0x0F
1	0	2	0x10-0x17
1	1	3	0x18-0x1F

Бит 2: OV: Флаг переполнения.
Этот бит устанавливается в 1 в следующих случаях:

- если в результате выполнения команды ADD, ADDC или SUBB произошло переполнение с изменением знака;
- если в результате выполнения команды MUL произошло переполнение (результат превышает значение 255);
- если при выполнении команды DIV произошло деление на ноль.

Бит OV сбрасывается в 0 командами ADD, ADDC, SUBB, MUL и DIV во всех других случаях.

Бит 1: F1: Флаг пользователя 1.
Это доступный в битовом режиме адресации флаг общего назначения, предназначенный для использования под управлением программы.

Бит 0: PARITY: Флаг четности.
(Только для чтения)
Этот бит устанавливается в 1, если сумма восьми бит в аккумуляторе нечетная и сбрасывается, если сумма четная.

Рисунок 11.19. ACC: Аккумулятор

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xE0 SFR страница: Все

Биты 7-0: ACC: Аккумулятор
Этот регистр является аккумулятором для арифметических операций.

Рисунок 11.20. В: Регистр В

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xF0 SFR страница: Все

Биты 7-0: В: Регистр В
Этот регистр работает в качестве второго аккумулятора для точных арифметических операций.

11.3. ОБРАБОТКА ПРЕРЫВАНИЙ

CIP-51 имеет развитую систему прерываний, поддерживающую в общей сложности 20 источников прерываний с двумя уровнями приоритета. Распределение источников прерываний между встроенными периферийными модулями и внешними входными выводами зависит от конкретного типа МК. Каждый источник прерываний имеет один или несколько связанных с ним флагов прерываний, размещенных в SFR. Когда периферийный модуль или внешний источник прерываний регистрирует событие, удовлетворяющее условию прерывания, соответствующий флаг прерывания устанавливается в 1.

Если прерывание от источника прерываний разрешено, то при установке флага прерывания генерируется запрос прерывания. Как только выполнение текущей команды завершится, будет сгенерирована команда LCALL перехода по предопределенному адресу, откуда начнется исполнение процедуры обслуживания прерывания (interrupt service routine - ISR). Каждая ISR должна заканчиваться командой RETI, которая возвращает управление прерванной программе и приводит к выполнению той команды, которая исполнилась бы, если бы запроса прерывания не было. Если прерывания не разрешены, флаг прерывания игнорируется и выполнение программы продолжается в нормальном режиме. (Флаг прерывания устанавливается в 1 независимо от того, разрешены прерывания или запрещены).

Прерывание от каждого источника прерываний может быть разрешено или запрещено с помощью соответствующих битов разрешения прерываний в регистрах SFR (IE, IE1 или IE2). Однако, сначала прерывания необходимо разрешить глобально установкой в 1 бита EA (IE.7), только после этого состояние индивидуальных флагов разрешения прерываний будет иметь силу. Сброс в 0 бита EA запрещает прерывания от всех источников прерываний независимо от состояния индивидуальных флагов разрешения прерываний.

Некоторые флаги прерываний сбрасываются автоматически аппаратными средствами при переходе к процедуре ISR. Однако большинство флагов прерываний не сбрасываются аппаратно и должны быть сброшены программно до возвращения из процедуры ISR. Если флаг прерывания остается установленным после завершения выполнения команды возврата из прерывания (RETI), то сразу же будет сгенерирован новый запрос прерывания и после завершения выполнения следующей команды произойдет повторный переход к процедуре ISR.

11.3.1. Источники и векторы прерываний

Данное семейство МК поддерживает 20 источников прерываний. Программа может симулировать прерывание установкой в 1 любого флага прерывания. Если прерывание для этого флага разрешено, будет сгенерирован запрос прерывания и произойдет переход по адресу процедуры ISR, связанной с этим флагом прерывания. Источники прерываний МК, соответствующие им адреса прерываний, уровень приоритета и биты управления перечислены в таблице 11.4. Подробная информация относительно условий возникновения прерываний от периферийных модулей и поведения их флагов прерываний приведена в разделах данного руководства, посвященных работе соответствующих периферийных модулей.

11.3.2. Внешние прерывания

Два внешних источника прерываний (/INT0 и /INT1) настраиваются как входы с низким активным уровнем, чувствительные к уровню или к фронту сигнала, в зависимости от состояния битов IT0 (TCON.0) и IT1 (TCON.2). Биты IE0 (TCON.1) и IE1 (TCON.3) служат флагами прерываний для внешних прерываний /INT0 и /INT1 соответственно. Если вход /INT0 или /INT1 настроен как чувствительный к фронту, то соответствующий флаг прерывания автоматически сбрасывается аппаратными средствами при переходе к процедуре ISR. Если вход /INT0 или /INT1 настроен как чувствительный к уровню, то соответствующий флаг прерывания отслеживает (повторяет) состояние входного вывода внешнего прерывания. Внешний источник прерывания должен удерживать на этом входе активный уровень до тех пор, пока запрос прерывания не будет распознан. Затем необходимо деактивировать запрос прерывания до окончания выполнения процедуры ISR, иначе будет сгенерирован другой запрос прерывания.

Таблица 13.4. Источники прерываний

Источник прерывания	Вектор прерывания	Приоритет	Флаг прерывания	Битовая адресация ?	Аппаратный сброс ?	Бит разрешения	Управление приоритетом
Сброс	0x0000	Наивысший	Нет	N/A	N/A	Разрешен всегда	Всегда наивысший
Внешнее прерывание 0 (/INT0)	0x0003	0	IE0 (TCON.1)	Y	Y	EX0 (IE.0)	PX0 (IP.0)
Переполнение Таймера 0	0x000B	1	TF0 (TCON.5)	Y	Y	ET0 (IE.1)	PT0 (IP.1)
Внешнее прерывание 1 (/INT1)	0x0013	2	IE1 (TCON.3)	Y	Y	EX1 (IE.2)	PX1 (IP.2)
Переполнение Таймера 1	0x001B	3	TF1 (TCON.7)	Y	Y	ET1 (IE.3)	PT1 (IP.3)
Последовательный порт УАППО	0x0023	4	RI0 (SCON0.0) TI0 (SCON0.1)	Y		ES0 (IE.4)	PS0 (IP.4)
Таймер 2	0x002B	5	TF2 (TMR2CN.7) EXF2 (TMR2CN.6)	Y		ET2 (IE.5)	PT2 (IP.5)
Модуль SPI	0x0033	6	SPIF (SPI0CN.7) WCOL (SPI0CN.6) MODF (SPI0CN.5) RXOVRN (SPI0CN.4)	Y		ESPI0 (EIE1.0)	PSPI0 (EIP1.0)
Модуль SMBus	0x003B	7	SI (SMB0CN.3)	Y		ESMB0 (EIE1.1)	PSMB0 (EIP1.1)
Детектор диапазона АЦПО	0x0043	8	AD0WINT (ADC0CN.1)	Y		EWADC0 (EIE1.2)	PWADC0 (EIP1.2)
Программируемый массив счетчиков	0x004B	9	CF (PCA0CN.7) CCFn (PCA0CN.n)	Y		EPCA0 (EIE1.3)	PPCA0 (EIP1.3)
Спадающий фронт выходного сигнала Компаратора 0	0x0053	10	CP0FIF (CPT0CN.4)	Y		ECP0F (EIE1.4)	PCP0F (EIP1.4)
Нарастающий фронт выходного сигнала Компаратора 0	0x005B	11	CP0RIF (CPT0CN. 5)	Y		ECP0R (EIE1.5)	PCP0R (EIP1.5)
Спадающий фронт выходного сигнала Компаратора 1	0x0063	12	CP1FIF (CPT1CN.4)	Y		ECP1F (EIE1.6)	PCP1F (EIP1.6)
Нарастающий фронт выходного сигнала Компаратора 1	0x006B	13	CP1RIF (CPT1CN. 5)	Y		ECP1R (EIE1.7)	PCP1R (EIP1.7)
Таймер 3	0x0073	14	TF3 (TMR3CN.7) EXF3 (TMR3CN.6)	Y		ET3 (EIE2.0)	PT3 (EIP2.0)
Завершение преобразования АЦПО	0x007B	15	ADC0INT (ADC0CN.5)	Y		EADC0 (EIE2.1)	PADC0 (EIP2.1)
Таймер 4	0x0083	16	TF4 (TMR4CN.7) EXF4 (TMR4CN.6)	Y		ET4 (EIE2.2)	PT4 (EIP2.2)
Детектор диапазона АЦП2	0x008B	17	AD2WINT (ADC2CN.0)	Y		EWADC2 (EIE2.3)	PWADC2 (EIP2.3)
Завершение преобразования АЦП2	0x0093	18	AD2INT (ADC2CN.5)	Y		EADC2 (EIE2.4)	PADC2 (EIP2.4)
Зарезервировано	0x009B	19	N/A	N/A	N/A	N/A	N/A
Последовательный порт УАПП1	0x00A3	20	RI1 (SCON1.0) TI1 (SCON1.1)	Y		ES1 (EIE2.6)	PS1 (EIP2.6)

11.3.3. Приоритеты прерываний

Каждому источнику прерываний можно программно присвоить один из двух уровней приоритета: низкий или высокий. Процедура ISR с низким приоритетом может быть прервана прерыванием с высоким приоритетом. Прерывание с высоким приоритетом не может быть прервано. Каждое прерывание имеет связанный с ним бит приоритета в регистрах SFR (IP-EIP2), используемый для настройки уровня приоритета. По умолчанию присваивается низкий приоритет. Если два прерывания происходят одновременно, прерывание с более высоким приоритетом обслуживается первым. Если оба прерывания имеют одинаковый приоритет, для арбитража используется фиксированный уровень приоритета, приведенный в табл.11.4.

11.3.4. Задержка обработки прерывания

Время реакции на прерывание зависит от состояния процессорного ядра в момент возникновения прерывания. Опрос флага прерывания и декодирование приоритета осуществляется каждый системный тактовый цикл. Поэтому, наименьшее возможное время реакции на прерывание составляет 5 тактовых циклов: 1 цикл для определения прерывания и 4 цикла для выполнения команды LCALL перехода к процедуре ISR. Если происходит «промах кэша», то потребуются дополнительные тактовые циклы (подробная информация приведена в разделе 16). Если в момент выполнения команды RETI появляется прерывание, то до выполнения команды LCALL перехода на процедуру обслуживания этого прерывания будет исполнена одна команда основной программы. Поэтому максимальное время реакции на прерывание (если в настоящий момент не обслуживается другое прерывание или если новое прерывание имеет более высокий приоритет) будет тогда, когда выполняется команда RETI, а следом за ней должна выполняться команда DIV, и произошел «промах кэша». Если выполняется процедура ISR для прерывания с равным или более высоким приоритетом, новое прерывание не будет обслужено до тех пор, пока не завершится текущая процедура ISR, включая команду RETI и следующую команду.

11.3.5. Описания регистров прерываний

Регистры SFR, используемые для разрешения/запрещения источников прерываний и установки их приоритетов, описаны ниже. Подробная информация относительно условий возникновения прерываний от периферийных модулей и поведения их флагов прерываний приведена в разделах данного руководства, посвященных работе соответствующих периферийных модулей.

Рисунок 11.21. IE: Регистр разрешения прерываний

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
EA	IEGF0	ET2	ES0	ET1	EX1	ET0	EX0	SFR Адрес: 0xA8 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	
<p>Бит 7: EA: Бит разрешения всех прерываний. Это бит глобально разрешает/запрещает все прерывания. Будучи сброшенным в 0, он перекрывает индивидуальные маски прерываний 0: Все источники прерываний запрещены. 1: Каждое прерывание разрешено/запрещено в соответствии с его индивидуальной маской.</p> <p>Бит 6: IEGF0: Флаг общего назначения 0. Это флаг общего назначения, предназначенный для использования под управлением программы.</p> <p>Бит 5: ET2: Бит разрешения прерывания от Таймера 2. Этот бит устанавливает маскирование прерывания от Таймера 2. 0: Все прерывания от Таймера 2 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF2 (T2CON.7)</p> <p>Бит 4: ES0: Бит разрешения прерываний от последовательного порта УАППО. Этот бит устанавливает маскирование прерывания от последовательного порта УАППО. 0: Прерывания от УАППО запрещены. 1: Прерывания от УАППО разрешены.</p> <p>Бит 3: ET1: Бит разрешения прерывания от Таймера 1. Этот бит устанавливает маскирование прерывания от Таймера 1. 0: Все прерывания от Таймера 1 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF1 (TCON.7).</p> <p>Бит 2: EX1: Бит разрешения внешнего прерывания 1. Этот бит устанавливает маскирование внешнего прерывания 1. 0: Внешнее прерывание 1 запрещено. 1: Разрешены запросы прерываний, генерируемые сигналом на выводе /INT1.</p> <p>Бит 1: ET0: Бит разрешения прерывания от Таймера 0. Этот бит устанавливает маскирование прерывания от Таймера 0. 0: Все прерывания от Таймера 0 запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага TF0 (TCON.5).</p> <p>Бит 0: EX0: Бит разрешения внешнего прерывания 0. Этот бит устанавливает маскирование внешнего прерывания 0. 0: Внешнее прерывание 0 запрещено. 1: Разрешены запросы прерываний, генерируемые сигналом на выводе /INT0.</p>								

Рисунок 11.22. IP: Регистр приоритетов прерываний

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	PT2	PS0	PT1	PX1	PT0	PX0	11000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xB8 SFR страница: Все
Биты 7-6: Не используются. Читаются как 11b. Запись не оказывает никакого влияния.								
Бит 5: PT2: Управление приоритетом прерывания от Таймера 2. Этот бит устанавливает приоритет прерываний от Таймера 2. 0: Приоритет прерывания от Таймера 2 определяется уровнем приоритета по умолчанию. 1: Прерываниям от Таймера 2 назначается высокий уровень приоритета.								
Бит 4: PS0: Управление приоритетом прерывания от последовательного порта УАППО. Этот бит устанавливает приоритет прерываний от последовательного порта УАППО. 0: Приоритет прерывания от УАППО определяется уровнем приоритета по умолчанию. 1: Прерываниям от УАППО назначается высокий уровень приоритета.								
Бит 3: PT1: Управление приоритетом прерывания от Таймера 1. Этот бит устанавливает приоритет прерываний от Таймера 1. 0: Приоритет прерывания от Таймера 1 определяется уровнем приоритета по умолчанию. 1: Прерываниям от Таймера 1 назначается высокий уровень приоритета.								
Бит 2: PX1: Управление приоритетом внешнего прерывания 1. Этот бит устанавливает приоритет внешнего прерывания 1. 0: Приоритет внешнего прерывания 1 определяется уровнем приоритета по умолчанию. 1: Внешнему прерыванию 1 назначается высокий уровень приоритета.								
Бит 1: PT0: Управление приоритетом прерывания от Таймера 0. Этот бит устанавливает приоритет прерываний от Таймера 0. 0: Приоритет прерывания от Таймера 0 определяется уровнем приоритета по умолчанию. 1: Прерываниям от Таймера 0 назначается высокий уровень приоритета.								
Бит 0: PX0: Управление приоритетом внешнего прерывания 0. Этот бит устанавливает приоритет внешнего прерывания 0. 0: Приоритет внешнего прерывания 0 определяется уровнем приоритета по умолчанию. 1: Внешнему прерыванию 0 назначается высокий уровень приоритета.								

Рисунок 11.23. EIE1: Дополнительный регистр разрешения прерываний 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
ECP1R	ECP1F	ECP0R	ECP0F	EPCA0	EWADC0	ESMB0	ESPI0	SFR Адрес: 0xE6 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: ECP1R: Бит разрешения прерываний от нарастающего фронта Компаратора 1. Этот бит устанавливает маскирование прерывания, возникающего при обнаружении нарастающего фронта выходного сигнала Компаратора 1. 0: Прерывание от нарастающего фронта Компаратора 1 запрещено. 1: Прерывание от нарастающего фронта Компаратора 1 разрешено.</p> <p>Бит 6: ECP1F: Бит разрешения прерываний от спадающего фронта Компаратора 1. Этот бит устанавливает маскирование прерывания, возникающего при обнаружении спадающего фронта выходного сигнала Компаратора 1. 0: Прерывание от спадающего фронта Компаратора 1 запрещено. 1: Прерывание от спадающего фронта Компаратора 1 разрешено.</p> <p>Бит 5: ECP0R: Бит разрешения прерываний от нарастающего фронта Компаратора 0. Этот бит устанавливает маскирование прерывания, возникающего при обнаружении нарастающего фронта выходного сигнала Компаратора 0. 0: Прерывание от нарастающего фронта Компаратора 0 запрещено. 1: Прерывание от нарастающего фронта Компаратора 0 разрешено.</p> <p>Бит 4: ECP0F: Бит разрешения прерываний от спадающего фронта Компаратора 0. Этот бит устанавливает маскирование прерывания, возникающего при обнаружении спадающего фронта выходного сигнала Компаратора 0. 0: Прерывание от спадающего фронта Компаратора 0 запрещено. 1: Прерывание от спадающего фронта Компаратора 0 разрешено.</p> <p>Бит 3: EPCA0: Бит разрешения прерываний от программируемого массива счетчиков (PCA0). Этот бит устанавливает маскирование прерывания от PCA0. 0: Все прерывания от PCA0 запрещены. 1: Разрешены запросы прерываний, генерируемые PCA0.</p> <p>Бит 2: EWADC0: Бит разрешения прерываний от детектора диапазона АЦП0. Этот бит устанавливает маскирование прерывания от детектора диапазона АЦП0. 0: Прерывание от детектора диапазона АЦП0 запрещено. 1: Разрешены запросы прерываний, генерируемые детектором диапазона АЦП0.</p> <p>Бит 1: ESMB0: Бит разрешения прерываний от модуля SMBus. Этот бит устанавливает маскирование прерывания от модуля SMBus. 0: Все прерывания от модуля SMBus запрещены. 1: Разрешены запросы прерываний, генерируемые при установке флага SI.</p> <p>Бит 0: ESPI0: Бит разрешения прерываний от модуля SPI0. Этот бит устанавливает маскирование прерывания от модуля SPI0. 0: Все прерывания от модуля SPI0 запрещены. 1: Разрешены запросы прерываний, генерируемые модулем SPI0.</p>								

Рисунок 11.24. EIE2: Дополнительный регистр разрешения прерываний 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	ES1	-	EADC2	EWADC2	ET4	EADC0	ET3	SFR Адрес: 0xE7 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: Не используется. Читается как 0b. Запись не оказывает никакого влияния.</p> <p>Бит 6: ES1: Бит разрешения прерываний от последовательного порта УАПП1. Этот бит устанавливает маскирование прерывания от последовательного порта УАПП1. 0: Прерывания от УАПП1 запрещены. 1: Прерывания от УАПП1 разрешены.</p> <p>Бит 5: Не используется. Читается как 0b. Запись не оказывает никакого влияния.</p> <p>Бит 4: EADC2: Бит разрешения прерываний, возникающих при завершении преобразования АЦП2. Этот бит устанавливает маскирование прерывания, возникающего при завершении преобразования АЦП2. 0: Прерывание, возникающее при завершении преобразования АЦП2, запрещено. 1: Разрешены запросы прерываний, генерируемые при завершении преобразования АЦП2.</p> <p>Бит 3: EWADC2: Бит разрешения прерываний от детектора диапазона АЦП2. Этот бит устанавливает маскирование прерываний от детектора диапазона АЦП2. 0: Прерывание от детектора диапазона АЦП2 запрещено. 1: Разрешены запросы прерываний, генерируемые детектором диапазона АЦП2.</p> <p>Бит 2: ET4: Бит разрешения прерываний от Таймера 4. Этот бит устанавливает маскирование прерывания от Таймера 4. 0: Все прерывания от Таймера 4 запрещены. 1: Разрешены запросы прерываний от Таймера 4.</p> <p>Бит 1: EADC0: Бит разрешения прерываний, возникающих при завершении преобразования АЦП0. Этот бит устанавливает маскирование прерывания, возникающего при завершении преобразования АЦП0. 0: Прерывание, возникающее при завершении преобразования АЦП0, запрещено. 1: Разрешены запросы прерываний, генерируемые при завершении преобразования АЦП0.</p> <p>Бит 0: ET3: Бит разрешения прерываний от Таймера 3. Этот бит устанавливает маскирование прерывания от Таймера 3. 0: Все прерывания от Таймера 3 запрещены. 1: Разрешены запросы прерываний от Таймера 3.</p>								

Рисунок 11.25. EIP1: Дополнительный регистр приоритетов прерываний 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
PCP1R	PCP1F	PCP0R	PCP0F	PPCA0	PWADC0	PSMB0	PSPI0	SFR Адрес: 0xF6 SFR страница: Все
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: PCP1R: Управление приоритетом прерывания от нарастающего фронта Компаратора 1.
Этот бит устанавливает приоритет прерывания от нарастающего фронта выходного сигнала Компаратора 1.
0: Прерыванию от нарастающего фронта выходного сигнала Компаратора 1 назначается низкий уровень приоритета.
1: Прерыванию от нарастающего фронта выходного сигнала Компаратора 1 назначается высокий уровень приоритета.

Бит 6: PCP1F: Управление приоритетом прерывания от спадающего фронта Компаратора 1.
Этот бит устанавливает приоритет прерывания от спадающего фронта выходного сигнала Компаратора 1.
0: Прерыванию от спадающего фронта выходного сигнала Компаратора 1 назначается низкий уровень приоритета.
1: Прерыванию от спадающего фронта выходного сигнала Компаратора 1 назначается высокий уровень приоритета.

Бит 5: PCP0R: Управление приоритетом прерывания от нарастающего фронта Компаратора 0.
Этот бит устанавливает приоритет прерывания от нарастающего фронта выходного сигнала Компаратора 0.
0: Прерыванию от нарастающего фронта выходного сигнала Компаратора 0 назначается низкий уровень приоритета.
1: Прерыванию от нарастающего фронта выходного сигнала Компаратора 0 назначается высокий уровень приоритета.

Бит 4: PCP0F: Управление приоритетом прерывания от спадающего фронта Компаратора 0.
Этот бит устанавливает приоритет прерывания от спадающего фронта выходного сигнала Компаратора 0.
0: Прерыванию от спадающего фронта выходного сигнала Компаратора 0 назначается низкий уровень приоритета.
1: Прерыванию от спадающего фронта выходного сигнала Компаратора 0 назначается высокий уровень приоритета.

Бит 3: PPCA0: Управление приоритетом прерывания от программируемого массива счетчиков (PCA0).
Этот бит устанавливает приоритет прерывания от PCA0.
0: Прерыванию от PCA0 назначается низкий уровень приоритета.
1: Прерыванию от PCA0 назначается высокий уровень приоритета.

Бит 2: PWADC0: Управление приоритетом прерывания от детектора диапазона АЦП0.
Этот бит устанавливает приоритет прерывания от детектора диапазона АЦП0.
0: Прерыванию от детектора диапазона АЦП0 назначается низкий уровень приоритета.
1: Прерыванию от детектора диапазона АЦП0 назначается высокий уровень приоритета.

Бит 1: PSMB0: Управление приоритетом прерывания от модуля SMBus.
Этот бит устанавливает приоритет прерывания от модуля SMBus.
0: Прерыванию от модуля SMBus назначается низкий уровень приоритета.
1: Прерыванию от модуля SMBus назначается высокий уровень приоритета.

Бит 0: PSPI0: Управление приоритетом прерывания от модуля SPI0.
Этот бит устанавливает приоритет прерывания от модуля SPI0.
0: Прерыванию от модуля SPI0 назначается низкий уровень приоритета.
1: Прерыванию от модуля SPI0 назначается высокий уровень приоритета.

Рисунок 11.26. EIP2: Дополнительный регистр приоритетов прерываний 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xF7 SFR страница: Все
-	PS1	-	PADC2	PWADC2	PT4	PADC0	PT3	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: Не используется. Читается как 0b. Запись не оказывает никакого влияния.</p> <p>Бит 6: PS1: Управление приоритетом прерывания от последовательного порта УАПП1. Этот бит устанавливает приоритет прерываний от последовательного порта УАПП1. 0: Прерываниям от УАПП1 назначается низкий уровень приоритета. 1: Прерываниям от УАПП1 назначается высокий уровень приоритета.</p> <p>Бит 5: Не используется. Читается как 0b. Запись не оказывает никакого влияния.</p> <p>Бит 4: PADC2: Управление приоритетом прерывания от флага завершения преобразования АЦП2. Этот бит устанавливает приоритет прерывания от флага завершения преобразования АЦП2. 0: Прерыванию от флага завершения преобразования АЦП2 назначается низкий уровень приоритета. 1: Прерыванию от флага завершения преобразования АЦП2 назначается высокий уровень приоритета.</p> <p>Бит 3: PWADC2: Управление приоритетом прерывания от детектора диапазона АЦП2. Этот бит устанавливает приоритет прерывания от детектора диапазона АЦП2. 0: Прерыванию от детектора диапазона АЦП2 назначается низкий уровень приоритета. 1: Прерыванию от детектора диапазона АЦП2 назначается высокий уровень приоритета.</p> <p>Бит 2: PT4: Управление приоритетом прерывания от Таймера 4. Этот бит устанавливает приоритет прерывания от Таймера 4. 0: Прерыванию от Таймера 4 назначается низкий уровень приоритета. 1: Прерыванию от Таймера 4 назначается высокий уровень приоритета.</p> <p>Бит 1: PADC0: Управление приоритетом прерывания от флага завершения преобразования АЦП0. Этот бит устанавливает приоритет прерывания от флага завершения преобразования АЦП0. 0: Прерыванию от флага завершения преобразования АЦП0 назначается низкий уровень приоритета. 1: Прерыванию от флага завершения преобразования АЦП0 назначается высокий уровень приоритета.</p> <p>Бит 0: PT3: Управление приоритетом прерывания от Таймера 3. Этот бит устанавливает приоритет прерывания от Таймера 3. 0: Приоритет прерывания от Таймера 3 определяется уровнем приоритета по умолчанию. 1: Прерыванию от Таймера 3 назначается высокий уровень приоритета.</p>								

11.4. Режимы управления электропитанием

Ядро CIP-51 имеет два программируемых режима управления электропитанием: режим ожидания и режим остановки. В режиме ожидания процессорное ядро останавливается, а внешние периферийные модули и внутренние тактовые генераторы остаются активными. В режиме остановки процессорное ядро и системный тактовый генератор останавливаются, все источники прерываний и таймеры (кроме детектора исчезновения тактовых импульсов) неактивны, системный тактовый генератор останавливается. После того, как тактовые генераторы переведены в режим ожидания, энергопотребление зависит от системной тактовой частоты и количества периферийных модулей, оставленных в активном режиме до входа в режим ожидания. В режиме остановки энергопотребление наименьшее. На рис.11.27 описан регистр управления питанием (PCON), используемый для настройки режимов электропитания CIP-51.

Хотя CIP-51 имеет встроенные режимы ожидания и остановки (как любой МК со стандартной архитектурой 8051), управление питанием всего МК наиболее эффективно осуществляется путем разрешения/запрещения по необходимости индивидуальных периферийных модулей. Каждый аналоговый периферийный модуль, когда он не используется, может быть заблокирован и переведен в режим пониженного энергопотребления. Цифровые периферийные модули, такие как таймеры или последовательные интерфейсы, потребляют мало энергии, когда не используются. Отключение Flash-памяти уменьшает энергопотребление точно так же, как переход в режим ожидания. Отключение генератора хоть и сохраняет много энергии, но требует сброса для запуска МК.

11.4.1. Режим ожидания

Установка в 1 бита выбора режима ожидания (PCON.0) заставит CIP-51 остановить процессорное ядро и перейти в режим ожидания сразу же после завершения команды, которая устанавливает этот бит. Все внутренние регистры и память сохраняют свои данные. Все аналоговые и цифровые периферийные модули могут оставаться активными во время режима ожидания.

Выйти из режима ожидания можно или по сигналу сброса, или по прерыванию. Любой из разрешенных сигналов прерывания приведет к сбросу бита PCON.0 и возобновлению работы процессорного ядра. Прерывание будет обслужено и после выхода из прерывания (RETI) будет исполнена команда, которая следует в программе за командой, установившей бит выбора режима ожидания (PCON.0). Если режим ожидания завершается по внутреннему или внешнему сигналу сброса, то CIP-51 отработает последовательность действий, обычную для сброса, и начнет выполнение программы с адреса 0x0000.

Если сторожевой таймер включен, то со временем он вызовет сброс от сторожевого таймера, что приведет к выходу из режима ожидания. Эта возможность защищает систему от непреднамеренного постоянного отключения при случайной записи регистра PCON. Когда такое поведение нежелательно, сторожевой таймер может быть отключен программно до входа в режим ожидания, если первоначально он был настроен на разрешение такой операции. Это обеспечивает возможность дополнительного уменьшения энергопотребления, т.к. система остается в режиме ожидания неопределенно долгое время, ожидая внешнего сигнала пробуждения системы. Подробная информация об использовании и настройке сторожевого таймера приведена в разделе 13.

Примечание: За любой командой, которая устанавливает бит выбора режима ожидания (PCON.0) должна сразу же следовать команда, состоящая из двух или более байт. Например:

```
// на 'C':
PCON |= 0x01;           // Установка бита выбора режима ожидания (PCON.0)
PCON = PCON;           // Холостая команда длительностью 3 такта

; на ассемблере:
ORL PCON, #01h          ; Установка бита выбора режима ожидания (PCON.0)
MOV PCON, PCON          ; Холостая команда длительностью 3 такта
```

Если команда, которая следует за командой установки бита выбора режима ожидания (PCON.0), является однобайтной командой и прерывание происходит во время выполнения команды, которая устанавливает бит PCON.0, то МК может не выйти из режима ожидания, когда в будущем произойдет прерывание.

11.4.2. Режим остановки

Установка в 1 бита выбора режима остановки (PCON.1) заставит CIP-51 перейти в режим остановки сразу же после завершения команды, которая устанавливает этот бит. В режиме остановки процессорное ядро и тактовые генераторы останавливаются, а значит все цифровые модули выключаются. Каждый аналоговый периферийный модуль должен быть отключен индивидуально до перехода в режим остановки. Выйти из режима остановки можно только по внутреннему или внешнему сигналу сброса. При сбросе CIP-51 отработает последовательность действий, обычную для сброса, и начнет выполнение программы с адреса 0x0000.

Если включен детектор исчезновения тактовых импульсов (Missing Clock Detector – MCD), то он вызовет внутренний сброс и тем самым выведет МК из режима остановки. Детектор исчезновения тактовых импульсов следует отключить, если необходимо перевести МК в режим остановки на время, большее времени задержки MCD (100 мкс).

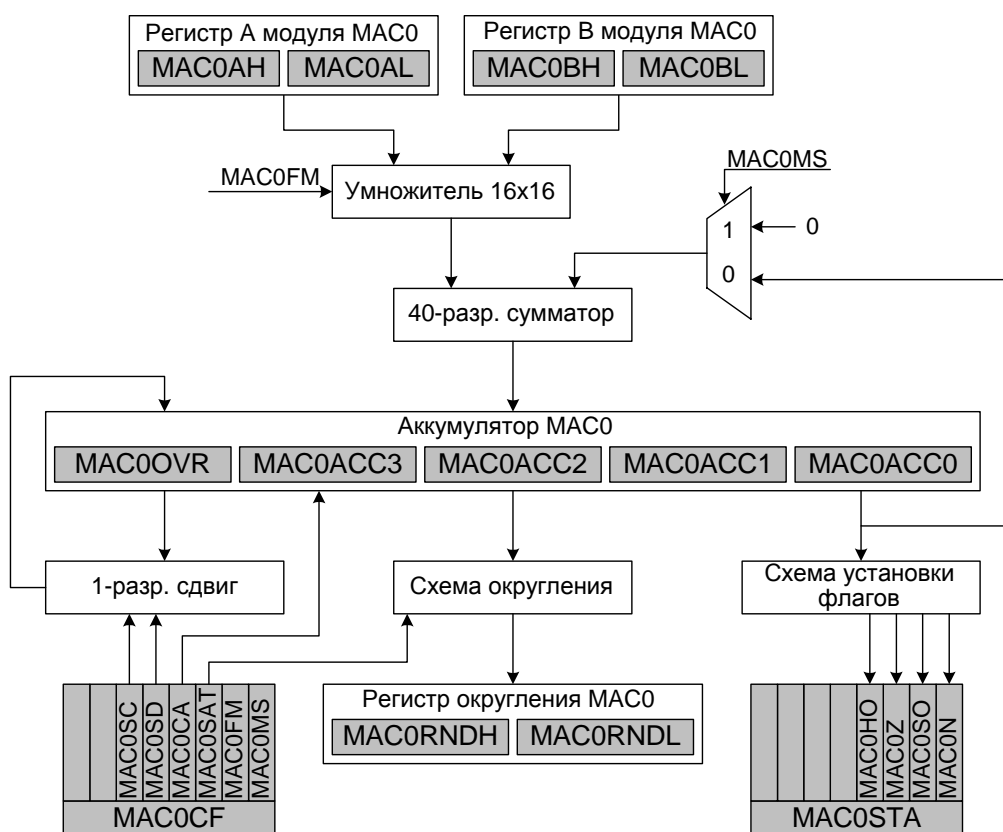
Рисунок 11.27. PCON: Регистр управления электропитанием

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x87 SFR страница: Все
-	-	-	-	-	-	STOP	IDLE	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Бит 7-2: Зарезервированы.								
Бит 1: STOP: Выбор режима остановки.								
Установка в 1 этого бита переведет CIP-51 в режим остановки. Этот бит всегда будет читаться как '0'.								
1: Переход в режим пониженного энергопотребления. (Отключение внутреннего тактового генератора).								
Бит 0: IDLE: Выбор режима ожидания.								
Установка в 1 этого бита переведет CIP-51 в режим ожидания. Этот бит всегда будет читаться как '0'.								
1: Переход в режим ожидания. (Отключение тактирования процессорного ядра, однако тактирование таймеров, модулей прерываний и всех периферийных модулей остается включенным).								

12. Умножитель-аккумулятор (Multiply And Accumulate - MAC0)

МК C8051F120/1/2/3 и C8051F130/1/2/3 имеют умножитель-аккумулятор (MAC0), который можно использовать для ускорения многих математических операций. MAC0 содержит умножитель 16х16 бит и 40-разрядный сумматор, которые за два цикла SYSCLK могут выполнять операции умножения и умножения с накоплением над целыми или вещественными числами со знаком. Схема округления представляет округленный 16-разрядный результат в виде вещественного числа после окончания дополнительного (третьего) цикла SYSCLK. MAC0 содержит также 1-разрядную схему арифметического сдвига, которая за один цикл SYSCLK сдвигает влево или вправо содержимое 40-разрядного аккумулятора. На рисунке 12.1 приведена структурная схема MAC0 и показаны связанные с его работой регистры специального назначения.

Рисунок 12.1. Структурная схема MAC0



12.1. Регистры специального назначения

С работой MAC0 связаны 13 регистров специального назначения. Два регистра используются для настройки MAC0 и управления его работой, а остальные 11 регистров необходимы для хранения многобайтных входных и выходных данных MAC0. Регистр конфигурации MAC0CF (см. рис.12.8) используется для настройки MAC0 и управления его работой. Регистр состояния MAC0STA (см. рис.12.9) содержит флаги переполнения, а также флаги нулевого и отрицательного результата. 16-разрядные регистры MAC0A (MAC0AH: MAC0AL) и MAC0B (MAC0BH: MAC0BL) используются в качестве регистров входных данных умножителя. Регистр аккумулятора MAC0 имеет разрядность 40 бит и состоит из пяти SFR-регистров: MAC0OVR, MAC0ACC3, MAC0ACC2, MAC0ACC1 и MAC0ACC0. Основные результаты операций, выполняемых MAC0, сохраняются в регистрах аккумулятора. При необходимости округленные результаты сохраняются в 16-разрядном регистре округления MAC0RND (MAC0RNDH: MAC0RNDL).

12.2. Операции с целыми и вещественными числами

MAC0 может интерпретировать 16-разрядные входные данные, содержащиеся в регистрах MAC0A и MAC0B, как целые или вещественные числа со знаком. Если бит MAC0FM (MAC0CF.1) сброшен в 0, то входные данные будут рассматриваться как 16-разрядные целые числа в дополнительном коде. После окончания операции аккумулятор будет содержать 40-разрядное целое число в дополнительном коде. На рисунке 12.2 показано, как целые числа сохраняются в SFR-регистрах.

Рисунок 12.2. Режим представления данных в виде целых чисел



Если бит MAC0FM (MAC0CF.1) установлен в 1, то входные данные будут рассматриваться как 16-разрядные вещественные числа в дополнительном коде. Децимальная точка располагается между битом 15 и битом 14 слова данных. После окончания операции аккумулятор будет содержать 40-разрядное вещественное число в дополнительном коде с децимальной точкой, расположенной между битом 31 и битом 30. На рисунке 12.3 показано, как вещественные числа сохраняются в SFR-регистрах.

Рисунок 12.3. Режим представления данных в виде вещественных чисел

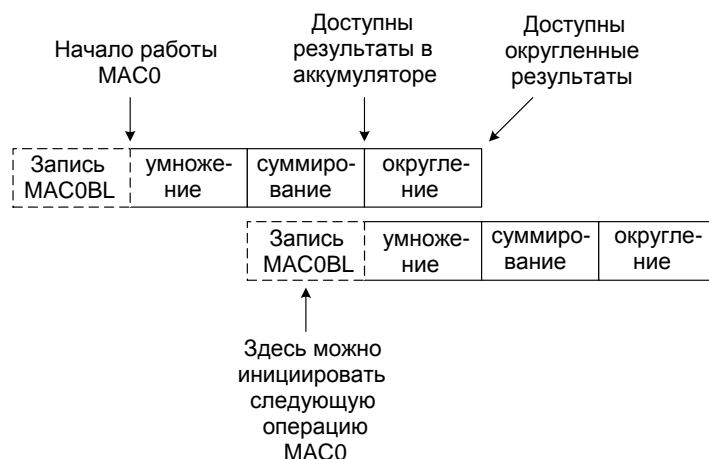


* Регистр MAC0RND содержит 16 МЗР представленного в дополнительном коде числа. Флаг MAC0N можно использовать для определения знака числа, содержащегося в регистре MAC0RND.

12.3. Функционирование в режиме умножения с накоплением

Если бит MAC0MS (MAC0CF.0) сброшен в 0, то модуль MAC0 функционирует в режиме умножения с накоплением. В этом режиме MAC0 выполняет умножение (16х16) содержимого регистров MAC0A и MAC0B и добавляет полученный результат к содержимому 40-разрядного аккумулятора модуля MAC0. На рисунке 12.4 показан конвейер MAC0. Прохождение этого конвейера осуществляется в три этапа, каждый из которых длится ровно один цикл SYSCLK. Выполнение операции умножения с накоплением инициируется записью регистра MAC0BL. После записи регистра MAC0BL осуществляется перемножение содержимого регистров MAC0A и MAC0B (в первом цикле SYSCLK). На втором этапе прохождения конвейера MAC0 результат умножения прибавляется к текущему содержимому аккумулятора и результат сложения сохраняется в аккумуляторе MAC0. Флаги состояния в регистре MAC0STA устанавливаются после окончания второго этапа прохождения конвейера. При необходимости во время прохождения второго этапа конвейера можно инициировать следующую операцию перемножения входных данных путем записи регистра MAC0BL. Округленный (в некоторых случаях доведенный до предельной величины) результат доступен в регистрах MAC0RNDH и MAC0RNDL после окончания третьего этапа прохождения конвейера. Если в момент инициации операции умножения с накоплением бит MAC0CA (MAC0CF.3) установлен в 1, то содержимое аккумулятора и все флаги в регистре MAC0STA будут сброшены в течение следующего цикла тактирования контроллера (SYSCLK). По окончании операции сброса бит MAC0CA будет аппаратно сброшен в 0.

Рисунок 12.4. Конвейер MAC0



12.4. Функционирование в режиме (только) умножения

Если бит MAC0MS (MAC0CF.0) установлен в 1, то модуль MAC0 функционирует в режиме (только) умножения. Режим (только) умножения аналогичен режиму умножения с накоплением с той лишь разницей, что результат перемножения входных данных складывается с нулем перед сохранением в аккумуляторе MAC0 (т.е. переписывает текущее содержимое аккумулятора). Результат умножения доступен в регистрах аккумулятора MAC0 по окончании второго этапа прохождения конвейера MAC0 (спустя два цикла SYSCLK после записи регистра MAC0BL). Как и в режиме умножения с накоплением округленный результат доступен в регистрах MAC0RNDH и MAC0RNDL после окончания третьего этапа прохождения конвейера. Следует отметить, что в режиме (только) умножения флаг MAC0HO не изменяется.

12.5. Операции сдвига аккумулятора

MAC0 содержит схему 1-разрядного арифметического сдвига, которую можно использовать для сдвига содержимого 40-разрядного аккумулятора влево или вправо на один разряд. Сдвиг аккумулятора инициируется установкой в 1 бита MAC0SC (MAC0CF.5) и происходит за один цикл SYSCLK (округленный результат доступен в регистрах округления MAC0 по окончании второго цикла SYSCLK, а бит MAC0SC сбрасывается в 0). Направление арифметического сдвига устанавливается битом MAC0SD (MAC0CF.4). Если MAC0SD = 0, то аккумулятор MAC0 будет сдвигаться влево. Если MAC0SD = 1, то аккумулятор MAC0 будет сдвигаться вправо. Сдвиг вправо происходит с расширением знакового разряда, т.е. старшие (освобождаемые) разряды заполняются текущим содержимым бита 39. Следует иметь в виду, что операции сдвига не изменяют состояние флагов в регистре MAC0STA.

12.6. Округление и установка предельных значений

Модуль MAC0 содержит схему округления, которую можно использовать для получения округленного результата в операциях с вещественными числами. Для округления данных, сохраненных в разрядах 31-16 аккумулятора, MAC0 использует несмещенный алгоритм округления (см. табл.12.1). Округление происходит в течение третьего этапа прохождения конвейера MAC0, после любой операции сдвига или при записи МЗР аккумулятора. Округленный результат сохраняется в регистрах округления: MAC0RNDH (см. рис.12.19) и MAC0RNDL (см. рис.12.20). Схема округления не изменяет содержимое регистров аккумулятора. Хотя округление используется в основном при операциях с вещественными числами, в режиме представления данных в виде целых чисел содержимое регистров округления обновляется точно таким же образом.

Таблица 12.1. Округление MAC0 (MAC0SAT = 0)

Биты аккумулятора 15-0 (MAC0ACC1:MAC0ACC0)	Биты аккумулятора 31-16 (MAC0ACC3:MAC0ACC2)	Направление округления	Результат округления (MAC0RNDH:MAC0RNDL)
Более 0x8000	Любое значение	Вверх	(MAC0ACC3:MAC0ACC2) + 1
Менее 0x8000	Любое значение	Вниз	(MAC0ACC3:MAC0ACC2)
Равно 0x8000	Нечетное значение (МЗР = 1)	Вверх	(MAC0ACC3:MAC0ACC2) + 1
Равно 0x8000	Четное значение (МЗР = 0)	Вниз	(MAC0ACC3:MAC0ACC2)

Схему округления можно также использовать для «насыщения» (т.е. установки предельных значений) результатов, хранимых в регистрах округления. Если бит MAC0SAT установлен в 1 и регистр округления переполняется, то в нем будет установлено предельное значение. В случае положительного переполнения регистры округления будут содержать при «насыщении» значение 0x7FFF. В случае отрицательного переполнения регистры округления будут содержать при «насыщении» значение 0x8000. Если бит MAC0SAT сброшен в 0, то регистры округления не будут «насыщаться».

12.7. Примеры использования

В этом разделе приведены примеры использования MAC0. На рис.12.5 приведена последовательность из двух операций умножения с накоплением с использованием вещественных чисел. На рис.12.6 приведен пример выполнения одной операции в режиме (только) умножения с использованием целых чисел. Последний пример, приведенный на рис.12.7, демонстрирует, каким образом операции левого и правого сдвигов можно использовать для модификации аккумулятора. Все примеры предполагают, что изначально все флаги в регистре MAC0STA сброшены в 0.

Приведенный ниже пример показывает программную реализацию следующего уравнения:
$$(0,5 \times 0,25) + (0,5 \times -0,25) = 0,125 - 0,125 = 0$$

Рисунок 12.5. Пример умножения с накоплением

MOV MAC0CF, #0Ah ; Сбрасываем аккумулятор, устанавливаем режим использования вещественных чисел
MOV MAC0AH, #40h ; Загружаем регистр MAC0A значением 0x4000 = 0.5
MOV MAC0AL, #00h
MOV MAC0BH, #20h ; Загружаем регистр MAC0B значением 0x2000 = 0.25
MOV MAC0BL, #00h ; Эта команда инициирует первую операцию умножения с накоплением
MOV MAC0BH, #E0h ; Загружаем регистр MAC0B значением 0xE000 = -0.25
MOV MAC0BL, #00h ; Эта команда инициирует вторую операцию умножения с накоплением
NOP
NOP ; После окончания этой команды аккумулятор должен быть равен 0, а в регистре MAC0STA должно
; содержаться значение 0x04, что свидетельствует о равенстве нулю аккумулятора
NOP ; После окончания этой команды значение в регистре округления обновляется

Приведенный ниже пример показывает программную реализацию следующего уравнения:
$$4660 \times -292 = -1360720$$

Рисунок 12.6. Пример (только) умножения

MOV MAC0CF, #01h ; Устанавливаем режим использования целых чисел и режим (только) умножения
; (сложение с нулем)
MOV MAC0AH, #12h ; Загружаем регистр MAC0A значением 0x1234 = 4660
MOV MAC0AL, #34h
MOV MAC0BH, #FEh ; Загружаем регистр MAC0B значением 0xFEDC = -292
MOV MAC0BL, #DCh ; Эта команда инициирует операцию умножения
NOP
NOP ; После окончания этой команды в аккумуляторе должно содержаться значение
; 0xFFFFFEB3CB0 = -1360720. В регистре MAC0STA должно содержаться значение 0x01,
; что свидетельствует об отрицательном результате.
NOP ; После окончания этой команды значение в регистре округления обновляется

В приведенном ниже примере содержимое аккумулятора сдвигается сначала влево на один бит, а затем вправо на два бита:

Рисунок 12.7. Пример сдвига аккумулятора MAC0

```
MOV MAC0OVR, #40h ; Следующие далее несколько команд загружают в аккумулятор значение 0x4088442211
MOV MAC0ACC3, #88h
MOV MAC0ACC2, #44h
MOV MAC0ACC1, #22h
MOV MAC0ACC0, #11h
MOV MAC0CF, #20h ; Иницирует левый сдвиг
NOP ; После окончания этой команды в аккумуляторе должно содержаться значение 0x8110884422
NOP ; После окончания этой команды значение в регистре округления обновляется
MOV MAC0CF, #30h ; Иницирует правый сдвиг
MOV MAC0CF, #30h ; Иницирует второй правый сдвиг
NOP ; После окончания этой команды в аккумуляторе должно содержаться значение 0xE044221108
NOP ; После окончания этой команды значение в регистре округления обновляется
```

Рисунок 12.8. MAC0CF: Регистр конфигурации MAC0

R	R	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	MAC0SC	MAC0SD	MAC0CA	MAC0SAT	MAC0FM	MAC0MS	SFR Адрес: 0xC3 SFR страница: 3
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7-6: Не используются. Читаются как 00b. Запись не оказывает никакого влияния.

Бит 5: MAC0SC: Управление сдвигом аккумулятора.
При установке этого бита в '1' 40-разрядный регистр аккумулятора MAC0 будет сдвинут в течение следующего цикла SYSCLK. Направление сдвига (влево или вправо) определяется состоянием бита MAC0RS. Бит MAC0SC сбрасывается в 0 аппаратно при завершении сдвига.

Бит 4: MAC0SD: Направление сдвига аккумулятора.
Этот бит определяет направление сдвига аккумулятора, но не инициирует сдвиг (сдвиг аккумулятора инициируется битом MAC0SC).
0: Аккумулятор MAC0 будет сдвинут влево.
1: Аккумулятор MAC0 будет сдвинут вправо.

Бит 3: MAC0CA: Сброс аккумулятора.
Этот бит используется для сброса MAC0 перед выполнением следующей операции.
При установке этого бита в 1 аккумулятор MAC0 будет обнулен и регистр состояния MAC0 будет сброшен в течение следующего цикла SYSCLK. Бит MAC0CA сбрасывается в 0 аппаратно при завершении сброса.

Бит 2: MAC0SAT: «Насыщение» (установка предельных значений) регистра округления.
Этот бит определяет, будет ли регистр округления «насыщаться». Если этот бит установлен в 1 и произошло программное округление, то регистр округления будет «насыщаться». Этот бит не оказывает никакого влияния на функционирование аккумулятора MAC0. Подробная информация об округлении и насыщении приведена в разделе 12.6.
0: Регистр округления не будет «насыщаться».
1: Регистр округления будет «насыщаться».

Бит 1: MAC0FM: Режим вещественных чисел.
Этот бит осуществляет выбор между режимами представления входных данных MAC0 в виде целых и вещественных чисел.
0: MAC0 функционирует в режиме представления входных данных в виде целых чисел.
1: MAC0 функционирует в режиме представления входных данных в виде вещественных чисел.

Бит 0: MAC0MS: Выбор режима работы MAC0.
Этот бит осуществляет выбор между режимом умножения с накоплением и режимом (только) умножения.
0: MAC0 функционирует в режиме умножения с накоплением.
1: MAC0 функционирует в режиме (только) умножения.

Примечание: Содержимое этого регистра не должно изменяться программой пользователя в течение первых двух этапов прохождения конвейера MAC0.

Рисунок 12.9. MAC0STA: Регистр состояния MAC0

R	R	R	R	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	MAC0HO	MAC0Z	MAC0SO	MAC0N	00000100
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xC0 SFR страница: 3

Бит 7-4: Не используются. Читаются как 0000b. Запись не оказывает никакого влияния.

Бит 3: MAC0HO: Флаг аппаратного переполнения.
Этот бит устанавливается в 1 всякий раз, когда происходит переполнение регистра MAC0OVR в течение выполнения операции умножения с накоплением (т.е. когда в регистре MAC0OVR значение 0x80 сменяется значением 0x7F или значение 0x7F сменяется значением 0x80). Флаг аппаратного переполнения должен быть сброшен программно либо путем непосредственного сброса его в 0, либо путем сброса логики модуля MAC0 с помощью бита MAC0CA регистра MAC0CF.

Бит 2: MAC0Z: Флаг нулевого результата.
Этот бит устанавливается в 1 в том случае, если в результате выполнения операции MAC0 содержимое аккумулятора равно нулю. Если результат операции не равен нулю, то этот бит будет сброшен в 0.

Бит 1: MAC0SO: Флаг программного переполнения.
Этот бит устанавливается в 1 в том случае, если в результате выполнения операции умножения с накоплением произошло переполнение в знаковый разряд (бит 31) аккумулятора MAC0. Если после выполнения следующей операции умножения с накоплением такое переполнение не произошло, то бит MAC0SO будет сброшен в 0.

Бит 0: MAC0N: Флаг отрицательного результата.
Если результат операции (содержимое аккумулятора) отрицательный, то этот бит будет установлен в 1. Если результат операции положительный или равен нулю, то этот флаг будет сброшен в 0.

Примечание: Содержимое этого регистра не должно изменяться программой пользователя в течение первых двух этапов прохождения конвейера MAC0.

Рисунок 12.10. MAC0AH: Старший байт регистра А модуля MAC0

R	R	R	R	R	R	R	R	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC2 SFR страница: 3

Бит 7-0: Старший байт (биты 15-8) регистра А модуля MAC0.

Рисунок 12.11. MAC0AL: Младший байт регистра А модуля MAC0



Рисунок 12.12. MAC0BH: Старший байт регистра В модуля MAC0

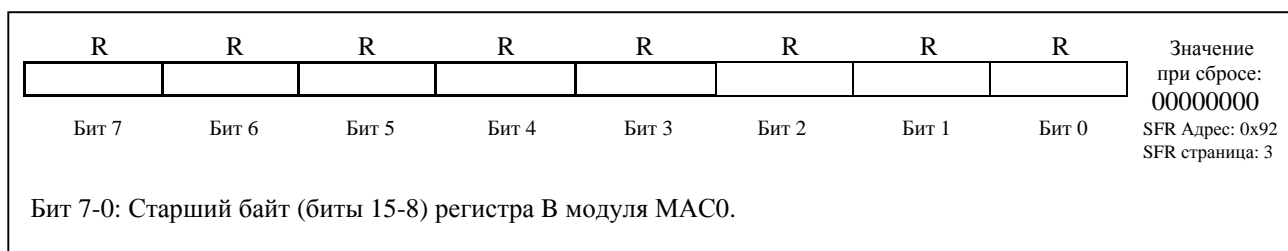


Рисунок 12.13. MAC0BL: Младший байт регистра В модуля MAC0



Рисунок 12.14. MAC0ACC3: Байт 3 регистра аккумулятора MAC0

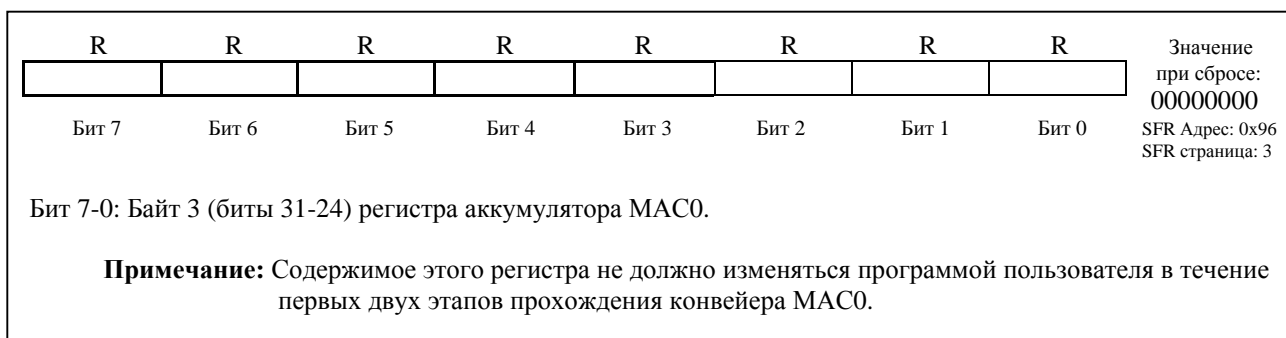


Рисунок 12.15. MAC0ACC2: Байт 2 регистра аккумулятора MAC0

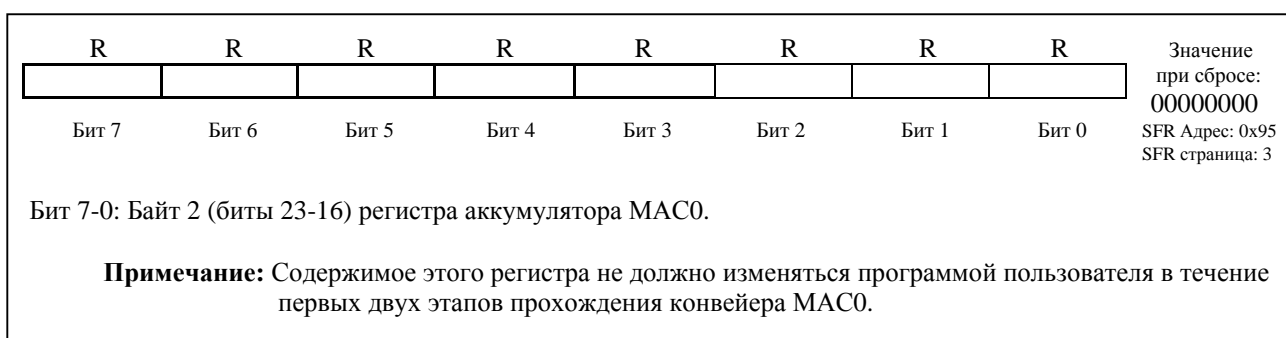


Рисунок 12.16. MAC0ACC1: Байт 1 регистра аккумулятора MAC0

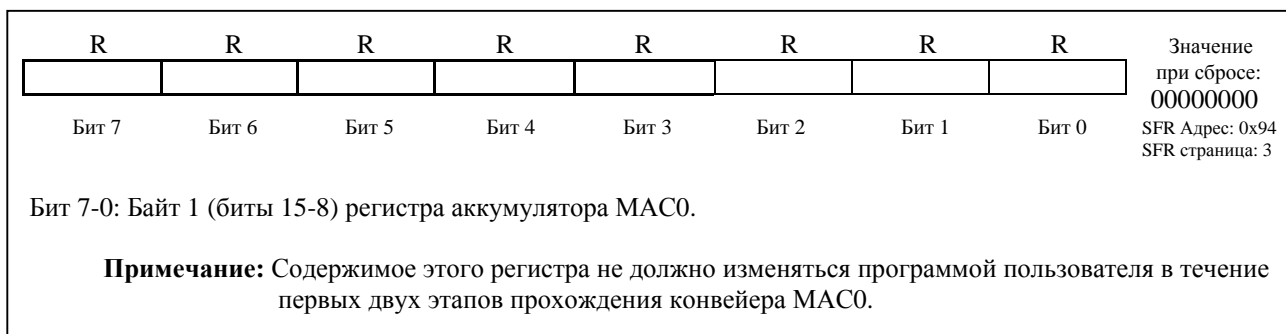


Рисунок 12.17. MAC0ACC0: Байт 0 регистра аккумулятора MAC0

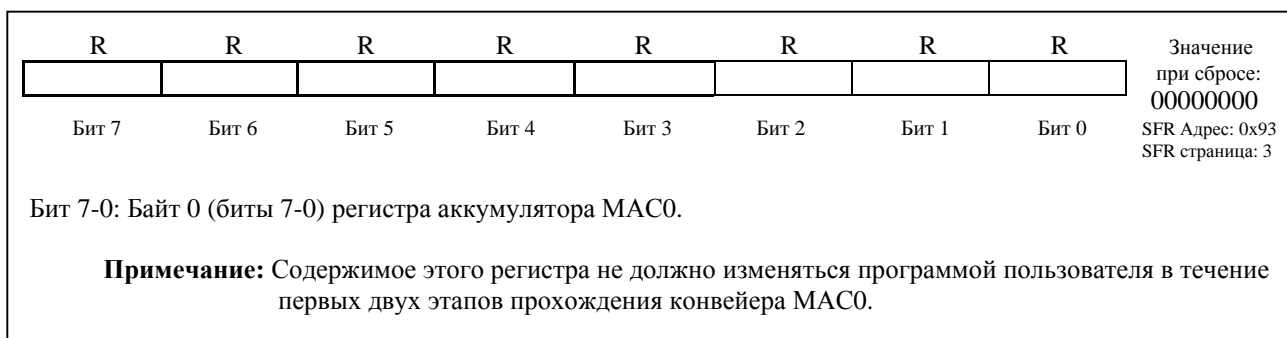


Рисунок 12.18. MAC0OVR: Регистр переполнения аккумулятора MAC0

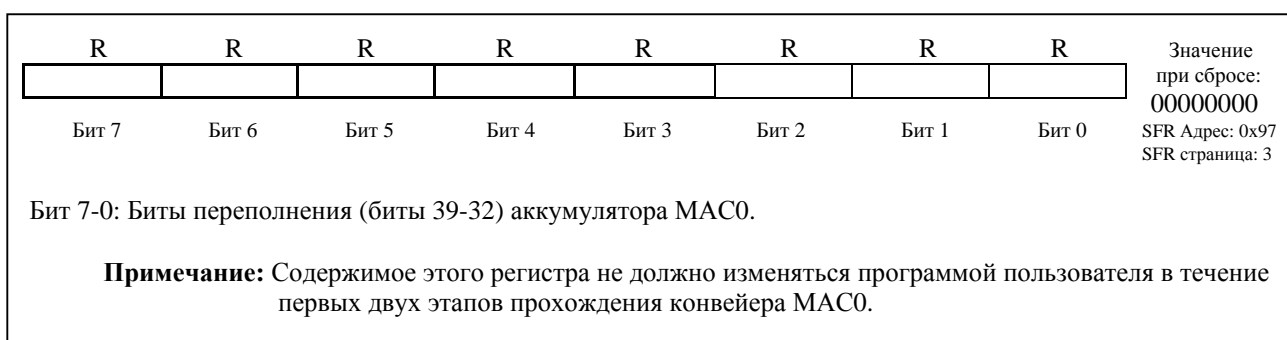


Рисунок 12.19. MAC0RNDH: Старший байт регистра округления MAC0



Рисунок 12.20. MAC0RNDL: Младший байт регистра округления MAC0



13. ИСТОЧНИКИ СБРОСА

Схема сброса позволяет легко перевести МК в predetermined по умолчанию состояние. При переходе к этому состоянию сброса происходит следующее:

- CIP-51 останавливает выполнение программы;
- регистры SFR инициализируются значениями по умолчанию;
- выводы внешних портов устанавливаются в известное состояние;
- прерывания и таймеры запрещаются.

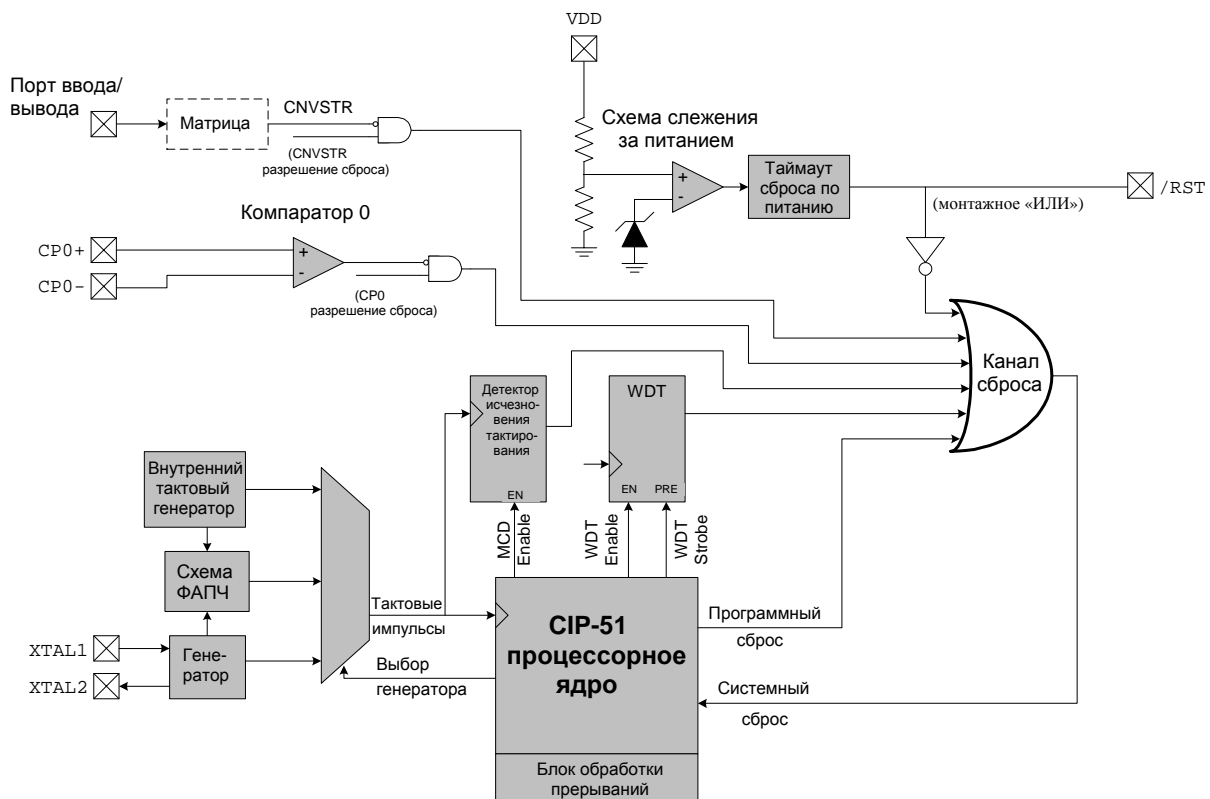
Все регистры SFR принимают значения по умолчанию. В подробном описании каждого регистра SFR приведено значение, загружаемое в этот регистр при сбросе. Содержимое внутренней памяти данных не изменяется при сбросе и ранее сохраненные данные остаются неизменными. Однако, т.к. регистр указателя стека сбрасывается, стек фактически теряется, хотя данные в нем не изменяются.

Защелки портов ввода/вывода сбрасываются в состояние 0xFF (все логические единицы), активируя внутренние слаботочковые подтяжки в течение и после сброса. Если источником сброса является схема слежения за напряжением питания, то на выводе /RST удерживается низкий логический уровень до истечения таймута сброса по питанию.

При выходе из состояния сброса программный счетчик (PC) сбрасывается и МК использует (по умолчанию) внутренний тактовый генератор, работающий на минимальной тактовой частоте. Информация о выборе и настройке источников системного тактового сигнала приведена в разделе 14. Сторожевой таймер включен и настроен на максимальный таймаут. (Подробное описание сторожевого таймера приведено в разделе 13.7). Выполнение программы начинается с адреса 0x0000 после выхода источника системного тактового сигнала на стабильный режим работы.

Семь источников могут перевести МК в состояние сброса: включение/исчезновение питания, внешний вывод /RST, внешний сигнал CNVSTR0, программный сброс, компаратор 0, детектор исчезновения тактирования, сторожевой таймер. Каждый источник сброса описан ниже.

Рисунок 13.1. Структурная схема источников сброса

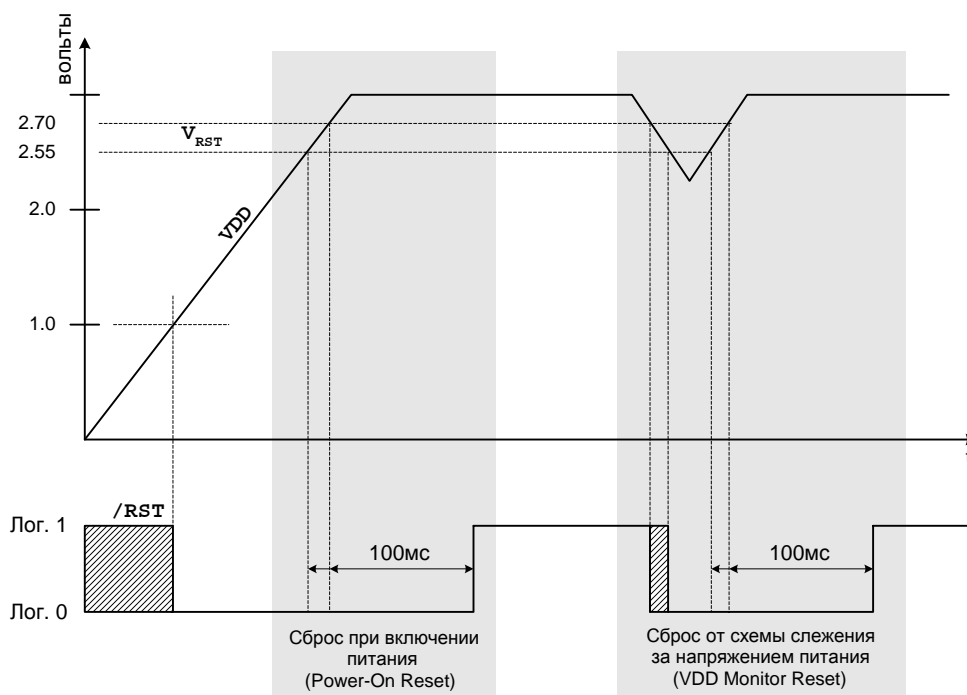


13.1. Сброс при включении питания (Power-on Reset - POR)

МК C8051F120/1/2/3/4/5/6/7 содержат схему слежения за напряжением питания, которая удерживает МК в состоянии сброса, пока напряжение питания VDD не превысит в процессе включения уровень V_{RST} . (См. временную диаграмму на рис.13.2 и электрические характеристики в табл.13.1). В течение таймаута схемы слежения за напряжением питания (100 мс) на выводе /RST удерживается низкий логический уровень, что позволяет напряжению питания стабилизироваться. Для разрешения/запрещения сброса от схемы слежения за напряжением питания используется внешний вывод MOVEN. Если схема слежения за напряжением питания включена, то она выбирается в качестве источника сброса с помощью бита PORSF. Если значение в регистр RSTSRC записывается программным обеспечением, то для разрешения сброса от схемы слежения за напряжением питания бит PORSF (RSTSRC.1) следует установить в 1.

При завершении сброса типа POR флаг PORSF (RSTSRC.1) аппаратно устанавливается в 1. Состояние всех других флагов сброса в регистре RSTSRC являются неопределенным. Флаг PORSF сбрасывается в 0 при сбросе от любого другого источника. Т.к. при сбросе любого типа выполнение программы начинается с одного и того же адреса (0x0000), программа может опросить флаг PORSF, чтобы определить, было ли включение питания причиной сброса. Содержимое внутренней памяти данных после сброса типа POR следует считать неопределенным.

Рисунок 13.2. Временная диаграмма работы схемы слежения за напряжением питания



13.2. Сброс при исчезновении питания (Power-fail Reset – PFR)

Когда при выключении или сбое питания напряжение питания VDD опускается ниже уровня V_{RST} , схема слежения за напряжением питания установит на выводе /RST низкий логический уровень и переведет CIP-51 в состояние сброса. Когда VDD превысит уровень V_{RST} , CIP-51 выйдет из состояния сброса точно так же, как при сбросе типа POR (см. рис.13.2). Следует иметь в виду, что, хотя содержимое внутренней памяти данных и не изменяется при сбросе типа PFR, невозможно определить, опускалось ли напряжение VDD ниже уровня, необходимого для сохранения данных. Если флаг PORSF установлен в 1, данные нельзя более считать действительными.

13.3. Внешний сброс

Внешний вывод /RST позволяет внешней схеме перевести МК в состояние сброса. Подача на вывод /RST сигнала с низким активным уровнем заставит МК перейти в состояние сброса. Несмотря на наличие внутренних слаботочковых подтяжек, желательно обеспечить на выводе /RST внешние подтягивающие и/или развязывающие цепи, чтобы предотвратить ложные сбросы, вызванные шумом. После снятия сигнала с низким активным уровнем с вывода /RST МК будет оставаться в состоянии сброса еще по крайней мере 12 тактовых циклов. При завершении внешнего сброса устанавливается в 1 флаг PINRSF (RSTSRC.0).

13.4. Сброс от детектора исчезновения тактирования

Детектор исчезновения тактирования (Missing Clock Detector – MCD) фактически представляет собой одновибратор, который управляется системным тактовым сигналом. Если системный тактовый сигнал исчезнет более чем на 100мкс, то одновибратор сработает и сгенерирует сброс. После сброса от MCD будет установлен в 1 флаг MCDRSF (RSTSRC.2), показывая, что источником сброса был MCD; в иных случаях этот бит читается как 0. Сброс этого типа не влияет на состояние вывода /RST. Работа детектора исчезновения тактирования разрешается установкой бита MCDRSF (RSTSRC.2) в 1 (см. раздел 14).

13.5. Сброс от Компаратора 0

Установка в 1 флага CORSEF (RSTSRC.5) настраивает Компаратор 0 как вход сброса с низким активным уровнем. Компаратор 0 следует включить, используя бит CPT0CN.7 (см. раздел 10), до записи бита CORSEF, чтобы дребезг на выходе не привел к генерации нежелательного сброса. Когда напряжение на неинвертирующем входе (CP0+) меньше, чем напряжение на инвертирующем входе (CP0-), то, если компаратор 0 настроен как источник сброса, МК перейдет в состояние сброса. После сброса от Компаратора 0 флаг CORSEF (RSTSRC.5) будет читаться как 1, показывая, что Компаратор 0 был источником сброса; в иных случаях этот бит читается как 0. Сброс этого типа не влияет на состояние вывода /RST.

13.6. Сброс от внешнего вывода CNVSTR0

Установка в 1 флага CNVRSEF (RSTSRC.6) настраивает внешний сигнал CNVSTR0 как вход сброса с активным низким уровнем. Сигнал CNVSTR0 может появиться на любых выводах портов ввода/вывода P0, P1, P2 или P3, как описано в разделе 18.1. (Необходимо отметить, что матрица должна быть сконфигурирована таким образом, чтобы сигнал CNVSTR0 был выведен на соответствующий порт ввода/вывода). Матрицу следует настроить и включить до установки бита CNVRSEF. Когда сигнал CNVSTR0 настроен как источник сброса, он представляет собой чувствительный к уровню сигнал с активным низким уровнем. Если сигнал CNVSTR0 настроен как источник сброса, то его нельзя использовать для запуска АЦП0. После сброса от сигнала CNVSTR0 флаг CNVRSEF (RSTSRC.6) будет читаться как 1, показывая, что сигнал CNVSTR0 был источником сброса; в иных случаях этот бит читается как 0. Сброс этого типа не влияет на состояние вывода /RST.

13.7. Сброс от сторожевого таймера

МК содержит программируемый сторожевой таймер (Watchdog Timer - WDT), работающий независимо от системного тактового сигнала. WDT переводит МК в состояние сброса в случае своего переполнения. Чтобы предотвратить сброс, WDT должен перезапускаться из прикладной программы до того, как произойдет его переполнение. Если в системе происходит программный/аппаратный сбой, не позволяющий программе перезапустить WDT, то WDT переполнится и вызовет сброс. Это предотвращает выход системы из под контроля.

После сброса любого типа WDT автоматически включается и запускается по умолчанию с максимальным таймаутом. При необходимости WDT можно программно отключить или заблокировать, предотвратив его случайное отключение. После блокировки WDT его нельзя отключить до следующего системного сброса. Состояние вывода /RST не влияет на сброс этого типа.

WDT состоит из 21-разрядного таймера, работающего с программируемой тактовой частотой. Этот таймер измеряет период между операциями записи определенных значений в его регистр управления. Если этот период превышает установленный предел, то генерируется сброс от WDT. WDT может быть программно разрешен или запрещен, кроме этого можно заблокировать функцию отключения WDT. Управление WDT осуществляется посредством регистра управления WDT (WDTCN), показанного на рис.13.3.

13.7.1. Включение/сброс WDT

WDT как включается, так и сбрасывается записью значения 0xA5 в регистр WDTCN. Программа пользователя должна периодически записывать значение 0xA5 в регистр WDTCN, чтобы предотвратить переполнение сторожевого таймера. WDT включается и сбрасывается в результате любого системного сброса.

13.7.2. Отключение WDT

Запись в регистр WDTCN значения 0xAD вслед за значением 0xDE отключает WDT. Следующий сегмент программного кода иллюстрирует операцию отключения WDT:

```
CLR EA          ; запрет всех прерываний
MOV WDTCN, #0DEh ; отключение сторожевого таймера
MOV WDTCN, #0ADh ;
SETB EA         ; разрешение прерываний
```

Между записью значений 0xDE и 0xAD должно пройти не более четырех тактовых циклов, иначе операция отключения игнорируется. На время этой процедуры следует запретить прерывания во избежание задержки между двумя операциями записи, при этом механизм упреждающей выборки должен быть включен.

13.7.3. Блокировка отключения WDT

Запись значения 0xFF в регистр WDTCN заблокирует функцию отключения WDT. Будучи заблокированной, операция отключения игнорируется до следующего системного сброса. Запись значения 0xFF не включает и не сбрасывает сторожевой таймер. Приложения, планирующие использовать WDT постоянно, должны записывать значение 0xFF в регистр WDTCN в процессе начальной инициализации.

13.7.4. Установка временного интервала (таймаута) WDT

Биты WDTCN.[2:0] управляют таймаутом сторожевого таймера. Временной интервал определяется следующим уравнением:

$$4^{3+WDTCN[2:0]} \times T_{SYSCLK}, \text{ где } T_{SYSCLK} - \text{период системного тактового сигнала.}$$

Для системной тактовой частоты 3 МГц таймаут, в соответствии с этим уравнением, может быть от 0,021 мс до 349,5 мс. При установке этого временного интервала бит WDTCN.7 должен быть равен 0. Операция чтения WDTCN возвратит заданный таймаут. После системного сброса биты WDTCN.[2:0] читаются как 111b.

Рисунок 13.3. WDTCN: Регистр управления WDT

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								xxxxx111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xFF SFR страница: Все
<p>Биты 7-0: Управление WDT</p> <p>Запись 0xA5 как включает, так и перезагружает WDT.</p> <p>Запись 0xAD в течение 4 тактовых циклов после записи 0xDE отключает WDT.</p> <p>Запись 0xFF блокирует функцию отключения.</p> <p>Бит 4: Бит состояния WDT (при чтении)</p> <p>Чтение бита WDTCN.[4] показывает состояние сторожевого таймера.</p> <p>0: WDT не активен</p> <p>1: WDT активен</p> <p>Биты 2-0: Биты установки таймаута WDT</p> <p>Биты WDTCN.[2:0] задают временной интервал сторожевого таймера. При записи этих битов бит WDTCN.7 должен быть равен 0.</p>								

Рисунок 13.4. RSTSRC: Регистр источников сброса

R	R/W	R/W	R/W	R	R/W	R/W	R/W	Значение при сбросе: 00000000
-	CNVRSF	CORSEF	SWRSF	WDTRSF	MCDRSF	PORSF	PINRSF	SFR Адрес: 0xEF SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: Зарезервирован.

Бит 6: CNVRSF: Разрешение и флаг сброса от сигнала CNVSTR0 (Convert Start).
Запись:
0: CNVSTR0 не является источником сброса.
1: CNVSTR0 является источником сброса (активный уровень - низкий).
Чтение:
0: CNVSTR0 не был источником предыдущего сброса.
1: CNVSTR0 был источником предыдущего сброса.

Бит 5: CORSEF: Разрешение и флаг сброса от Компаратора 0.
Запись:
0: Компаратор 0 не является источником сброса.
1: Компаратор 0 является источником сброса (активный уровень - низкий).
Чтение:
0: Компаратор 0 не был источником предыдущего сброса.
1: Компаратор 0 был источником предыдущего сброса .

Бит 4: SWRSF: Бит инициации и флаг программного сброса.
Запись:
0: Не оказывает никакого влияния.
1: Вызывает внутренний сброс. Состояние вывода /RST не влияет на этот сброс.
Чтение:
0: Предыдущий сброс не был вызван установкой в 1 бита SWRSF.
1: Предыдущий сброс был вызван установкой в 1 бита SWRSF.

Бит 3: WDTRSF: Флаг сброса от сторожевого таймера
0: WDT не был источником предыдущего сброса.
1: WDT был источником предыдущего сброса.

Бит 2: MCDRSF: Флаг сброса от детектора исчезновения тактирования (MCD).
Запись:
0: Детектор исчезновения тактирования отключен.
1: Детектор исчезновения тактирования включен.
Чтение:
0: MCD не был источником предыдущего сброса.
1: MCD был источником предыдущего сброса.

Бит 1: PORSF: Флаг сброса типа POR (сброс при включении питания).
Запись: Если схема слежения за напряжением питания включена (на выводе MOVEN присутствует сигнал высокого уровня), то этот бит используется для выбора ее в качестве источника сброса.
0: Схема слежения за напряжением питания не будет источником сброса.
1: Схема слежения за напряжением питания будет источником сброса.
Примечание: При включении питания для включения/отключения схемы слежения за напряжением питания используется внешний вывод MONEN. Бит PORSF не включает/отключает схему слежения за напряжением питания. Он лишь выбирает ее в качестве источника сброса.
Чтение: Этот бит устанавливается каждый раз, когда происходит сброс типа POR. Это может быть сброс по включению питания или сброс от схемы слежения за напряжением питания. В любом случае содержимое памяти данных после сброса следует считать неопределенным.
0: Предыдущий сброс не был сбросом типа POR или сбросом от схемы слежения за напряжением питания.
1: Предыдущий сброс был сбросом типа POR или сбросом от схемы слежения за напряжением питания.
Примечание: Если флаг PORSF = 1, то состояние всех других флагов сброса является неопределенным.

Бит 0: PINRSF: Флаг сброса от вывода /RST.
Запись: 0: Не оказывает никакого влияния.
1: Вызывает сброс типа POR. На выводе /RST появляется сигнал низкого уровня.
Чтение: 0: Предыдущий сброс не был сбросом от вывода /RST.
1: Предыдущий сброс был сбросом от вывода /RST.

Таблица 13.1. Электрические параметры источников сброса

T = от - 40 С до + 85 С, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Выходное напряжение низкого уровня на выводе /RST	$I_{OL} = 8.5\text{mA}$, $V_{DD} = 2.7 \dots 3.6\text{V}$			0.6	В
Входное напряжение высокого уровня на выводе /RST		0.7 x V_{DD}			В
Входное напряжение низкого уровня на выводе /RST				0.3 x V_{DD}	В
Входной ток утечки вывода /RST	/RST = 0.0В		50		мкА
Напряжение VDD, необходимое для функционирования выхода /RST		1.0			В
Напряжение AV+, необходимое для функционирования выхода /RST		1.0			В
Пороговое значение напряжения VDD для сброса типа POR (V_{RST})	См. примечание 1	2.40	2.55	2.70	В
Минимальная длительность низкого уровня сигнала на выводе /RST, необходимая для генерации системного сброса		10			нс
Время задержки сброса	Задержка нарастающего фронта на выв. /RST после превышения порога сброса V_{RST}	80	100	120	мс
Таймаут детектора исчезновения тактирования	Время от последнего тактового импульса до генерации сброса	100	220	500	мкс
Примечание 1: При работе с тактовой частотой более 50 МГц напряжение на выводе VDD не должно быть менее 3.0В.					

14. ГЕНЕРАТОРЫ

Все МК содержат программируемый внутренний генератор и схему возбуждения для внешнего генератора. Внутренний генератор можно включать, отключать и калибровать с помощью регистров OSCICN и OSCICL (см. рис.14.1). Системным тактовым сигналом может быть сигнал от внешнего генератора, сигнал от внутреннего генератора или сигнал с выхода схемы ФАПЧ. Электрические характеристики внутреннего генератора приведены в табл.14.1.

Рисунок 14.1. Структурная схема генератора

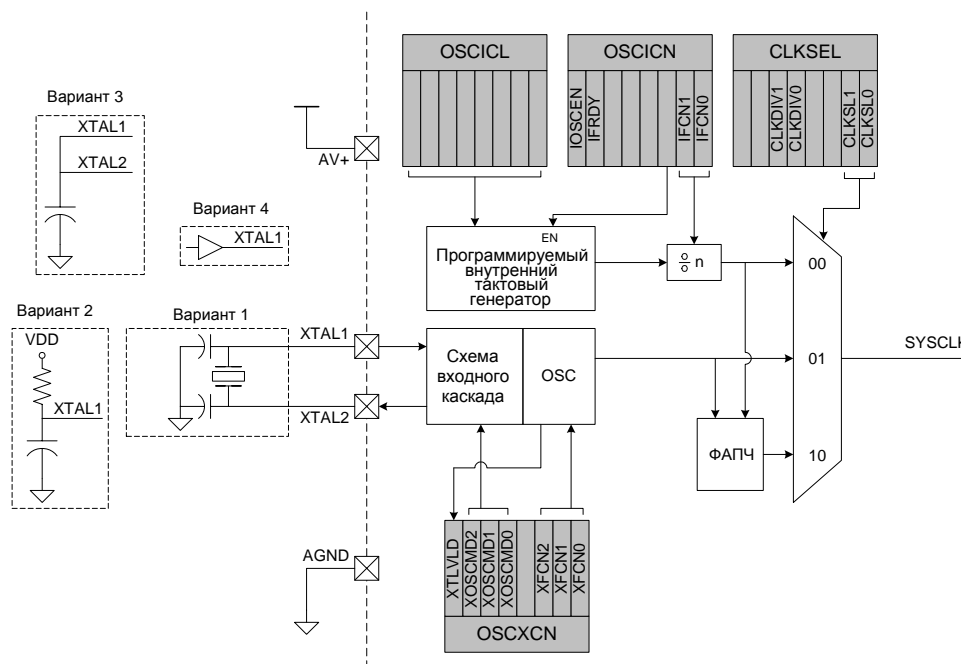


Таблица 14.1. Электрические параметры генератора

T = от -40 С до +85 С, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Откалиброванная частота внутреннего генератора		24	24,5	25	МГц
Ток потребления внутреннего генератора (От источника питания = VDD)	OSCICN.7 = 1		400		мкА
Частота внешнего генератора		0		30	МГц
T _{ХСН} (длительность положительного полупериода внешнего тактового сигнала)		15			нс
T _{ХСЛ} (длительность отрицательного полупериода внешнего тактового сигнала)		15			нс

14.1. Внутренний калибруемый генератор

Все МК содержат калибруемый внутренний генератор, который после сброса системы является по умолчанию системным тактовым генератором. Частоту внутреннего генератора можно программировать с помощью регистра OSCICL (см. рис.14.2). OSCICL калибруется при изготовлении МК таким образом, чтобы частота внутреннего генератора после сброса составляла 24,5 МГц (f_{BASE}).

Электрические параметры прецизионного внутреннего генератора приведены табл.14.1. Следует иметь ввиду, что системная тактовая частота может быть получена из частоты внутреннего генератора, деленной на 1, 2, 4 или 8, в зависимости от значения битов IFCN регистра OSCICN.

Рисунок 14.2. OSCICL: Регистр калибровки внутреннего генератора

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: различно для каждого экземпляра МК
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: OSCICL: Регистр калибровки внутреннего генератора.
Этот регистр используется для настройки частоты внутреннего генератора. Значение регистра OSCICL, устанавливаемое при сбросе, определяет базовую частоту внутреннего генератора. Значение, устанавливаемое при сбросе, различно для каждого конкретного МК и определяется при изготовлении МК таким образом, чтобы внутренний генератор генерировал сигнал с частотой 24,5 МГц.

SFR Адрес: 0x8B
SFR страница: F

Рисунок 14.3. OSCICN: Регистр управления внутренним генератором

R/W	R	R/W	R	R/W	R/W	R/W	R/W	Значение при сбросе: 11000000
IOSCEN	IFRDY	-	-	-	-	IFCN1	IFCN0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8A SFR страница: F

Бит 7: IOSCEN: Бит включения внутреннего генератора
0: Внутренний генератор выключен
1: Внутренний генератор включен

Бит 6: IFRDY: Флаг стабилизации частоты внутреннего генератора
0: Частота внутреннего генератора не соответствует частоте, задаваемой битами IFCN.
1: Частота внутреннего генератора соответствует частоте, задаваемой битами IFCN.

Биты 5-2: Зарезервированы.

Биты 1-0: IFCN1-0: Биты управления частотой внутреннего генератора
00: SYSCLK равна частоте внутреннего генератора, деленной на 8.
01: SYSCLK равна частоте внутреннего генератора, деленной на 4.
10: SYSCLK равна частоте внутреннего генератора, деленной на 2.
11: SYSCLK равна частоте внутреннего генератора, деленной на 1.

14.2. Схема возбуждения внешнего генератора.

Для внешнего генератора можно использовать кварцевый или керамический резонатор, конденсатор или RC-цепочку. Кроме этого, системный тактовый сигнал может подаваться от внешнего КМОП-счетчика. Если используется кварцевый или керамический резонатор, то он должен подключаться к выводам XTAL1 и XTAL2, как показано на рис.14.1 (вариант 1). При использовании RC-цепочки, конденсатора или КМОП-счетчика источник тактовых импульсов следует подключать к выводу(-ам) XTAL2 и/или XTAL1, как показано на рис.14.1 (варианты 2, 3 или 4). Тип внешнего генератора следует выбрать в регистре OSCXCN. В соответствии с выбранным типом внешнего генератора следует установить биты управления его частотой XFRCN (см. рис.14.5).

14.3. Выбор источника системного тактового сигнала.

Биты CLKSL1-0 регистра CLKSEL определяют, какой генератор используется в качестве источника системного тактового сигнала. Биты CLKSL1-0 следует установить в '01', чтобы тактирование системы осуществлялось от внешнего генератора; однако внешний генератор может еще тактировать периферийные модули (таймеры, ПМС), в то время как в качестве источника системного тактового сигнала выбран внутренний генератор или система ФАПЧ. Источник системного тактового сигнала (внутренний и внешний генераторы или система ФАПЧ) можно переключать «на лету» при условии, что выбранный источник тактового сигнала включен и стабилен. Внутренний генератор требует небольшого времени запуска. Его можно включить и выбрать в качестве источника системного тактового сигнала одной и той же командой записи в регистр OSCICN. Внешние кварцевый и керамический резонаторы обычно требуют определенного времени запуска, лишь после истечения которого они выйдут на стабильный режим работы и будут готовы для использования в качестве источников системного тактового сигнала. Когда внешний генератор стабилизируется, флаг стабилизации кварцевого генератора (XTLVLD в регистре OSCXCN) будет аппаратно установлен в 1. Чтобы исключить считывание некорректного значения флага XTLVLD, в режиме работы с кварцевым резонатором программа должна выдерживать паузу длительностью минимум 1 мс между включением внешнего генератора и проверкой флага XTLVLD. В режимах работы с конденсатором или RC-цепочкой обычно не требуется времени запуска. Системе ФАПЧ также требуется определенное время, чтобы выйти на режим генерации заданной частоты. Флаг блокировки ФАПЧ (PLLLCK в регистре PLL0CN) аппаратно устанавливается в 1 сразу же после блокировки ФАПЧ на корректной частоте.

Рисунок 14.4. CLKSEL: Регистр выбора тактового генератора

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	CLKDIV1	CLKDIV0	-	-	CLKSL1	CLKSL0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x97 SFR страница: F
Биты 7-6: Зарезервированы.								
Биты 5-4: CLKDIV1-0: Коэффициент деления выходного сигнала SYSCLK. Эти биты можно использовать для деления частоты сигнала SYSCLK перед подачей его на внешний вывод порта с помощью матрицы. 00: Частота выходного сигнала на внешнем выводе будет равна SYSCLK. 01: Частота выходного сигнала на внешнем выводе будет равна SYSCLK/2. 10: Частота выходного сигнала на внешнем выводе будет равна SYSCLK/4. 11: Частота выходного сигнала на внешнем выводе будет равна SYSCLK/8. Подробная информация о разводке этого выходного сигнала на внешний вывод порта приведена в разделе 18.								
Биты 3-2: Зарезервированы.								
Биты 1-0: CLKSL1-0: Биты выбора источника системного тактового сигнала. 00: SYSCLK равна частоте внутреннего генератора, деленной коэффициентом, определяемый битами IFCN регистра OSCICN.. 01: SYSCLK равна частоте внешнего генератора. 10: SYSCLK равна частоте выходного сигнала ФАПЧ. 11: Зарезервировано.								

Рисунок 14.5. OSCXCN: Регистр управления внешним генератором

R	R/W	R/W	R/W	R	R/W	R/W	R/W	Значение при сбросе:
XTLVLD	XOSCND2	XOSCND1	XOSCND0	-	XFCN2	XFCN1	XFCN0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8C SFR страница: F

Бит 7: XTLVLD: Флаг стабилизации кварцевого генератора.

(Действителен, только если XOSCND = 11х.)

0: Кварцевый генератор не используется или еще нестабилен.

1: Кварцевый генератор работает и стабилен.

Биты 6-4: XOSCND2-0: Биты выбора режима внешнего генератора.

00х: Внешний генератор выключен.

010: Тактовые импульсы поступают от внешнего КМОП-счетчика через вывод XTAL1.

011: Тактовые импульсы поступают от внешнего КМОП-счетчика через вывод XTAL1 и внутренний делитель на 2.

10х: Режим RC/С-генератора с делением тактовой частоты на 2.

110: Режим кварцевого генератора

111: Режим кварцевого генератора с делением тактовой частоты на 2.

Бит 3: Зарезервирован. Читается как 0b. Запись не оказывает никакого влияния.

Биты 2-0: XFCN2-0: Биты управления частотой внешнего генератора

000-111: см. таблицу:

XFCN	Резонатор (XOSCND = 11х)	RC (XOSCND = 10х)	С (XOSCND = 10х)
000	$f \leq 32 \text{ кГц}$	$f \leq 25 \text{ кГц}$	KF = 0.87
001	$32 \text{ кГц} < f \leq 84 \text{ кГц}$	$25 \text{ кГц} < f \leq 50 \text{ кГц}$	KF = 2.6
010	$84 \text{ кГц} < f \leq 225 \text{ кГц}$	$50 \text{ кГц} < f \leq 100 \text{ кГц}$	KF = 7.7
011	$225 \text{ кГц} < f \leq 590 \text{ кГц}$	$100 \text{ кГц} < f \leq 200 \text{ кГц}$	KF = 22
100	$590 \text{ кГц} < f \leq 1,5 \text{ МГц}$	$200 \text{ кГц} < f \leq 400 \text{ кГц}$	KF = 65
101	$1,5 \text{ МГц} < f \leq 4 \text{ МГц}$	$400 \text{ кГц} < f \leq 800 \text{ кГц}$	KF = 180
110	$4 \text{ МГц} < f \leq 10 \text{ МГц}$	$800 \text{ кГц} < f \leq 1.6 \text{ МГц}$	KF = 664
111	$10 \text{ МГц} < f \leq 30 \text{ МГц}$	$1.6 \text{ МГц} < f \leq 3.2 \text{ МГц}$	KF = 1590

Режим генератора с кварцевым или керамическим резонатором

(Схема на рис.14.1, Вариант 1; XOSCND = 11х)

Выберите значение XFCN, соответствующее частоте кварцевого или керамического резонатора.

Режим RC-генератора

(Схема на рис.14.1, Вариант 2; XOSCND = 10х)

Выберите диапазон генерируемых частот, где:

$$f = 1.23(10^3) / (R * C), \text{ где}$$

f = генерируемая частота в [МГц]

C = емкость конденсатора в [пФ]

R = сопротивление подтягивающего резистора в [кОм]

Режим генератора с конденсатором

(Схема на рис.14.1, Вариант 3; XOSCND = 10х)

Выберите коэффициент К (KF) для требуемой частоты:

$$f = KF / (C * VDD), \text{ где}$$

f = генерируемая частота в [МГц]

C = емкость конденсатора, подключенного к выводам XTAL1 и XTAL2, в [пФ]

VDD = напряжение питания МК в [В].

14.4. Пример использования внешнего резонатора

Если бы для генерации системной тактовой частоты МК использовался кварцевый или керамический резонатор, то схема была бы такой, как показано на рис.14.1, вариант 1. При выборе значения битов управления частотой внешнего генератора (XFCN) следует использовать столбец «Резонатор» таблицы, приведенной на рис.14.5. Например, для резонатора с частотой 11.0592 МГц значение битов XFCN должно быть 111b.

Как только внешний кварцевый генератор выходит на стабильный режим работы, устанавливается в 1 флаг стабилизации кварцевого генератора (XTLVLD в регистре OSCXCN). Чтобы исключить преждевременное переключение на тактирование системы от внешнего генератора, необходимо выдержать паузу длительностью как минимум 1мс между включением генератора и проверкой бита XTLVLD. Переключение на работу от внешнего генератора до выхода его в устойчивый режим работы может привести к непредсказуемому поведению МК. Рекомендуется следующая последовательность действий:

1. Включить внешний генератор.
2. Выдержать паузу длительностью как минимум 1мс.
3. Опрашивать бит XTLVLD до обнаружения перехода его состояния из '0' в '1'.
4. Переключиться на работу от внешнего генератора.

ПРИМЕЧАНИЕ: Схемы кварцевых генераторов достаточно чувствительны к разводке печатной платы и внешним шумам. Кварцевый резонатор следует размещать как можно ближе к выводам XTAL микроконтроллера, добиваясь минимальной длины проводников. Кварцевый резонатор необходимо экранировать слоем «земли» от любых других проводников, которые могли бы быть причиной шумов и помех.

14.5. Пример использования RC-генератора

Если бы для генерации системной тактовой частоты МК использовалась RC-цепочка, то схема была бы такой, как показано на рис.14.1, вариант 2. Емкость конденсатора должна быть не более 100пФ, однако использование конденсатора с очень маленькой емкостью (менее 20пФ) приведет к увеличению частотного дрейфа вследствие влияния паразитной емкости печатной платы. Чтобы определить значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN, сначала нужно выбрать значения компонентов RC-цепи, необходимые для получения требуемой частоты генерации. Например, если требуется частота 100кГц, то можно взять $R = 246\text{кОм}$ и $C = 50\text{пФ}$:

$$f = 1.23(10^3)/RC = 1.23(10^3) / [246 * 50] = 0.1\text{МГц} = 100\text{кГц}$$

$$XFCN \geq \log_2(f/25\text{кГц})$$

$$XFCN \geq \log_2(100\text{кГц}/25\text{кГц}) = \log_2(4)$$

$$XFCN \geq 2, \text{ или код } 010$$

14.6. Пример использования внешнего генератора с конденсатором

Если бы для генерации системной тактовой частоты МК использовался внешний конденсатор, то схема была бы такой, как показано на рис.14.1, вариант 3. Емкость конденсатора должна быть не более 100пФ, однако использование конденсатора с очень маленькой емкостью приведет к увеличению погрешности установки частоты вследствие влияния паразитной емкости печатной платы. Чтобы определить значение битов управления частотой внешнего генератора (XFCN) регистра OSCXCN, сначала необходимо выбрать емкость используемого конденсатора и вычислить частоту генерации из уравнения, приведенного ниже. Например, для $VDD = 3.0\text{В}$ и $C = 50\text{пФ}$ получим:

$$f = KF / (C * VDD) = KF / (50 * 3)$$

$$f = KF / 150$$

Если требуется получить частоту около 50кГц, то из таблицы на рис.14.5 необходимо выбрать $KF = 7.7$:

$$f = 7.7 / 150 = 0.051\text{МГц}, \text{ или } 51\text{кГц}$$

Поэтому, значение битов XFCN для этого примера составляет 010b.

14.7.3. Включение и инициализация системы ФАПЧ

Чтобы настроить и использовать схему ФАПЧ как источник системного тактового сигнала, необходимо выполнить следующую последовательность действий:

1. Убедиться, что используемый тактовый генератор (внутренний или внешний) запущен и стабилен.
2. Выбрать источник тактирования схемы ФАПЧ с помощью бита PLLSCR (PLL0CN.2).
3. Установить биты FLRT (FLSCL.5-4) в соответствие с новой тактовой частотой (см. раздел 15).
4. Подать питание на схему ФАПЧ, для чего установить в 1 бит PLLPWR (PLL0CN.0).
5. Записать в регистр PLL0DIV значение коэффициента деления, необходимое для получения требуемой частоты опорного сигнала ФАПЧ.
6. Установить биты PLLLP3-0 (PLL0FLT.3-0) в соответствии с диапазоном частот поделенного опорного сигнала.
7. Установить биты PLLICO1-0 (PLL0FLT.5-4) в соответствии с диапазоном частот выходного сигнала схемы ФАПЧ.
8. Записать в регистр PLL0MUL значение коэффициента умножения частоты.
9. Ждать минимум 5 мкс для обеспечения надежной блокировки частоты.
10. Включить схему ФАПЧ, для чего установить в 1 бит PLEN (PLL0CN.1).
11. Опрашивать бит PLLLCK (PLL0CN.4) до тех пор, пока он не изменит свое состояние из '0' в '1'.
12. Переключиться на тактирование системы от схемы ФАПЧ (с помощью регистра CLKSEL).

Если схема ФАПЧ уже работает и не требуется изменять ее характеристики, то необходимо выполнить следующую последовательность действий:

1. Изначально в качестве источника системного тактового сигнала должен быть установлен с помощью регистра CLKSEL внутренний или внешний генератор, который запущен и стабилен.
2. Убедиться, что источник опорной частоты, который планируется использовать для схемы ФАПЧ (внутренний или внешний), запущен и стабилен.
3. Выбрать новый источник тактирования схемы ФАПЧ с помощью бита PLLSCR (PLL0CN.2).
4. Если происходит переход на более высокую тактовую частоту, то установить биты FLRT (FLSCL.5-4) в соответствие с новой тактовой частотой (см. раздел 15).
5. Отключить схему ФАПЧ, для чего сбросить в 0 бит PLEN (PLL0CN.1).
6. Записать в регистр PLL0DIV значение коэффициента деления, необходимое для получения требуемой частоты опорного сигнала ФАПЧ.
7. Установить биты PLLLP3-0 (PLL0FLT.3-0) в соответствии с диапазоном частот поделенного опорного сигнала.
8. Установить биты PLLICO1-0 (PLL0FLT.5-4) в соответствии с диапазоном частот выходного сигнала схемы ФАПЧ.
9. Записать в регистр PLL0MUL значение коэффициента умножения частоты.
10. Включить схему ФАПЧ, для чего установить в 1 бит PLEN (PLL0CN.1).
11. Опрашивать бит PLLLCK (PLL0CN.4) до тех пор, пока он не изменит свое состояние из '0' в '1'.
12. Переключиться на тактирование системы от схемы ФАПЧ (с помощью регистра CLKSEL).
13. Если происходит переход на более низкую тактовую частоту, то установить биты FLRT (FLSCL.5-4) в соответствие с новой тактовой частотой (см. раздел 15). **Примечание: чтение кэш-памяти, запись кэш-памяти и механизм упреждающей выборки должны быть запрещены всегда, когда происходит изменение состояния бит FLRT на значения, соответствующие более низким частотам.**

Чтобы отключить схему ФАПЧ, необходимо прежде всего переключиться на тактирование системы от внутреннего генератора или от стабильного внешнего генератора с помощью регистра CLKSEL. Затем следует выключить схему ФАПЧ, для чего нужно сбросить в 0 бит PLEN (PLL0CN.1). После этого можно отключить питание от схемы ФАПЧ путем сброса в 0 бита PLLPWR (PLL0CN.0). Следует иметь в виду, что биты PLEN и PLLPWR можно сбросить одной и той же командой.

Рисунок 14.7. PLL0CN: Регистр управления схемы ФАПЧ

R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	PLLLCK	0	PLLSRC	PLEN	PLLPWR	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x89 SFR страница: F

Биты 7-5: Не используются. Читаются как 000b. Запись не оказывает никакого влияния.

Бит 4: PLLLCK: Флаг блокировки схемы ФАПЧ.
0: Частота схемы ФАПЧ не заблокирована.
1: Частота схемы ФАПЧ заблокирована.

Бит 3: Зарезервирован. Должен быть сброшен в 0.

Бит 2: PLLSRC: Бит выбора источника опорного сигнала для схемы ФАПЧ.
0: Источником опорного сигнала для схемы ФАПЧ является внутренний генератор.
1: Источником опорного сигнала для схемы ФАПЧ является внешний генератор.

Бит 1: PLEN: Бит включения схемы ФАПЧ.
0: Схема ФАПЧ удерживается в состоянии сброса.
1: Схема ФАПЧ включена. Бит PLLPWR должен быть установлен в 1.

Бит 0: PLLPWR: Бит включения питания для схемы ФАПЧ.
0: Генератор напряжения смещения для схемы ФАПЧ деактивирован. Мощность потребления равна нулю.
1: Генератор напряжения смещения для схемы ФАПЧ активен. Бит PLLPWR должен быть установлен в 1, если требуется использовать схему ФАПЧ.

Рисунок 14.8. PLL0DIV: Регистр предделителя схемы ФАПЧ

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	PLLM4	PLLM3	PLLM2	PLLM1	PLLM0	00000001
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8D SFR страница: F

Биты 7-5: Не используются. Читаются как 000b. Запись не оказывает никакого влияния.

Биты 4-0: PLLM4-0: Коэффициент деления предварительного делителя опорной частоты схемы ФАПЧ.
Эти биты устанавливают коэффициент деления предварительного делителя опорной частоты схемы ФАПЧ. Если PLLM4-0 \neq 0, то коэффициент деления равен значению бит PLLM4-0. Если PLLM4-0 = '00000b', то коэффициент деления равен 32.

Рисунок 14.9. PLL0MUL: Регистр коэффициента умножения частоты тактового сигнала схемы ФАПЧ

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
PLL7	PLL6	PLL5	PLL4	PLL3	PLL2	PLL1	PLL0	00000001
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8E SFR страница: F

Биты 7-0: PLL7-0: Коэффициент умножения частоты тактового сигнала схемы ФАПЧ.
Эти биты устанавливают коэффициент умножения поделенной опорной частоты схемы ФАПЧ. Если PLL7-0 $\neq 0$, то коэффициент умножения равен значению бит PLL4-0. Если PLL7-0 = '0000000b', то коэффициент умножения равен 256.

Рисунок 14.10. PLL0FLT: Регистр фильтра схемы ФАПЧ

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	PLLCO1	PLLCO0	PLLLP3	PLLLP2	PLLLP1	PLLLP0	00110001
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8F SFR страница: F

Биты 7-6: Не используются. Читаются как 00b. Запись не оказывает никакого влияния.

Биты 5-4: PLLCO1-0: Биты управления ГУТ (генератор, управляемый током) схемы ФАПЧ.
Значение этих бит зависит от диапазона частот выходного сигнала схемы ФАПЧ и выбирается в соответствии со следующей таблицей:

Частота выходного сигнала схемы ФАПЧ	Значение бит PLLCO1-0
65 – 100 МГц	00
45 – 80 МГц	01
30 – 60 МГц	10
25 – 50 МГц	11

Биты 3-0: PLLLP3-0: Биты управления контурным фильтром схемы ФАПЧ.
Значение этих бит зависит от частоты поделенного опорного сигнала схемы ФАПЧ и выбирается в соответствии со следующей таблицей:

Частота поделенного опорного сигнала схемы ФАПЧ	Значение бит PLLCO1-0
19 – 30 МГц	0001
12,2 – 19,5 МГц	0011
7,8 – 12,5 МГц	0111
5 – 8 МГц	1111

Таблица 14.2. Частотные характеристики схемы ФАПЧ.

T = от - 40 С до + 85 С, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Входная частота (частота поделенного опорного сигнала)		5		30	МГц
Частота выходного сигнала схемы ФАПЧ		25		100*	МГц
* Примечание: Максимальная системная тактовая частота МК C8051F124/5/6/7 равна 50 МГц.					

Таблица 14.3. Временные характеристики блокировки ФАПЧ.

T = от - 40 С до + 85 С, если не указано иное.

Входная частота	Коэффициент умножения (PLL0MUL)	Значение регистра PLL0FLT	Выходная частота	Мин.	Тип.	Макс.	Ед. изм.
5 МГц	20	0x0F	100 МГц		202		мкс
	13	0x0F	65 МГц		115		мкс
	16	0x1F	80 МГц		241		мкс
	9	0x1F	45 МГц		116		мкс
	12	0x2F	60 МГц		258		мкс
	6	0x2F	30 МГц		112		мкс
	10	0x3F	50 МГц		263		мкс
	5	0x3F	25 МГц		113		мкс
25 МГц	4	0x01	100 МГц		42		мкс
	2	0x01	50 МГц		33		мкс
	3	0x11	75 МГц		48		мкс
	2	0x11	50 МГц		17		мкс
	2	0x21	50 МГц		42		мкс
	1	0x21	25 МГц		33		мкс
	2	0x31	50 МГц		60		мкс
	1	0x31	25 МГц		25		мкс

15. FLASH-ПАМЯТЬ

Все МК содержат 128 Кбайт (C8051F12x и C8051F130/1) или 64 Кбайт (C8051F132/3) встроенной перепрограммируемой Flash-памяти, предназначенной для хранения программного кода и долговременного хранения данных. Кроме этого имеется дополнительный 256-байтный блок Flash-памяти, предназначенный для долговременного хранения данных. Flash-память может программироваться внутрисистемно посредством JTAG-интерфейса или из программы, используя команду MOVX. Если бит Flash-памяти сброшен в 0, то для того, чтобы установить его в 1, его необходимо стереть. Байты перед программированием должны стираться (устанавливаться в 0xFF). Временные интервалы операций записи и стирания, необходимые для корректной работы, устанавливаются автоматически аппаратными средствами. В течение операции записи или стирания Flash-памяти бит FLBUSY регистра FLSTAT устанавливается в 1 (см. рис. 16.8). В течение этого времени команды, расположенные в буфере упреждающей выборки или в кэш-памяти программных ветвлений, могут выполняться, однако, если потребуется извлечь команду из Flash-памяти, то процессор будет остановлен до завершения операции записи или стирания. Прерывания, которые уже загружены в кэш-память программных ветвлений, также могут быть обслужены в течение этого времени, если только текущий код также выполняется из буфера упреждающей выборки или из кэш-памяти программных ветвлений. Любые прерывания, которые не были предварительно загружены в кэш-память или которые произошли в то время, пока процессорное ядро было остановлено, будут удерживаться в состоянии ожидания в течение выполнения операций записи/стирания Flash-памяти и будут обслужены сразу же после окончания этих операций в порядке, определяемом их уровнями приоритета. Электрические параметры Flash-памяти приведены в таблице 16.1.

15.1. Программирование Flash-памяти

Самый простой способ программирования Flash-памяти заключается в использовании JTAG-интерфейса и средств программирования, предлагаемых фирмой Silicon Labs или независимыми производителями. Это единственный способ программирования неинициализированного МК. Подробная информация об использовании JTAG команд для программирования Flash-памяти приведена в разделе 25.

Flash-память можно программировать программным путем, используя команду MOVX с адресом и байтом данных в качестве обычных операндов. Перед записью во Flash-память с использованием команды MOVX операции записи Flash-памяти необходимо разрешить установкой в 1 бита разрешения записи памяти программ PSWE (PSCCTL.0). Это приведет к тому, что операции записи с помощью команды MOVX будут относиться не к памяти XRAM (устанавливается по умолчанию), а к Flash-памяти. Бит PSWE остается установленным в 1 до сброса его программным путем. Чтобы предотвратить случайную запись во Flash-память, рекомендуется запрещать прерывания на все время, пока бит PSWE установлен в 1.

Для чтения Flash-памяти следует использовать команду MOVC. Чтение с использованием команды MOVX всегда относится к памяти XRAM, независимо от состояния бита PSWE.

В МК с Flash-памятью объемом 128 Кбайт биты COBANK регистра PSBANK (см. рис. 11.3) определяют, какой из трех старших банков Flash-памяти отображается на адресное пространство 0x08000-0xFFFF (для операций записи, чтения и стирания Flash-памяти).

В МК с Flash-памятью объемом 64 Кбайт биты COBANK должны всегда содержать значение '01', иначе операции записи, чтения и стирания Flash-памяти могут выполняться некорректно.

Примечание: Чтобы гарантировать целостность содержимого Flash-памяти, строго рекомендуется включить схему слежения за напряжением питания, соединив вывод MOVEN с шиной питания VDD и установив в 1 бит PORSF в регистре RSTSRC. Это касается любых систем, которые содержат код, осуществляющий запись/стирание Flash-памяти программным путем.

Запись во Flash-память может сбросить в 0 биты, но не может установить их в 1. Только операция стирания может установить в 1 биты во Flash-памяти. Поэтому ячейку памяти, которую требуется запрограммировать, необходимо предварительно стереть, чтобы можно было записать новое значение.

Управление временными интервалами операций записи и стирания осуществляется автоматически аппаратными средствами. Следует иметь в виду, что в МК с Flash-памятью объемом 128 Кбайт зарезервирован блок памяти объемом 1024 байт, начинающийся с адреса 0x1FC00. Операции записи/стирания ячеек Flash-памяти, расположенных в этой зарезервированной области, недопустимы.

Таблица 15.1. Электрические параметры FLASH-памяти

VDD = 2.7 - 3.6В, T = -40°C ... +85°C.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Размер Flash-памяти* ¹	C8051F12х и C8051F130/1	131328* ²			Байт
Размер Flash-памяти* ¹	C8051F132/3	65792			Байт
Число циклов программирования		20000	100000		Стирание/Запись
Время цикла стирания		10	12	14	мс
Время цикла записи		40	50	60	мкс

*¹ Включая 256-байтный блок сверхоперативного ЗУ (СОЗУ).

*² 1024-байтный сектор с адресами 0х1FC00 – 0х1FFFF зарезервирован.

15.1.1. Долговременное хранение данных

Flash-память может использоваться не только для хранения программного кода, но и для долговременного хранения данных. Это позволяет рассчитывать и сохранять во время выполнения программы такие данные, как калибровочные коэффициенты. Данные записываются и стираются с помощью команды MOVX (см. раздел 15.1.2 и раздел 15.1.3) и считываются с помощью команды MOVC. Биты COBANK регистра PSBANK (см. рис. 11.3) определяют, какая часть Flash-памяти адресуется операциями записи и стирания при обращении к адресному пространству 0х8000 ... 0xFFFF. В МК с Flash-памятью объемом 64 Кбайт биты COBANK должны всегда содержать значение '01', иначе операции записи, чтения и стирания Flash-памяти могут выполняться некорректно.

МК содержат два дополнительных 128-байтных сектора Flash-памяти (всего 256 байт), предназначенных для долговременного хранения данных. По причине небольшого размера этих секторов их особенно выгодно использовать в качестве долговременной сверхбыстродействующей памяти общего назначения. Несмотря на то, что во Flash-память можно записывать по одному байту за раз, сначала необходимо стереть весь сектор. Чтобы изменить один байт в многобайтном наборе данных, необходимо поместить данные на временное хранение в какую-либо память. После того, как сектор стерт, данные обновляются и возвращаются в исходный сектор. 128-байтный размер сектора позволяет организовать процесс обновления данных без расходования пространства памяти программ или ОЗУ. Эти 128-байтные сектора отображены (в режиме дублирования) на обычную Flash-память и занимают диапазон адресов 0х00 - 0х7F и 0х80 - 0xFF (см. рис.15.2). Доступ к этим 128-байтным секторам возможен только тогда, когда бит SFLE регистра PSCCTL установлен в 1. Выполнение программного кода из этих 128-байтных секторов сверхоперативной памяти не допускается. Эти 128-байтные сектора можно стирать по отдельности или оба одновременно. Чтобы стереть оба сектора одновременно, необходимо адресовать ячейку памяти 0х0400 в операции стирания при установленном в 1 бите SFLE. На рисунке 15.1 приведена карта распределения памяти при различных значениях битов COBANK и SFLE.

Рисунок 15.1. Карта распределения Flash-памяти для операций чтения MOVC и записи MOVX

SFLE = 0				SFLE = 1	Внутренние адреса
COBANK = 0	COBANK = 1	COBANK = 2	COBANK = 3		
Банк 0	Банк 1	Банк 2	Банк 3	Неопределено	0xFFFF
					0x8000 0x7FFF
Банк 0	Банк 0	Банк 0	Банк 0	Сектор CO3Y (2)	0x00FF 0x0000

Только МК с Flash-памятью объемом 128 Кбайт

15.1.2. Стирание страниц FLASH-памяти из программы

При стирании Flash-памяти стирается полностью вся страница (т.е. все байты страницы устанавливаются в состояние 0xFF). 256-байтный блок CO3Y (занимающий адреса 0x20000...0x200FF) состоит из двух 128-байтных страниц. Чтобы стереть любую страницу Flash-памяти, необходимо установить в 1 биты FLWE, PSWE, PSEE и выполнить операцию записи байта (с помощью команды MOVX) по любому адресу внутри этой страницы. Ниже приведена рекомендуемая последовательность действий для программного стирания страницы Flash-памяти:

1. Запретить прерывания.
2. Если стираемая страница расположена в банке 1, в банке 2 или в банке 3, то настроить соответствующим образом биты COBANK (PSBANK.5-4).
3. Если стирается страница в области CO3Y, то установить в 1 бит SFLE (PSCTL.2).
4. Установить в 1 бит FLWE (FLSCL.0), чтобы разрешить операции записи/стирания Flash-памяти из программы пользователя.
5. Установить в 1 бит PSEE (PSCTL.1), чтобы разрешить операции стирания Flash-памяти.
6. Установить в 1 бит PSWE (PSCTL.0) для перенаправления действия команд MOVX на запись Flash-памяти.
7. Использовать команду MOVX для записи байта данных в любую ячейку внутри страницы, которую необходимо стереть.
8. Сбросить в 0 бит PSEE (PSCTL.1) для запрещения операций стирания Flash-памяти.
9. Сбросить в 0 бит PSWE (PSCTL.0) для перенаправления действия команд MOVX на пространство памяти данных XRAM.
10. Сбросить в 0 бит FLWE (FLSCL.0), чтобы запретить операции записи/стирания Flash-памяти.
11. Если стираемая страница расположена в области CO3Y, то сбросить в 0 бит SFLE (PSCTL.2).
12. Разрешить прерывания.

15.1.3. Запись во FLASH-память из программы

Байты Flash-памяти можно записывать по одному за раз или небольшими блоками. Бит CHBLKW регистра CCH0CN (см. рис.16.4) определяет, что записывается во Flash-память в процессе операции записи: один байт или блок байтов. Если CHBLKW = 0, то запись во Flash-память будет осуществляться по одному байту за раз. Если CHBLKW = 1, то запись во Flash-память будет осуществляться блоками по четыре байта по адресам в области памяти программ или блоками по два байта по адресам в области СОЗУ. Длительность операций записи блока равна длительности операций записи одного байта, что позволяет экономить процессорное время при сохранении больших объемов данных во Flash-памяти.

При записи данных во Flash-память по одному байту за раз байты записываются по отдельности и запись во Flash-память выполняется после каждой команды записи MOVX. Ниже приведена рекомендуемая последовательность действий для записи данных во Flash-память по одному байту за раз:

1. Запретить прерывания.
2. Сбросить в 0 бит CHBLKW (CCH0CN.0) для выбора однобайтного режима записи.
3. Если осуществляется запись байт в банке 1, в банке 2 или в банке 3, то настроить соответствующим образом биты COBANK (PSBANK.5-4).
4. Если осуществляется запись байт в области СОЗУ, то установить в 1 бит SFLE (PSCTL.2).
5. Установить в 1 бит FLWE (FLSCL.0), чтобы разрешить операции записи/стирания Flash-памяти из программы пользователя.
6. Установить в 1 бит PSWE (PSCTL.0) для перенаправления действия команд MOVX на запись Flash-памяти.
7. Использовать команду MOVX для записи байта данных по определенному адресу памяти (повторять столько, сколько необходимо).
8. Сбросить в 0 бит PSWE (PSCTL.0) для перенаправления действия команд MOVX на пространство памяти данных XRAM.
9. Сбросить в 0 бит FLWE (FLSCL.0), чтобы запретить операции записи/стирания Flash-памяти.
10. Если стираемая страница расположена в области СОЗУ, то сбросить в 0 бит SFLE (PSCTL.2).
11. Разрешить прерывания.

При записи данных во Flash-память блоками операция записи во Flash-память выполняется только после записи (с помощью команды MOVX) последнего байта каждого блока. При записи по адресам памяти, расположенным в любом из четырех банков, длина блока записываемых данных равна четырем байтам: начиная с адреса, оканчивающегося на 00b, и заканчивая адресом, оканчивающимся на 11b. Операции записи необходимо осуществлять последовательно, т.е. ячейки памяти с адресами, оканчивающимися на 00b, 01b, 10b и 11b, должны записываться по очереди в таком же порядке. Операция записи во Flash-память будет выполнена после записи (с помощью команды MOVX) ячейки памяти с адресом, оканчивающимся на 11b. При записи по адресам памяти, расположенным в области СОЗУ, длина блока записываемых данных равна двум байтам: начиная с адреса, оканчивающегося на 0b, и заканчивая адресом, оканчивающимся на 1b. Операция записи во Flash-память будет выполнена после записи (с помощью команды MOVX) ячейки памяти с адресом, оканчивающимся на 1b. Если какие-либо байты в блоке не требуется обновлять, то в соответствующие им ячейки Flash-памяти следует записывать значение 0xFF. Ниже приведена рекомендуемая последовательность действий для записи данных во Flash-память в блочном режиме:

1. Запретить прерывания.
2. Установить в 1 бит CHBLKW (CCH0CN.0) для выбора блочного режима записи.
3. Если осуществляется запись байт в банке 1, в банке 2 или в банке 3, то настроить соответствующим образом биты COBANK (PSBANK.5-4).
4. Если осуществляется запись байт в области СОЗУ, то установить в 1 бит SFLE (PSCTL.2).
5. Установить в 1 бит FLWE (FLSCL.0), чтобы разрешить операции записи/стирания Flash-памяти из программы пользователя.
6. Установить в 1 бит PSWE (PSCTL.0) для перенаправления действия команд MOVX на запись Flash-памяти.
7. Использовать команду MOVX для записи байтов данных требуемого блока. Байты данных необходимо записывать последовательно, и последним записываемым байтом должен быть старший байт блока, как описано выше (повторять столько, сколько необходимо).
8. Сбросить в 0 бит PSWE (PSCTL.0) для перенаправления действия команд MOVX на пространство памяти данных XRAM.
9. Сбросить в 0 бит FLWE (FLSCL.0), чтобы запретить операции записи/стирания Flash-памяти.
10. Если стираемая страница расположена в области СОЗУ, то сбросить в 0 бит SFLE (PSCTL.2).
11. Разрешить прерывания.

15.2. Защита FLASH-памяти

CIP-51 имеет опции защиты, позволяющие защитить Flash-память от случайной модификации со стороны программы и исключить возможность просмотра патентованного программного кода и констант. Биты разрешения записи памяти программ (PSCTL.0), разрешения стирания памяти программ (PSCTL.1) и разрешения записи/стирания Flash-памяти (FLACL.0) защищают Flash-память от случайной модификации со стороны программы. Эти биты должны быть явно установлены в 1, чтобы программа могла модифицировать или стирать Flash-память. Дополнительные функции защиты предотвращают чтение и изменение патентованного программного кода и констант посредством JTAG-интерфейса или программы, запущенной на системном контроллере.

Установка байтов защитной блокировки защищает Flash-память от чтения и изменения посредством JTAG-интерфейса. Каждый бит в байте защитной блокировки защищает один 16-Кбайтный блок памяти. Сброс бита в 0 в байте блокировки чтения защищает соответствующий блок Flash-памяти от чтения посредством JTAG-интерфейса. Сброс бита в 0 в байте блокировки записи/стирания защищает блок от записи и/или стирания посредством JTAG-интерфейса. Область сверхоперативной памяти (СОЗУ) блокируется для операций чтения или записи/стирания только тогда, когда все биты в соответствующих байтах защитной блокировки сброшены в 0.

В МК C8051F12x и C8051F130/1 байты защитной блокировки находятся по адресам 0x1FBFE (байт блокировки записи/стирания) и 0x1FBFF (байт блокировки чтения), как показано на рис.15.2. В МК C8051F132/3 байты защитной блокировки находятся по адресам 0x0FFFE (байт блокировки записи/стирания) и 0x0FFFF (байт блокировки чтения), как показано на рис.15.3. 1024-байтный сектор, содержащий байты защиты, можно программно записывать, но нельзя программно стирать. Операция чтения заблокированных для чтения байт возвратит в качестве результата неопределенные данные. Отладка кода в заблокированном для чтения секторе с помощью JTAG-интерфейса невозможна. Биты блокировки всегда могут быть прочитаны и сброшены в 0 независимо от параметров защиты блока, содержащего байты защиты. Это позволяет защитить дополнительные блоки уже после того, как был защищен блок, содержащий байты защиты.

Важное примечание: Чтобы гарантировать защиту от внешнего доступа, необходимо заблокировать для операций записи/стирания блок памяти, содержащий байты блокировки. В 128-Кбайтных МК (C8051F12x и C8051F130/1) страница, содержащая байты защиты (0x18000 – 0x1BFFF), блокируется путем сброса в 0 бита 7 байта блокировки записи/стирания. В 64-Кбайтных МК (C8051F130/1) страница, содержащая байты защиты (0x0C000 – 0x0FFFF), блокируется путем сброса в 0 бита 3 байта блокировки записи/стирания. Если страница, содержащая байты защиты, не заблокирована для операций записи/стирания, то, используя JTAG-порт, можно стереть эту страницу и сбросить байты защиты.

Если страница, содержащая байты защиты, заблокирована для операций записи/стирания, то для разблокирования любой области Flash-памяти, защищенной байтами защиты, необходимо стереть все пространство памяти программ, используя операцию полного стирания JTAG-интерфейса. Стирание всего пространства памяти программ инициируется автоматически при выполнении обычной операции JTAG-стирания любого байта защиты. Эта операция стирания может быть выполнена только через JTAG-интерфейс и не может быть выполнена из программы, запущенной на МК.

Рисунок 15.2. Карта распределения и байты защиты 128-Кбайтной Flash-памяти программ

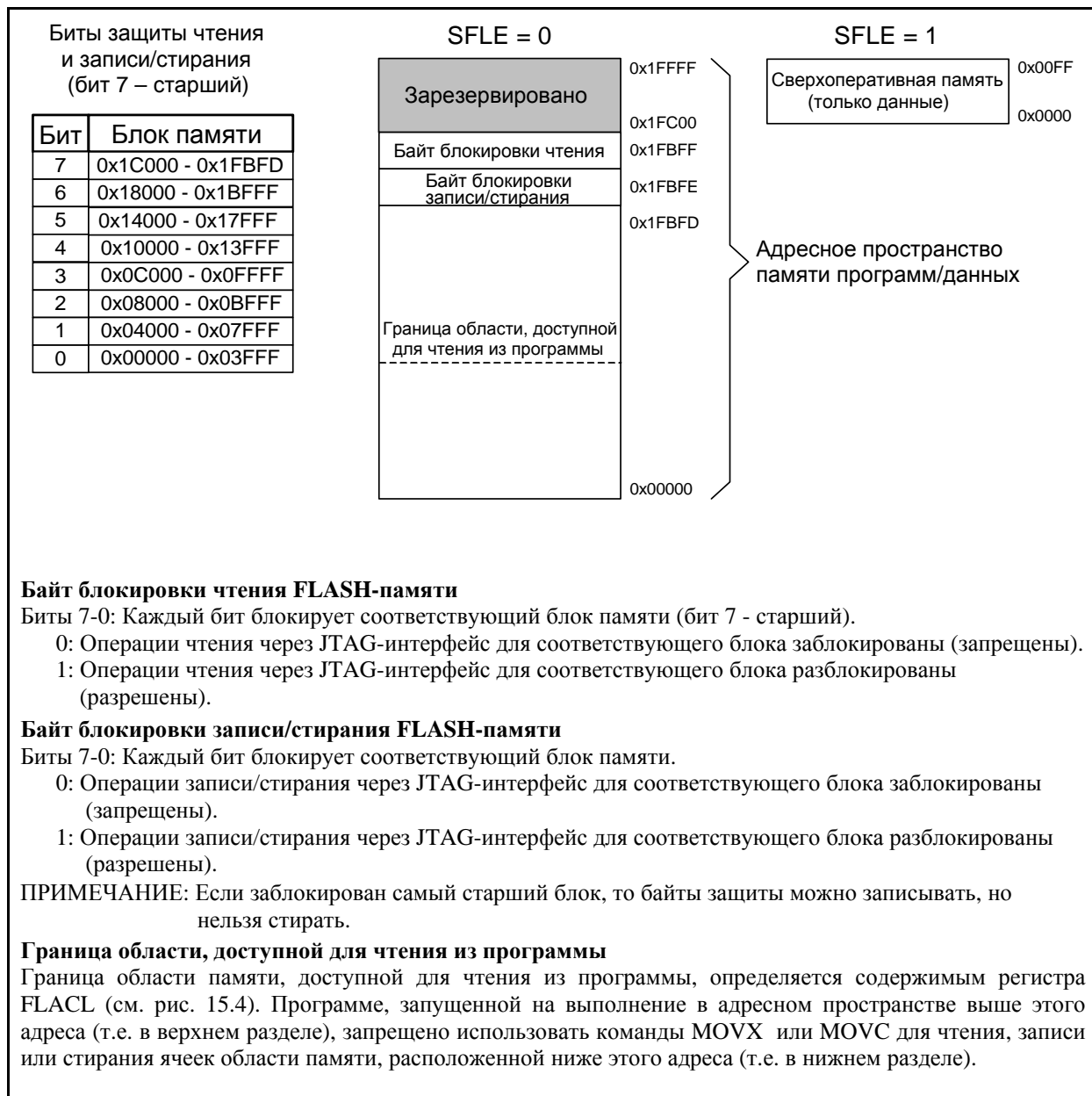
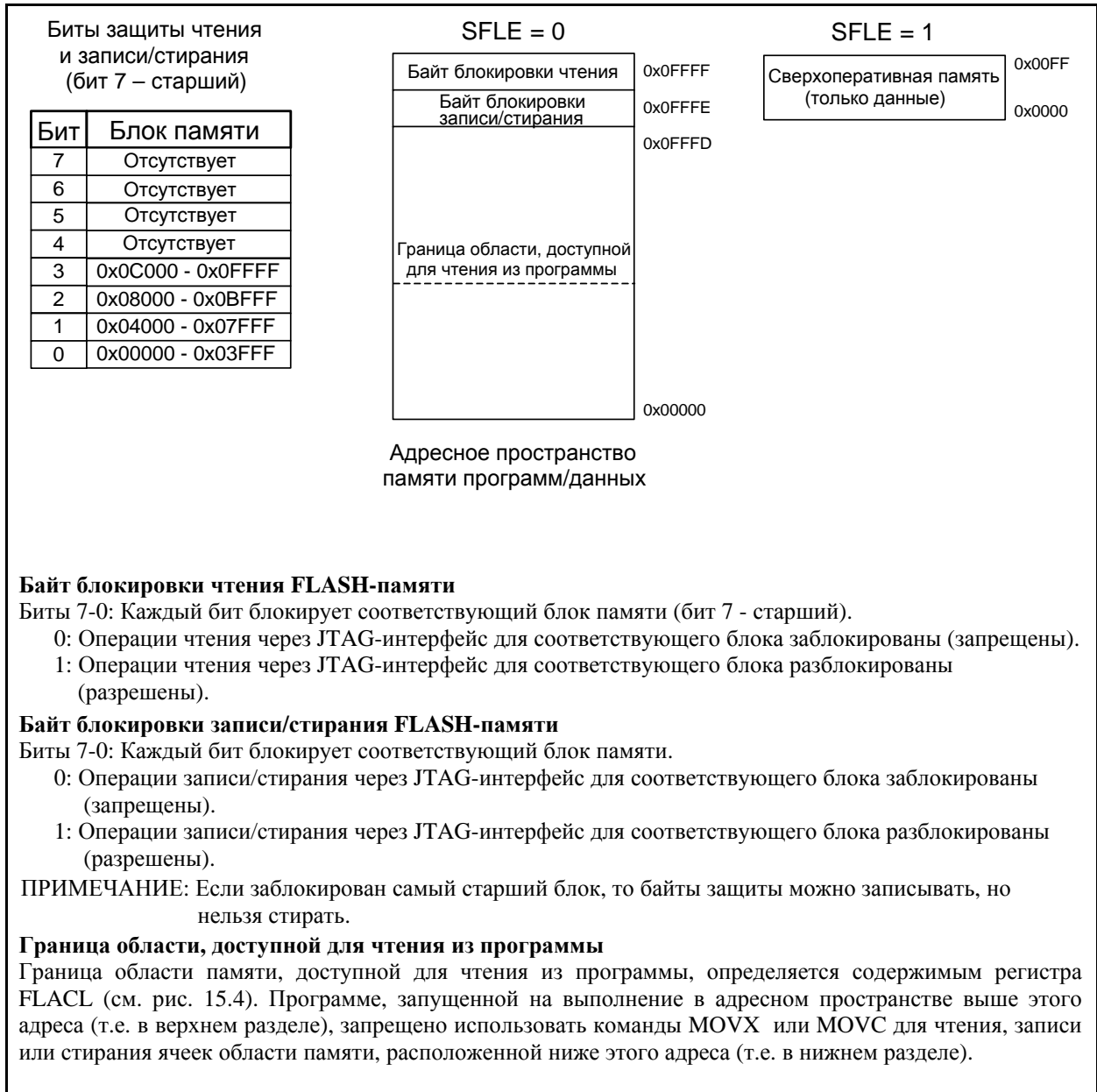


Рисунок 15.3. Карта распределения и байты защиты 64-Кбайтной Flash-памяти программ



Ограничение доступа к Flash-памяти (см. рис. 15.4) представляет собой функцию защиты, которая защищает патентованный программный код и данные от прочтения программой, запущенной на МК. Эта функция обеспечивает поддержку OEM-производителей, которые перед распространением МК желают запрограммировать их дополнительным программным обеспечением, являющимся собственностью фирмы. При этом фирменное программное обеспечение будет защищено, а в оставшееся пространство памяти программ можно позднее запрограммировать дополнительный код.

Граница области, доступной для программного чтения (Flash Access Limit - FAL), представляет собой 17-битный адрес, который делит пространство памяти программ на два логических раздела. Первый из них является верхним разделом и состоит из всех ячеек памяти программ, находящихся выше адреса FAL (включая и сам адрес FAL). Второй является нижним разделом и состоит из всех ячеек памяти программ с адресами от 0x00000 до адреса FAL (не включая сам адрес FAL). Программа, запущенная в верхнем разделе, может исполнять код из нижнего раздела, но ей запрещено читать ячейки из нижнего раздела, используя команду MOVC. (Выполнение команды MOVC из верхнего раздела с адресом источника данных, указывающим на нижний раздел, всегда в качестве результата будет возвращать неопределенное значение) Программа, запущенная в нижнем разделе, может обращаться к ячейкам памяти как из верхнего, так и из нижнего разделов без ограничений.

Дополнительные встроенные фирменные программы следует размещать в нижнем разделе. При сбросе управление передается этим программам через вектор сброса. Как только завершится процесс начальной инициализации, произойдет переход по предопределенному адресу в верхнем разделе. Программа, запущенная в верхнем разделе, может выполнять программный код из нижнего раздела, если известны точки входа, но не может прочесть содержимое нижнего раздела. Программному коду, запущенному в нижнем разделе, параметры могут передаваться следующим образом:

- параметры размещаются в стеке до вызова программного кода из нижнего раздела;
- параметры размещаются в регистрах внутреннего ОЗУ до вызова программного кода из нижнего раздела;
- параметры размещаются в определенных ячейках памяти в верхнем разделе.

Адрес FAL задается в регистре ограничения доступа к Flash-памяти (FLACL). 8 старших разрядов 17-разрядного адреса FAL определяются содержимым регистра FLACL. Таким образом, адрес FAL можно задать в любом месте пространства памяти программ на границах 512-байтных секторов. Однако 1024-байтный размер сектора стирания требует использовать в качестве адреса FAL границы 1024-байтных секторов. При сбросе в регистр FLACL по умолчанию записывается значение 0x00, устанавливая тем самым адрес FAL 0x00000 и разрешая доступ по чтению ко всем ячейкам памяти программ.

Рисунок 15.4. FLACL: Регистр ограничения доступа к Flash-памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xB7 SFR страница: F

Биты 7-0: FLACL: Адрес границы программно-доступной области Flash-памяти.

Этот регистр содержит 8 старших бит 17-разрядного адреса границы области памяти программ, доступной для операций чтения/записи/стирания. Младшие 9 бит этого адреса всегда установлены в 0. Запись в этот регистр устанавливает адрес границы программно-доступной области Flash-памяти. Этот регистр может быть записан только один раз после сброса. Все последующие попытки записать этот регистр игнорируются до следующего сброса. **Чтобы полностью защитить все ячейки памяти с адресами ниже этой границы, необходимо сбросить в 0 бит 0 регистра FLACL; тогда адрес FAL всегда будет совпадать с границей 1024-байтного сектора Flash-памяти.**

15.2.1. Обзор методов защиты FLASH-памяти

МК C8051F12х и C8051F13х поддерживают три метода доступа к Flash-памяти:

- 1) доступ к Flash-памяти с помощью интерфейса JTAG;
- 2) доступ к Flash-памяти из программы, находящейся ниже адреса FAL;
- 3) доступ к Flash-памяти из программы, находящейся выше адреса FAL.

Доступ к Flash-памяти с помощью интерфейса JTAG:

1. Байты блокировки чтения и записи/стирания (байты защиты) обеспечивают защиту от доступа к Flash-памяти с помощью интерфейса JTAG.
2. Любую незаблокированную страницу можно прочитать, записать или стереть.
3. Заблокированные страницы нельзя прочитать, записать или стереть.
4. Прочитать байты защиты можно всегда.
5. Всегда можно заблокировать дополнительные страницы путем записи байтов защиты.
6. Если страница, содержащая байты защиты, **не заблокирована**, то ее можно стереть. **Это приведет к сбросу байтов защиты и к разблокировке всех страниц Flash-памяти.**
7. Если страница, содержащая байты защиты, **заблокирована**, то для ее разблокировки **необходимо стереть все адресное пространство памяти МК посредством JTAG-интерфейса.** Это приведет к стиранию всех страниц Flash-памяти, включая страницу, содержащую байты защиты, и сами байты защиты.
8. Зарезервированную область памяти никогда нельзя прочитать, записать или стереть.

Доступ к Flash-памяти из программы, находящейся ниже адреса FAL:

1. Байты блокировки чтения и записи/стирания (байты защиты) не ограничивают доступ к Flash-памяти из программы пользователя.
2. Любая страница Flash-памяти, за исключением страницы, содержащей байты защиты, может быть прочитана, записана или стерта.
3. **Страницу, содержащую байты защиты, нельзя стереть.** Разблокировка страниц Flash-памяти может быть выполнена только посредством интерфейса JTAG.
4. Страницу, содержащую байты защиты, можно прочитать или записать. Страницы Flash-памяти можно заблокировать для доступа посредством интерфейса JTAG путем записи байтов защиты.
5. Зарезервированную область памяти никогда нельзя прочитать, записать или стереть.

Доступ к Flash-памяти из программы, находящейся выше адреса FAL:

1. Байты блокировки чтения и записи/стирания (байты защиты) не ограничивают доступ к Flash-памяти из программы пользователя.
2. Любая страница Flash-памяти, расположенная с и выше адреса FAL, за исключением страницы, содержащей байты защиты, может быть прочитана, записана или стерта.
3. Любая страница Flash-памяти, расположенная ниже адреса FAL, не может быть прочитана, записана или стерта.
4. Разрешены программные переходы по адресам памяти, расположенным ниже адреса FAL.
5. **Страницу, содержащую байты защиты, нельзя стереть.** Разблокировка страниц Flash-памяти может быть выполнена только посредством интерфейса JTAG.
6. Страницу, содержащую байты защиты, можно прочитать или записать. Страницы Flash-памяти можно заблокировать для доступа посредством интерфейса JTAG путем записи байтов защиты.
7. Зарезервированную область памяти никогда нельзя прочитать, записать или стереть.

Рисунок 15.5. FLSCL: Регистр управления контроллером Flash-памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	FLRT1	FLRT0	Зарезерв.	Зарезерв.	Зарезерв.	FLWE	10000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xB7 SFR страница: 0

Биты 7-6: Не используются.

Биты 5-4: FLRT1-0: Время чтения Flash-памяти.
Эти биты следует запрограммировать минимально возможным значением, соответствующим системной тактовой частоте.
00: SYSCLK <= 25 МГц
01: SYSCLK <= 50 МГц
10: SYSCLK <= 75 МГц
11: SYSCLK <= 100 МГц

Биты 3-1: Зарезервированы. Читаются как 000b. В эти биты следует записать значение 000b.

Бит 0: FLWE: Разрешение записи/стирания Flash-памяти.
Чтобы разрешить запись/стирание Flash-памяти из программы пользователя, необходимо установить этот бит в 1.
0: Операции записи/стирания Flash-памяти запрещены.
1: Операции записи/стирания Flash-памяти разрешены.

Важное примечание: При изменении состояния бит FLRT на более низкое значение (например, при смене значения 11b на значение 00b) необходимо запретить (с помощью регистра CCH0CN) операции чтения/записи кэш-памяти и механизм упреждающей выборки (см. рис.16.4).

Рисунок 15.6. PSCTL: Регистр управления записью/стиранием памяти программ

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
-	-	-	-	-	SFLE	PSEE	PSWE	SFR Адрес: 0x8F SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-3: Не используются. Читаются как 00000b. Запись не оказывает никакого влияния.

Бит 2: SFLE: Разрешение доступа к сверхоперативному сектору Flash-памяти (СОЗУ).
 Когда этот бит установлен в 1, операции чтения и записи Flash-памяти, выполняемые из программы пользователя, относятся к двум 128-байтным секторам СОЗУ. Если SFLE = 1, то не следует пытаться обращаться по адресам Flash-памяти за пределами диапазона 0x00 – 0xFF (за исключением адреса 0x400, который может использоваться для одновременного стирания обоих секторов СОЗУ). Чтение/запись ячеек памяти за пределами этого диапазона приведет к неопределенному результату.
 0: При обращении к Flash-памяти из программы пользователя происходит обращение к сектору Flash-памяти программ/данных.
 1: При обращении к Flash-памяти из программы пользователя происходит обращение к двум 128-байтным секторам СОЗУ.

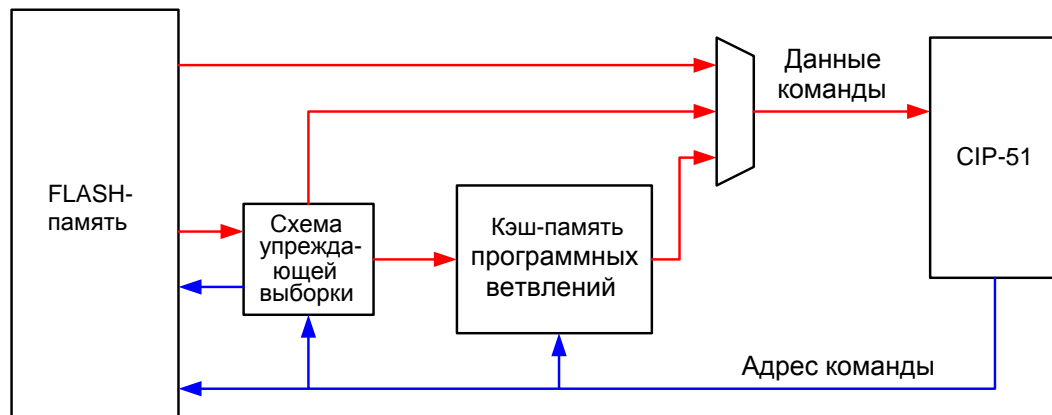
Бит 1: PSEE: Разрешение стирания памяти программ.
 Установка этого бита разрешает стереть целую страницу Flash-памяти программ при условии, что бит PSWE также установлен. После установки этого бита запись во Flash-память с использованием команды MOVX сотрет целую страницу, которая содержит ячейку, адресуемую командой MOVX (значение записываемого байта данных не важно). **Примечание: из программы нельзя стереть страницу Flash-памяти, содержащую байт блокировки чтения и байт блокировки записи/стирания.**
 0: Стирание Flash-памяти программ запрещено.
 1: Стирание Flash-памяти программ разрешено.

Бит 0: PSWE: Разрешение записи памяти программ.
 Установка этого бита разрешает запись байта данных во Flash-память программ, используя команду MOVX. Адресуемая в команде MOVX ячейка памяти должна быть стертой.
 0: Запись во Flash-память программ запрещена. Операции записи MOVX относятся к внешнему ОЗУ.
 1: Запись во Flash-память программ разрешена. Операции записи MOVX относятся к Flash-памяти.

16. КЭШ-ПАМЯТЬ ПРОГРАММНЫХ ВЕТВЛЕНИЙ

МК C8051F12x и C8051F13x содержат 63x4 байт кэш-памяти программных ветвлений и 4-байтный механизм упреждающей выборки. Т.к. время доступа к Flash-памяти составляет 40 нс, а минимальное время выполнения команды равно 10 нс (C8051F120/1/2/3 и C8051F130/1/2/3) или 20 нс (C8051F124/5/6/7), то для выполнения программного кода без задержек необходимы кэш-память программных ветвлений и механизм упреждающей выборки. Механизм упреждающей выборки считывает команды из Flash-памяти по четыре байта за раз и передает их для выполнения процессорному ядру CIP-51. При выполнении линейного кода (т.е. без каких-либо переходов или ветвлений) механизм упреждающей выборки один (без использования кэш-памяти программных ветвлений) обеспечивает выполнение команд без задержек. Если происходит программный переход, то поиск точки перехода (адреса назначения) осуществляется в кэш-памяти. Если адрес точки перехода обнаружен в кэш-памяти (это называется «попаданием кэша»), то данные, относящиеся к команде, считываются из кэш-памяти и немедленно передаются ядру CIP-51 без каких-либо задержек выполнения программного кода. Если адрес точки перехода не обнаружен в кэш-памяти (это называется «промахом кэша»), то процессор может остановиться на время до четырех тактовых циклов, пока следующий набор из четырех команд не будет извлечен из Flash-памяти. Каждый раз, когда происходит «промах кэша», запрашиваемые данные (команды) записываются в кэш-память (если это разрешено текущими настройками кэш-памяти). На рисунке 16.1 показана схема передачи данных при взаимодействии ядра CIP-51, кэш-памяти программных ветвлений и механизма упреждающей выборки.

Рис.16.1. Схема передачи данных кэш-памяти программных ветвлений



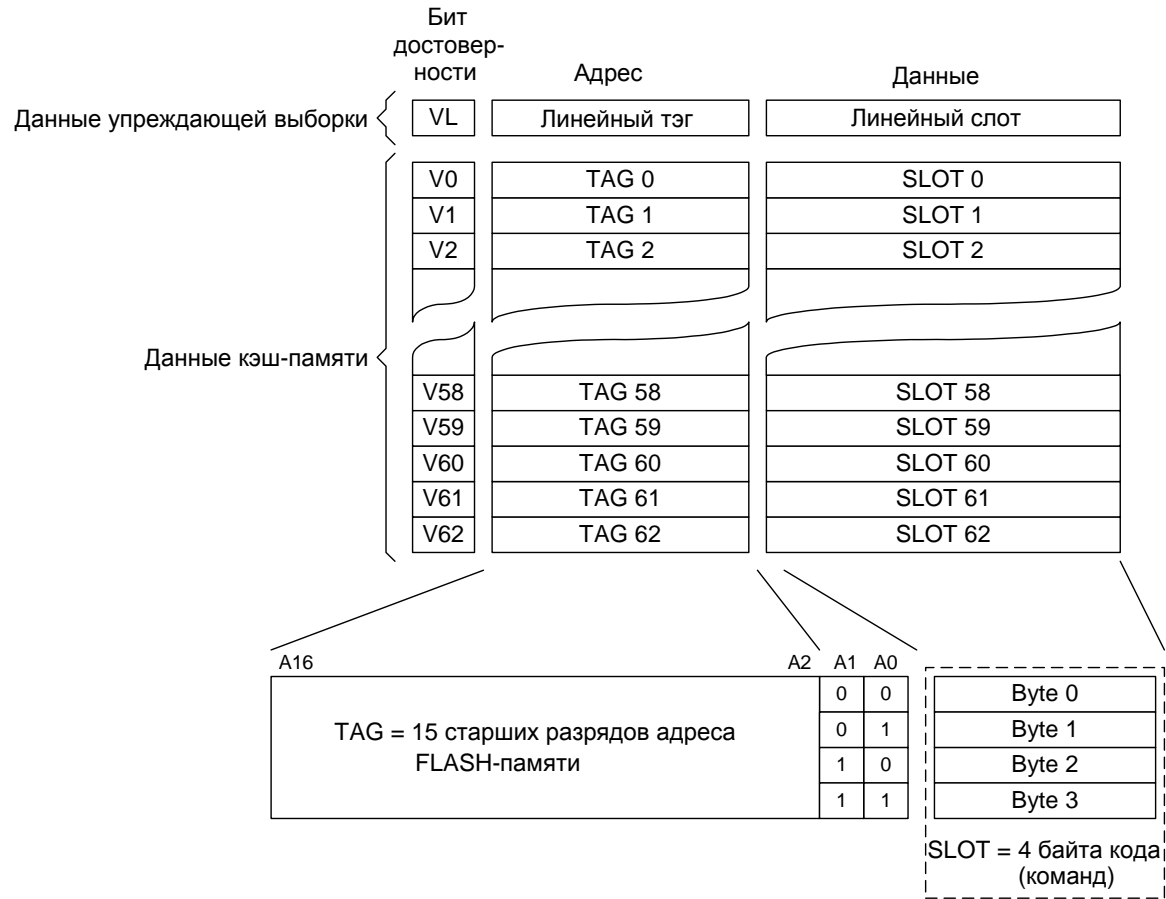
16.1. Кэширование и упреждающая выборка

Кэш-память программных ветвлений содержит два набора ячеек памяти: «слоты» и «тэги». В слотах сохраняются кэшированные данные (команды) из Flash-памяти. Каждый слот содержит четыре последовательных байта кода. Тэг содержит 15 старших разрядов соответствующего адреса Flash-памяти для каждого четырехбайтного слота. Таким образом, данные (команды) всегда кэшируются по четырехбайтным границам пространства памяти программ. Тэг также содержит «бит достоверности», который показывает, содержат ли ячейки памяти достоверные данные (команды). Специальные ячейки кэш-памяти (называемые линейный тэг и линейный слот) зарезервированы для использования механизмом упреждающей выборки. Организация кэш-памяти показана на рисунке 16.2. Каждый раз, когда запрашиваются данные из Flash-памяти, адрес сравнивается со всеми достоверными тэгами кэш-памяти (включая линейный тэг). Если какой-либо из тэгов совпадает с запрашиваемым адресом, то данные из этого слота немедленно передаются ядру CIP-51. Если запрашиваемый адрес совпадает с данными ячейки памяти, которая в текущий момент считывается механизмом упреждающей выборки, то CIP-51 будет остановлен до окончания операции чтения. Если совпадение не обнаружено, то текущая операция упреждающей выборки прерывается и инициируется новая операция упреждающей выборки для запрашиваемых данных (команд). После окончания операции упреждающей выборки CIP-51 начинает выполнять извлеченные команды, а механизм упреждающей выборки начинает считывать из Flash-памяти следующее четырехбайтное слово. Если вновь извлеченные данные соответствуют критериям, необходимым для кэширования, то они будут записаны в кэш-память в слот, указываемый текущим алгоритмом замещения.

Алгоритм замещения выбирается битом выбора алгоритма кэширования CHALGM (CCH0TN.3). Если CHALGM = 0, то для замещения ячеек кэш-памяти будет использоваться алгоритм обратного хода. Алгоритм обратного хода замещает ячейки кэш-памяти в следующем порядке: сначала от начала кэш-памяти к концу,

затем от конца кэш-памяти к началу и т.д. Если CHALGM = 1, то для замещения ячеек кэш-памяти будет использоваться псевдослучайный алгоритм. Псевдослучайный алгоритм определяет ячейку кэш-памяти для замещения псевдослучайным образом. Кэш-память можно очистить программно, установив в 1 бит CHFLUSH (CCH0CN.4).

Рисунок 16.2. Организация кэш-памяти программных ветвлений



16.2. Оптимизация кэширования и упреждающей выборки

По умолчанию кэш-память программных ветвлений настраивается таким образом, чтобы в различных режимах работы обеспечить максимальную скорость исполнения программного кода. Для большинства приложений регистры управления кэш-памятью следует оставить в том состоянии, которое они принимают после сброса. Иногда желательно оптимизировать время выполнения отдельных процедур или критичных (ко времени выполнения) участков программного кода. Кэш-память программных ветвлений можно настроить таким образом, чтобы исключить кэширование данных определенного типа, а также предварительно загружать и блокировать в кэш-памяти адреса программных ветвлений, критичных ко времени выполнения, что позволяет наилучшим образом оптимизировать скорость выполнения программы.

Наиболее важное влияние на функционирование кэш-памяти оказывают биты установки предельного значения счетчика «промахов кэша» CHMSTN (CCH0TN.1-0). Если время остановки процессора (в тактовых

циклах) в течение выполнения операции упреждающей выборки превышает значение, содержащееся в битах CHMSTH, то запрашиваемые данные, как только они станут доступны, будут записываться в кэш-память (кэшироваться). По умолчанию CHMSTH = 0, означая, что каждый раз при остановке процессора вновь извлекаемые данные будут кэшироваться. Если, например, CHMSTH = 2, то любой «промах кэша», вызывающий задержку в 3 или 4 тактовых цикла, будет кэшироваться, а «промах кэша», вызывающий задержку в 1-2 тактовых цикла, не будет кэшироваться.

Можно также исключить кэширование данных (команд) или блоков кода определенного типа. Адрес назначения команд RETI по умолчанию исключен из кэширования. Чтобы разрешить кэширование адреса назначения команд RETI, необходимо установить в 1 бит CHRETI (CCH0CN.3). Чаще всего кэшировать адрес назначения команд RETI нежелательно, кроме случая, когда одна и та же команда должна прерываться повторно (например, программный цикл, который ожидает прерывания). Команды, которые являются частью процедуры обслуживания прерывания (ISR), можно также исключить из кэширования. По умолчанию команды ISR кэшируются, однако это можно запретить сбросом в 0 бита CHISR (CCH0CN.2). Данные, возвращаемые командами MOVC, также можно явно исключить из кэширования. Для этого необходимо сбросить в 0 бит CHMOV (CCH0CN.1). Если кэширование данных, возвращаемых командами MOVC, разрешено, то оно может быть ограничено использованием только слота 0 для данных MOVC (за исключением операций «проталкивания» кэша). Бит CHFIXM (CCH0TN.2) определяет режим кэширования данных в этом случае (см. рис.16.5).

Еще одна функция управления кэш-памятью заключается в запрещении всех операций записи в кэш-память. Запись в кэш-память можно запретить сбросом в 0 бита CHWREN (CCH0CN.7). Даже если обычные операции записи в кэш-память (например, после «промаха кэша») запрещены, данные все же могут быть записаны в кэш-память посредством операции «проталкивания» кэша. Запрещение операций записи в кэш-память можно использовать для защиты не критичных ко времени выполнения участков программы от изменения содержимого кэш-памяти. Следует иметь в виду, что независимо от значения бита CHWREN, операции записи или стирания Flash-памяти автоматически удалят из кэш-памяти изменяемые байты. Также можно по отдельности запретить операции чтения кэш-памяти и функционирование механизма упреждающей выборки. Запрещение операций чтения кэш-памяти приведет к тому, что все команды и относящиеся к ним данные будут извлекаться из Flash-памяти или предоставляться механизмом упреждающей выборки. Для запрещения операций чтения кэш-памяти необходимо сбросить в 0 бит CHRDEN (CCH0CN.6). Следует иметь в виду, что когда операции чтения кэш-памяти запрещены, запись в кэш-память все равно будет происходить (если установлен в 1 бит CHWREN). Бит CHPFEN (CCH0CN.5) управляет разрешением/запрещением функционирования механизма упреждающей выборки. Если CHPFEN = 0, то функционирование механизма упреждающей выборки будет запрещено. Если CHPFEN = 0 и CHRDEN = 0, то программный код будет выполняться с фиксированной скоростью, т.к. команды будут доступны только из Flash-памяти.

Можно также предварительно загружать и блокировать в кэш-памяти адреса программных ветвлений, критичных ко времени выполнения. Например, в системе с ISR, которая должна вызываться как можно быстрее, точку входа (начальный адрес) для этой ISR можно заблокировать в кэш-памяти, что позволяет минимизировать время отклика ISR. За один раз в кэш-памяти можно заблокировать до 61 ячейки. Команды блокируются в кэш-памяти путем разрешения операций «проталкивания» кэша с помощью бита CHPUSH (CCH0LC.7). Если CHPUSH = 1, то команда MOVC будет вызывать запись четырехбайтного сегмента, содержащего байт данных, в слот кэш-памяти, на который указывают биты CHSLOT (CCH0LC.5-0). Затем CHSLOT декрементируется и будет указывать на следующую блокируемую ячейку кэш-памяти. Этот процесс называется операцией «проталкивания» кэша. Ячейки кэш-памяти, расположенные выше CHSLOT, блокируются и не могут быть изменены процессорным ядром (см. рис.16.3). Ячейки кэш-памяти можно разблокировать с помощью операции «выталкивания» кэша. Для выполнения операции «выталкивания» кэша нужно установить в 1 бит CHPOP (CCH0LC.6). При выполнении операции «выталкивания» кэша значение CHSLOT инкрементируется. Эта операция разблокирует большинство недавно заблокированных ячеек кэш-памяти, но не удаляет информацию из кэш-памяти. Следует иметь в виду, что операцию «выталкивания» кэша нельзя инициировать, если CHSLOT = 111110b. Это может отрицательно повлиять на функционирование кэш-памяти. **Важное примечание:** Хотя блокирование ячеек 1 кэш-памяти явным образом аппаратно не запрещено, вся кэш-память будет разблокирована, если CHSLOT = 000000b. Поэтому ячейки 1 и 0 кэш-памяти должны оставаться все время разблокированными.

Рисунок 16.3. Операция блокирования кэш-памяти

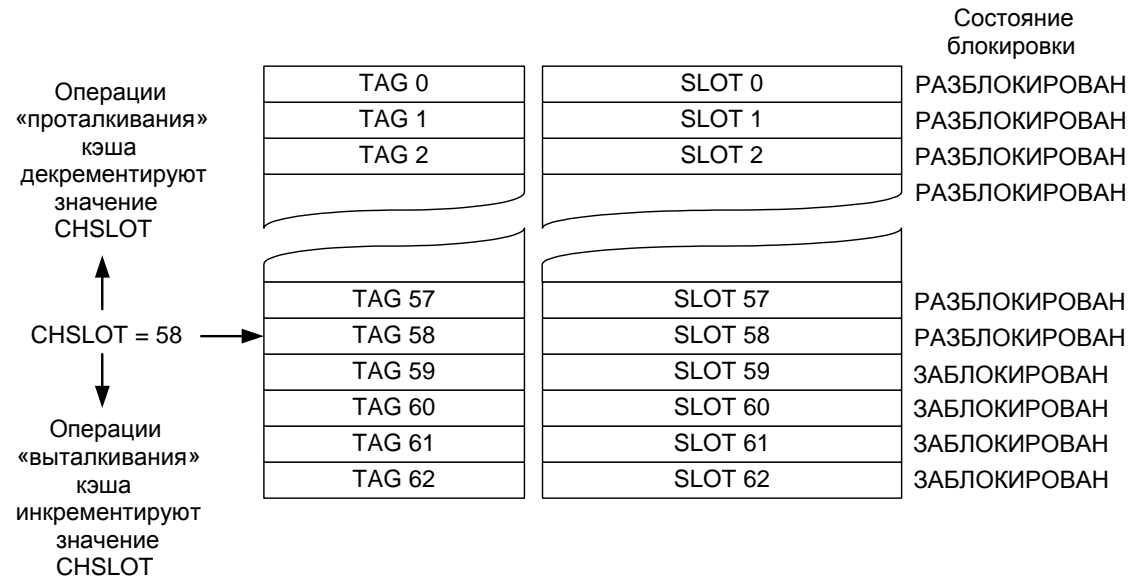


Рисунок 16.4. CCH0CN: Регистр управления кэш-памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CHWREN	CHRDEN	CHPFEN	CHFLSH	CHRETI	CHISR	CHMOVC	CHBLKW	11100110
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA1 SFR страница: F
<p>Бит 7: CHWREN: Разрешение записи кэш-памяти. Этот бит разрешает процессору осуществлять операции записи в кэш-память. 0: Изменение содержимого кэш-памяти запрещено (кроме изменений, осуществляемых в ходе выполнения операций записи/стирания Flash-памяти или при блокировке кэша). 1: Операции записи в кэш-память разрешены.</p> <p>Бит 6: CHRDEN: Разрешение чтения кэш-памяти. Этот бит разрешает процессору считывать команды из кэш-памяти. 0: Все данные (команды) поступают из Flash-памяти или предоставляются механизмом упреждающей выборки. 1: Данные (команды) поступают из кэш-памяти (в случае «попадания» кэша).</p> <p>Бит 5: CHPFEN: Разрешение функционирования механизма упреждающей выборки. Этот бит разрешает/запрещает функционирование механизма упреждающей выборки. 0: Функционирование механизма упреждающей выборки запрещено. 1: Функционирование механизма упреждающей выборки разрешено.</p> <p>Бит 4: CHFLSH: Очистка кэш-памяти. При установке этого бита в 1 содержимое кэш-памяти сбрасывается. Этот бит всегда читается как '0'.</p> <p>Бит 3: CHRETI: Разрешение кэширования адреса назначения команд RETI. Этот бит разрешает/запрещает кэширование адреса назначения команд RETI. 0: Адрес назначения команд RETI не будет кэшироваться. 1: Адрес назначения команд RETI будет кэшироваться.</p> <p>Бит 2: CHISR: Разрешение кэширования команд ISR. Этот бит разрешает/запрещает кэшировать команды, которые являются частью процедуры обслуживания прерывания (ISR). 0: Команды в ISR не будут загружаться в кэш-память. 1: Команды в ISR могут кэшироваться.</p> <p>Бит 1: CHMOVC: Разрешение кэширования данных, возвращаемых командами MOVC. Этот бит разрешает данным, запрашиваемым в команде MOVC, загружаться в кэш-память. 0: Данные, запрашиваемые командами MOVC, не будут кэшироваться. 1: Данные, запрашиваемые командами MOVC, будут загружаться в кэш-память.</p> <p>Бит 0: CHBLKW: Разрешение записи блока. Этот бит разрешает осуществлять операции блочной записи во Flash-память из программы пользователя. 0: Каждый байт программной операции записи во Flash-память записывается по отдельности. 1: Байты во Flash-память записываются группами по четыре (для операций записи в область памяти программ) или по два (для операций записи в область СОЗУ) байта.</p>								

Рисунок 16.5. CCH0TN: Регистр настройки кэш-памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CHMSCTL				CHALGM	CHFIXM	CHMSTH		00000100
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA2 SFR страница: F

Бит 7: CHMSCTL: Аккумулятор «промахов» кэша (биты 4-1).
Эти биты представляют собой разряды 4-1 аккумулятора «промахов» кэша. Чтобы прочитать эти биты, необходимо сначала зафиксировать их в регистре-защелке путем чтения битов CHMSTH регистра CCH0MA (см. рис.16.7).

Бит 3: CHALGM: Выбор алгоритма кэширования.
Этот бит выбирает алгоритм замещения данных в кэш-памяти.
0: Для замещения данных в кэш-памяти используется алгоритм обратного хода.
1: Для замещения данных в кэш-памяти используется псевдослучайный алгоритм.

Бит 2: CHFIXM: Режим кэширования данных, возвращаемых командами MOVC.
Этот бит разрешает/запрещает кэшировать команды, которые являются частью процедуры обслуживания прерывания (ISR).
0: Команды в ISR не будут загружаться в кэш-память.
1: Команды в ISR могут кэшироваться.

Бит 1: CHMOVC: Разрешение кэширования данных, возвращаемых командами MOVC.
Установка этого бита разрешает использовать для кэширования данных, запрашиваемых в команде MOVC, только слот 0.
0: Данные, запрашиваемые командами MOVC, будут кэшироваться в соответствии с текущим алгоритмом кэширования, выбранным битом CHALGM..
1: Данные, запрашиваемые командами MOVC, будут всегда кэшироваться в слот 0.

Бит 0: CHMSTH: Предельное значение счетчика «промахов» кэша.
Этот бит определяет, когда будут кэшироваться пропущенные данные (команды).
Если для получения данных требуется больше тактовых циклов, чем определено битами CHMSTH, то эти данные будут кэшироваться.

Рисунок 16.6. CCH0LC: Регистр управления блокировкой кэш-памяти

R/W	R/W	R	R	R	R	R	R	Значение при сбросе:
CHPUSH	CHPOP	CHSLOT						00111110
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA3 SFR страница: F

Бит 7: CHPUSH: Разрешение «проталкивания» кэша.
Этот бит разрешает операции «проталкивания» кэша, которые с помощью команд MOVC будут блокировать информацию в слотах кэш-памяти.
0: Операции «проталкивания» кэша запрещены.
1: Операции «проталкивания» кэша разрешены. Если выполняется команда чтения MOVC, то запрашиваемый 4-байтный сегмент, содержащий данные, блокируется в кэш-памяти в слоте, на который указывают биты CHSLOT, после чего CHSLOT декрементируется.
Необходимо иметь в виду, что не следует блокировать более 61 слота кэш-памяти за один раз, т.к. при CHSLOT = 0 вся кэш-память будет разблокирована.

Бит 6: CHPOP: «Выталкивание» кэша.
Установка этого бита в 1 приведет к инкременту CHSLOT и затем к разблокировке этой ячейки. Этот бит всегда читается как '0'. Необходимо иметь в виду, что не следует выполнять операции «выталкивания» кэша при CHSLOT = 111110b. «Выталкивание» большего числа слотов кэш-памяти, чем было «протолкнуто», может отрицательно повлиять на функционирование кэш-памяти.

Биты 5-0: CHSLOT: Счетчик слотов кэш-памяти.
Эти биты, предназначенные только для чтения, представляют собой счетчик стека блокировки кэш-памяти. Ячейки кэш-памяти, расположенные выше CHSLOT, блокируются, и не будут изменяться процессором, за исключением случая, когда CHSLOT = 0.

Рисунок 16.7. CCH0MA: Аккумулятор промахов кэша

R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CHMSOV	CHMSCTH							00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9A SFR страница: F

Бит 7: CHMSOV: Переполнение аккумулятора «промахов» кэша.
Этот бит устанавливается в 1 при переполнении аккумулятора «промахов» кэша, возникшем после его последней записи.
0: После последней записи аккумулятора «промахов» кэша он не переполнился.
1: Произошло переполнение аккумулятора «промахов» кэша после его последней записи.

Бит 7: CHMSCTH: Аккумулятор «промахов» кэша (биты 11-5).
Эти биты представляют собой разряды 11-5 аккумулятора «промахов» кэша. Следующие разряды (4-1) сохраняются в битах CHMSCTL регистра CCH0TN.
Аккумулятор «промахов» кэша инкрементируется каждый тактовый цикл, при котором процессор остановлен из-за «промаха» кэша. Аккумулятор «промахов» кэша используется в основном как диагностическая функция при оптимизации скорости выполнения программы.
Запись CHMSCTH сбросит младшие 5 бит аккумулятора «промахов» кэша.
Чтение CHMSCTH возвратит текущее значение CHMSCTH и зафиксирует значение бит 4-1 в CHMSCTL, обеспечивая возможность их дальнейшего считывания. Т.к. бит 0 аккумулятора «промахов» кэша недоступен, то совокупное количество «промахов» кэша равно $2 * (CHMSCTH:VHMSCTL)$.

Рисунок 16.8. FLSTAT: Регистр состояния Flash-памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	-	-	-	-	FLBUSY	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x88 SFR страница: F

Биты 7-1: Зарезервированы.

Бит 0: FLBUSY: Бит занятости контроллера Flash-памяти.
Этот бит показывает, когда осуществляются операции записи или стирания Flash-памяти.
0: Flash-память не используется или осуществляется чтение Flash-памяти.
1: В текущий момент осуществляются операции записи/стирания Flash-памяти.

17. ИНТЕРФЕЙС ВНЕШНЕЙ ПАМЯТИ ДАННЫХ И ВСТРОЕННАЯ ПАМЯТЬ XRAM.

МК содержат 8 Кбайт встроенного ОЗУ, отображенные в пространстве внешней памяти данных (XRAM). Кроме этого МК содержат интерфейс внешней памяти данных (external memory interface – EMIF), который может использоваться для доступа к внешней (не встроенной) памяти и отображенным на память устройствам, присоединенным к портам ввода/вывода общего назначения. Доступ к пространству внешней памяти осуществляется либо с использованием команды MOVX и указателя данных DPTR, либо с использованием команды MOVX с косвенным режимом адресации (используя регистры R0 и R1). Если команда MOVX используется с 8-битным операндом адреса (например, @R1), то старший байт 16-битного адреса берется из регистра управления интерфейсом внешней памяти EMI0CN (см. рис.17.1). **Примечание: команда MOVX также используется для записи во Flash-память (см. раздел 15). По умолчанию команда MOVX обращается к памяти XRAM.** EMIF можно настроить таким образом, чтобы сигналы адреса/данных/управления появлялись либо на младших портах ввода/вывода (P0 – P3), либо на старших портах ввода/вывода (P4 – P7).

17.1. Доступ к памяти XRAM

Для доступа к пространству памяти XRAM (как внутренней, так и внешней) используется команда MOVX. Команда MOVX имеет две формы, причем обе используют косвенный режим адресации. В первой форме используется 16-разрядный указатель данных (DPTR), содержащий полный адрес ячейки памяти XRAM, которую требуется прочитать или записать. Во второй форме для получения полного адреса ячейки памяти XRAM используются регистры R0 или R1 в комбинации с регистром EMI0CN. Ниже приведены примеры использования команды MOVX в обоих формах.

17.1.1. Пример использования команды MOVX с 16-разрядным адресом

Команда MOVX в 16-разрядной форме обращается к ячейке памяти, на которую указывает содержимое регистра DPTR. Следующая последовательность команд осуществляет чтение байта по адресу 0x1234 в аккумулятор A:

```
MOV    DPTR, #1234h ; загрузка в DPTR 16-разрядного адреса 0x1234
MOVBX  A, @DPTR     ; загрузка содержимого ячейки памяти с адресом 0x1234 в аккумулятор A
```

В приведенном выше примере регистр DPTR загружается сразу 16-разрядным значением адреса (используя команду MOV). Кроме этого, к регистру DPTR можно обращаться через SFR регистры DPH, который содержит старшие 8 бит DPTR, и DPL, который содержит младшие 8 бит DPTR.

17.1.2. Пример использования команды MOVX с 8-разрядным адресом

Команда MOVX в 8-разрядной форме использует содержимое регистра EMI0CN, чтобы определить старшие 8 бит полного адреса, по которому происходит обращение, и содержимое регистров R0 или R1, чтобы определить младшие 8 бит полного адреса. Следующая последовательность команд осуществляет чтение байта по адресу 0x1234 в аккумулятор A:

```
MOV    EMI0CN, #12h ; загрузка старшего байта адреса в регистр EMI0CN
MOV    R0, #34h     ; загрузка младшего байта адреса в регистр R0 (или R1)
MOVBX  A, @R0       ; загрузка содержимого ячейки памяти с адресом 0x1234 в аккумулятор A
```

17.2. Настройка интерфейса внешней памяти

Настройка интерфейса внешней памяти состоит из следующих этапов:

1. Выбор связанных с EMIF портов: младшие (P3, P2, P1 и P0) или старшие (P7, P6, P5 и P4) порты.
2. Настроить выходные драйверы выводов портов как двухтактные выходы или выходы с открытым стоком (обычно используется режим двухтактных цифровых выходов).
3. Настроить выходные защелки портов таким образом, чтобы перевести выходы в доминантное состояние (обычно для этого требуется установить на выводах напряжение высокого логического уровня).
4. Выбрать режим работы EMIF: мультиплексированный или не мультиплексированный.
5. Выбрать режим доступа к памяти:
 - 1) доступ только к внутренней памяти;
 - 2) отдельный доступ без выбора банка;

- 3) отдельный доступ с выбором банка;
 - 4) доступ только к внешней памяти.
6. Настройка временных параметров EMIF в соответствии с динамическими характеристиками внешней памяти или внешних периферийных модулей.

Каждый из этих этапов подробно описывается в следующих разделах. Бит выбора связанных с EMIF портов, биты выбора режима работы и режима доступа к памяти находятся в регистре EMIOCF (см. рис.17.2).

17.3. Выбор и настройка портов

Для сигналов адреса/данных/управления EMIF могут использоваться порты P0 – P3 (все МК) или порты P4 - P7 (только МК в 100-выводном корпусе типа TQFP) , в зависимости от состояния бита PRTSEL (EMIOCF.5). Если выбраны младшие порты, то бит EMIFLE (XBR2.1) должен быть установлен в 1, тогда коммутирующая матрица будет пропускать при назначении выводов сигналы P0.7 (/WR), P0.6 (/RD) и, если выбран мультиплексированный режим работы, P0.5 (/ALE). Подробная информация о настройке коммутирующей матрицы приведена в разделе 18.1.

Интерфейсу внешней памяти EMIF для операций с памятью требуются выходы связанных с ним портов только в течение выполнения команды MOVX, обращающейся к внешней памяти. Как только команда MOVX завершается, управление возвращается защелкам портов или матрице (P3, P2, P1 и P0). Подробная информация о работе и настройке портов приведена в разделе 18. **Защелки портов следует явно настроить таким образом, чтобы перевести выходы EMIF в доминантное состояние. В большинстве случаев для этого необходимо установить на них напряжение высокого логического уровня.**

Во время выполнения команды MOVX интерфейс внешней памяти явным образом отключит драйверы на всех выводах портов, которые работают как входы (например, Data[7:0] во время операции чтения). Функционирование EMIF не влияет на режим работы выходных драйверов выводов портов (являются ли они выходами с открытым стоком или двухтактными), который определяется регистрами PnMDOUT. В большинстве случаев выходные драйверы всех выводов EMIF должны работать в режиме цифровых двухтактных выходов. Подробная информация о настройке выходов портов приведена в разделе 18.

Рисунок 17.1. EMI0CN: Регистр управления интерфейсом внешней памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
PGSEL7	PGSEL6	PGSEL5	PGSEL4	PGSEL3	PGSEL2	PGSEL1	PGSEL0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA2 SFR страница: 0

Биты 7-0: PGSEL[7:0]: Биты выбора страницы XRAM

Биты выбора страницы XRAM образуют старший байт 16-битного адреса внешней памяти данных при использовании команды MOVX с 8-битным адресом, задавая таким образом необходимую 256-байтную страницу ОЗУ.

0x00: 0x0000 – 0x00FF
0x01: 0x0100 – 0x01FF
...
0xFE: 0xFE00 – 0xFEFF
0xFF: 0xFF00 – 0xFFFF

Рисунок 17.2. EMIOCF: Регистр конфигурации внешней памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	PRTSEL	EMD2	EMD1	EMD0	EALE1	EALE0	00000011
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA3 SFR страница: 0

Биты 7-6: Не используются. Читаются как 00b. Запись не оказывает никакого влияния.

Бит 5: PRTSEL: Бит выбора портов, связанных с EMIF.
0: Сигналы EMIF появляются на портах P3 – P0.
1: Сигналы EMIF появляются на портах P4 – P7.

Бит 4: EMD2: Бит выбора режима работы EMIF (мультиплексированный/немультиплексированный).
0: EMIF работает в мультиплексированном режиме адреса/данных.
1: EMIF работает в немultipлексированном режиме (отдельные выходы для адресов и данных).

Биты 3-2: EMD1-0: Биты выбора режима доступа к памяти.
Эти биты определяют, какая память будет доступна через интерфейс внешней памяти.
00: Доступ только ко внутренней памяти: команда MOVX обращается только к встроенной памяти XRAM. Все действительные адреса указывают на пространство встроенной памяти.
01: Раздельный доступ без выбора банка: Адреса до 8-Кбайтной границы указывают на пространство встроенной памяти. Адреса свыше 8-Кбайтной границы указывают на пространство внешней памяти. Команда MOVX в 8-разрядной форме, обращающаяся к внешней памяти, использует текущее содержимое защелок старшего порта адреса в качестве старшего байта адреса. Следует иметь в виду, что для доступа к внешнему пространству памяти регистр EMIOCN должен указывать на страницу, которая не содержится в пространстве встроенной памяти.
10: Раздельный доступ с выбором банка: Адреса до 8-Кбайтной границы указывают на пространство встроенной памяти. Адреса свыше 8-Кбайтной границы указывают на пространство внешней памяти. Команда MOVX в 8-разрядной форме, обращающаяся к внешней памяти, использует содержимое регистра EMIOCN, чтобы определить старший байт адреса.
11: Доступ только к внешней памяти: команда MOVX обращается только к внешней памяти XRAM. Встроенная память XRAM не видима для процессорного ядра.

Биты 1-0: EALE1-0: Биты выбора ширины импульса ALE (действуют только тогда, когда EMD2 = 0).
00: T_{ALEH} = T_{ALEL} = 1 период SYSCLK.
01: T_{ALEH} = T_{ALEL} = 2 периода SYSCLK.
10: T_{ALEH} = T_{ALEL} = 3 периода SYSCLK.
11: T_{ALEH} = T_{ALEL} = 4 периода SYSCLK.

17.4. Мультиплексированный и не мультиплексированный режимы работы

EMIF может работать в мультиплексированном или немультимплексированном режимах работы, в зависимости от состояния бита EMD2 (EMI0CF.4).

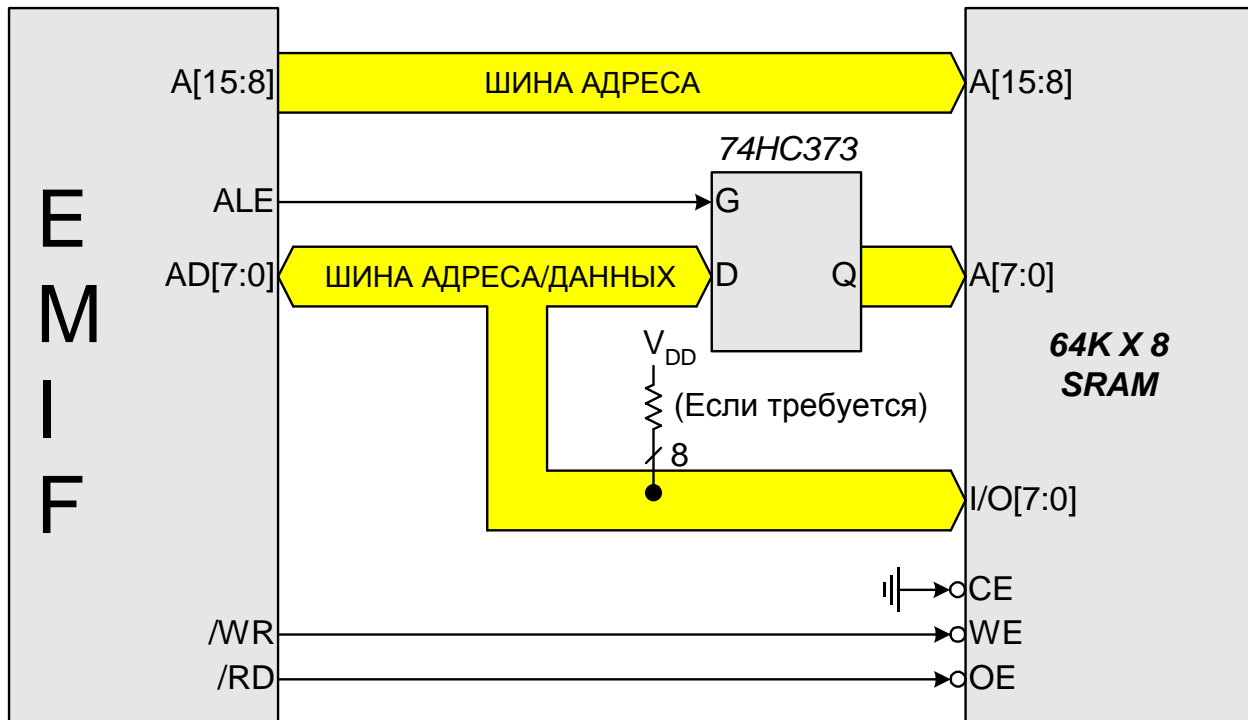
17.4.1. Мультиплексированный режим

В мультиплексированном режиме шина данных и младшие 8 бит шины адреса разделяют одни и те же выводы порта: AD[7:0]. В этом режиме для хранения младших 8 разрядов адреса ОЗУ используется внешний регистр-защелка (74HC373 или подобный). Этот внешний регистр-защелка управляется сигналом ALE, который обеспечивает логика интерфейса внешней памяти. Пример конфигурации с мультиплексированной шиной адреса/данных приведен на рис.17.3.

В мультиплексированном режиме выполнение команды MOVX, обращающейся к внешней памяти, разбивается на две фазы, определяемые состоянием сигнала ALE. В течение первой фазы сигнал ALE имеет высокий уровень, а на выходы AD[7:0] выведены 8 младших разрядов шины адреса. В течение этой фазы регистр-защелка адреса функционирует таким образом, что выходы 'Q' отражают состояние входов 'D'. Когда сигнал ALE сбрасывается в 0, что сигнализирует о начале второй фазы, выходы регистра-защелки адреса фиксируются и более не зависят от уровней сигналов на входах регистра-защелки. Позднее во время второй фазы, когда на выводах AD[7:0] присутствуют сигналы шины данных, появляются сигналы /RD или /WR.

Более подробная информация приведена в разделе 17.6.2.

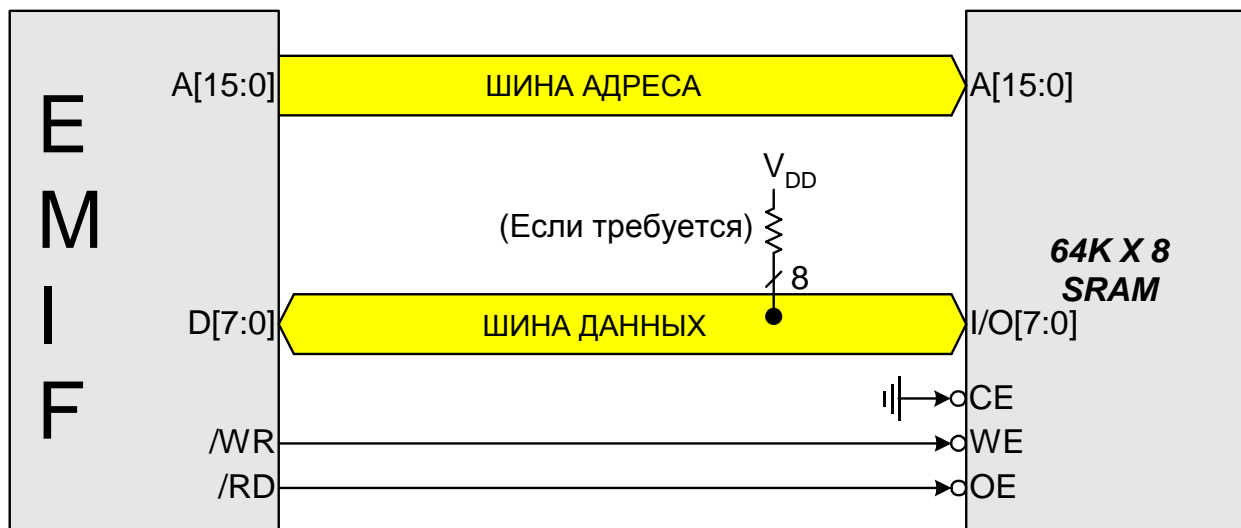
Рисунок 17.3. Пример конфигурации с мультиплексированной шиной адреса/данных



17.4.2. Немультимплексированный режим

В немультимплексированном режиме для шины адреса и шины данных используются отдельные выводы. Пример конфигурации с немультимплексированной шиной адреса/данных приведен на рис.17.4. Более подробная информация о немультимплексированном режиме приведена в разделе 17.6.1.

Рисунок 17.4. Пример конфигурации с немультимплексированной шиной адреса/данных



17.5. Выбор режима доступа к памяти

Пространство внешней памяти данных можно настроить на один из четырех режимов доступа (см. рис.17.5), для чего используются биты EMD1-0 регистра EMI0CF (см. рис.17.2). Описание этих режимов приводится ниже. Дополнительную информацию о различных режимах работы можно найти в разделе 17.6.

17.5.1. Режим доступа только к внутренней памяти XRAM

Когда EMI0CF[3:2] = '00', все команды MOVX будут обращаться к адресному пространству внутренней памяти XRAM микроконтроллера. Все адреса за пределами занятого адресного пространства будут указывать на ячейки из первой 8-Кбайтной области памяти. Например, адреса 0x2000 и 0x4000 указывают на ячейку с адресом 0x0000 встроенной памяти XRAM.

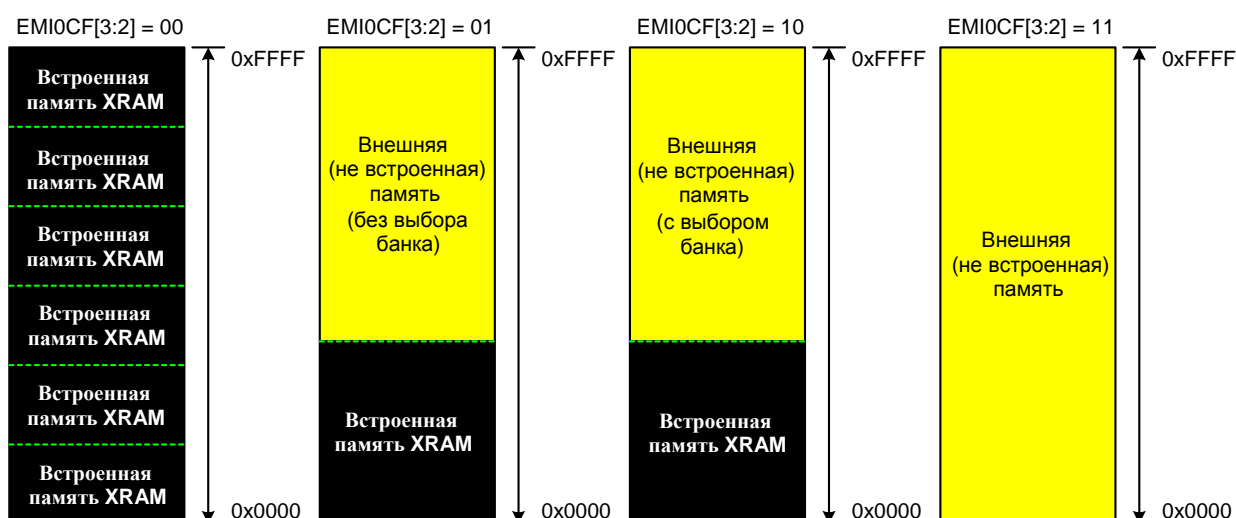
- Команда MOVX в 8-разрядной форме использует содержимое регистра EMI0CN для определения старшего байта полного адреса и регистры R0 или R1 для определения младшего байта полного адреса.
- Команда MOVX в 16-разрядной форме для определения полного адреса использует содержимое 16-разрядного указателя данных DPTR.

17.5.2. Режим раздельного доступа без выбора банка

Когда EMI0CF[3:2] = '01', пространство памяти XRAM делится на две области: пространство встроенной памяти и пространство внешней памяти.

- Адреса, расположенные ниже 8-Кбайтной границы, будут указывать на пространство встроенной памяти XRAM.
- Адреса, расположенные выше 8-Кбайтной границы будут, указывать на пространство внешней памяти.
- При использовании команды MOVX в 8-разрядной форме содержимое регистра EMI0CN определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. Однако, в режиме «без выбора банка», при обращении к внешней памяти посредством команды MOVX в 8-разрядной форме старшие 8 разрядов A[15:8] шины адреса не будут выдаваться на внешние выводы. Это позволяет пользователю манипулировать старшими битами адреса как угодно, непосредственно устанавливая состояние порта с помощью выходных защелок порта. Такое поведение отличает данный режим от описанного ниже режима раздельного доступа с выбором банка. Значения младших 8 разрядов шины адреса A[7:0] определяются содержимым регистров R0 или R1.
- При использовании команды MOVX в 16-разрядной форме содержимое регистра указателя данных DPTR определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. В этом случае, в отличие от команды MOVX в 8-разрядной форме, при обращении к внешней памяти на внешние выводы выдаются все 16 разрядов A[15:0] шины адреса.

Рисунок 17.5. Режимы работы интерфейса внешней памяти



17.5.3. Режим раздельного доступа с выбором банка

Когда $EMI0CF.[3:2] = '10'$, пространство памяти XRAM делится на две области: пространство встроенной памяти и пространство внешней памяти.

- Адреса, расположенные ниже 8-Кбайтной границы, будут указывать на пространство встроенной памяти XRAM.
- Адреса, расположенные выше 8-Кбайтной границы будут, указывать на пространство внешней памяти.
- При использовании команды MOVX в 8-разрядной форме содержимое регистра EMI0CN определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. Значения старших 8 разрядов $A[15:8]$ шины адреса определяются содержимым регистра EMI0CN, а значения младших 8 разрядов $A[7:0]$ шины адреса определяются содержимым регистров R0 или R1. В режиме «с выбором банка» все 16 разрядов $A[15:0]$ шины адреса выдаются на внешние выводы.
- При использовании команды MOVX в 16-разрядной форме содержимое регистра указателя данных DPTR определяет, осуществляется ли доступ к встроенной памяти или к внешней памяти. В этом случае при обращении к внешней памяти на внешние выводы выдаются все 16 разрядов $A[15:0]$ шины адреса.

17.5.4. Режим доступа только к внешней памяти XRAM

Когда $EMI0CF.[3:2] = '11'$, все команды MOVX будут обращаться к адресному пространству внешней памяти XRAM микроконтроллера. Встроенная память XRAM невидима для процессорного ядра. Этот режим полезен при обращении к внешней памяти, расположенной в первой 8-Кбайтной области адресного пространства ($0x0000 - 0x1FFF$).

- Команды MOVX в 8-разрядной форме игнорируют содержимое регистра EMI0CN. Старшие биты адреса $A[15:8]$ не выдаются на внешние выводы (так же, как при обращении к внешней памяти в режиме раздельного доступа без выбора банка, описанном выше). Это позволяет пользователю манипулировать старшими битами адреса как угодно, непосредственно устанавливая состояние порта. Значения младших 8 разрядов $A[7:0]$ полного адреса определяются содержимым регистров R0 или R1.
- Команда MOVX в 16-разрядной форме для определения полного адреса $A[15:0]$ использует содержимое 16-разрядного указателя данных DPTR. При обращении к внешней памяти на внешние выводы выдаются все 16 разрядов $A[15:0]$ шины адреса.

17.6. Тактирование и динамические параметры

Временные параметры интерфейса внешней памяти можно программировать, что позволяет подключаться к устройствам, предъявляющим различные требования ко времени установки и удержания сигналов. Время установки адреса, время удержания адреса, ширину импульсов стробирования /RD и /WR, а также (в мультиплексированном режиме) ширину импульса ALE можно программировать. Длительность всех этих параметров задается в периодах системного тактового сигнала SYSCLK. Для настройки используются регистр EMI0TC (см. рис.17.6) и биты EALE1-0 регистра EMI0CF.

Время выполнения команды MOVX, обращающейся к внешней памяти, можно вычислить, добавив 4 цикла SYSCLK к значениям временных параметров, определяемым в регистре EMI0TC. Для немultipлексированного режима работы минимальное время выполнения операции обращения к внешней памяти XRAM составляет 5 циклов SYSCLK (1 SYSCLK для импульса /RD или /WR + 4 SYSCLKs). Для мультиплексированного режима работы сигнал ALE будет требовать как минимум 2 дополнительных цикла SYSCLK. Поэтому, для мультиплексированного режима работы минимальное время выполнения операции обращения к внешней памяти XRAM составляет 7 циклов SYSCLK (2 SYSCLK для ALE + 1 SYSCLK для импульса /RD или /WR + 4 SYSCLKs). После сброса для программируемых временных параметров устанавливаются по умолчанию максимальные задержки. В таблице 17.1 приведены временные параметры интерфейса внешней памяти, на рисунках 17.7 – 17.12 приведены временные диаграммы для различных режимов работы EMIF и различных форм команды MOVX.

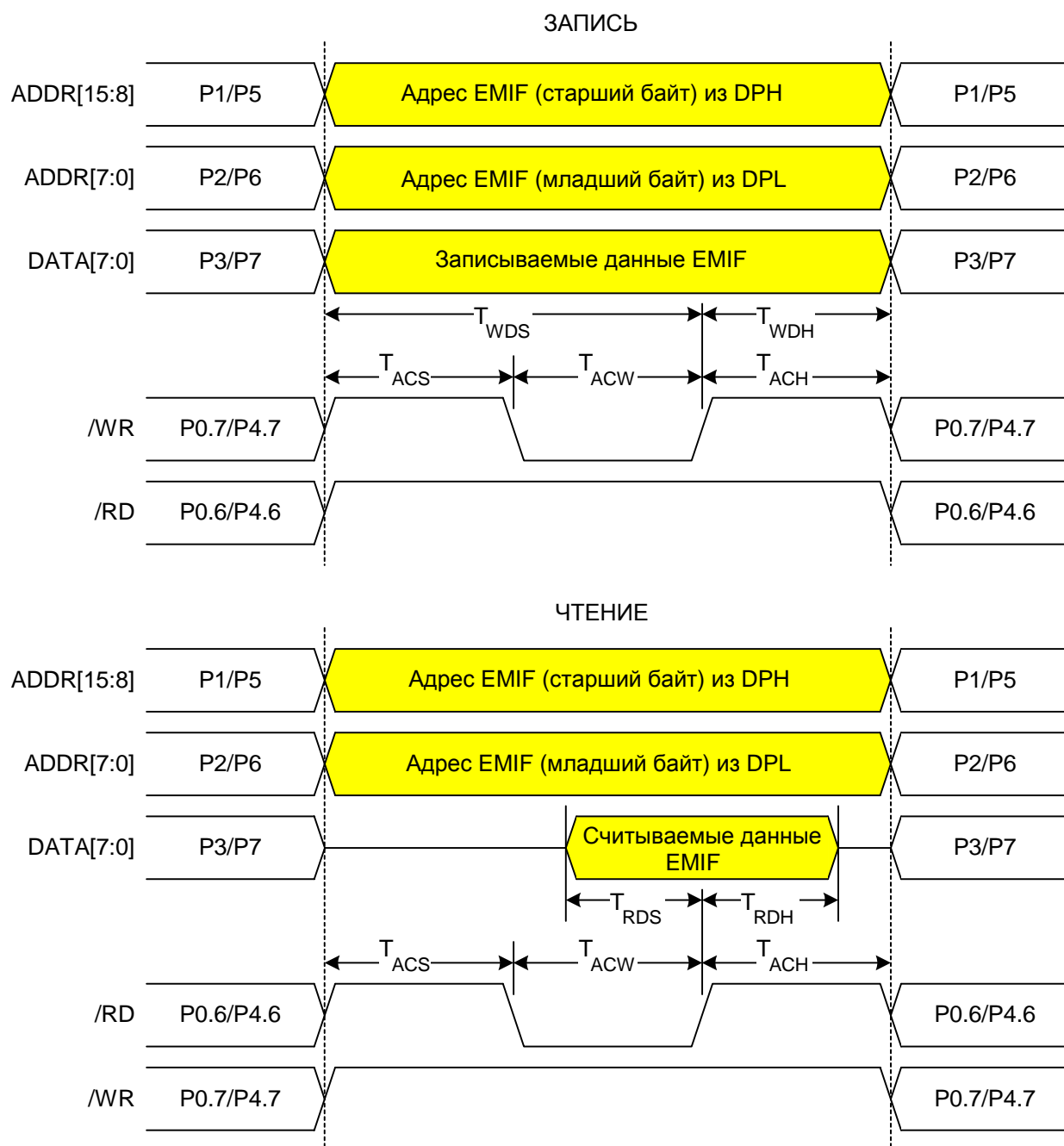
Рисунок 17.6. EMI0TC: Регистр управления временными параметрами интерфейса внешней памяти

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 11111111 SFR Адрес: 0xA1 SFR страница: 0
EAS1	EAS0	EWR3	EWR2	EWR1	EWR0	EAH1	EAH0	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
Биты 7-6: EAS1-0: Биты настройки времени установки адреса EMIF.								
00: Время установки адреса = 0 циклов SYSCLK								
01: Время установки адреса = 1 цикл SYSCLK								
10: Время установки адреса = 2 цикла SYSCLK								
11: Время установки адреса = 3 цикла SYSCLK								
Биты 5-2: EWR3-0: Биты управления шириной импульсов /RD и /WR EMIF.								
0000: Ширина импульсов /RD и /WR = 1 цикл SYSCLK								
0001: Ширина импульсов /RD и /WR = 2 цикла SYSCLK								
0010: Ширина импульсов /RD и /WR = 3 цикла SYSCLK								
0011: Ширина импульсов /RD и /WR = 4 цикла SYSCLK								
0100: Ширина импульсов /RD и /WR = 5 циклов SYSCLK								
0101: Ширина импульсов /RD и /WR = 6 циклов SYSCLK								
0110: Ширина импульсов /RD и /WR = 7 циклов SYSCLK								
0111: Ширина импульсов /RD и /WR = 8 циклов SYSCLK								
1000: Ширина импульсов /RD и /WR = 9 циклов SYSCLK								
1001: Ширина импульсов /RD и /WR = 10 циклов SYSCLK								
1010: Ширина импульсов /RD и /WR = 11 циклов SYSCLK								
1011: Ширина импульсов /RD и /WR = 12 циклов SYSCLK								
1100: Ширина импульсов /RD и /WR = 13 циклов SYSCLK								
1101: Ширина импульсов /RD и /WR = 14 циклов SYSCLK								
1110: Ширина импульсов /RD и /WR = 15 циклов SYSCLK								
1111: Ширина импульсов /RD и /WR = 16 циклов SYSCLK								
Биты 1-0: EAH1-0: Биты настройки времени удержания адреса EMIF.								
00: Время удержания адреса = 0 циклов SYSCLK								
01: Время удержания адреса = 1 цикл SYSCLK								
10: Время удержания адреса = 2 цикла SYSCLK								
11: Время удержания адреса = 3 цикла SYSCLK								

17.6.1. Не мультиплексированный режим

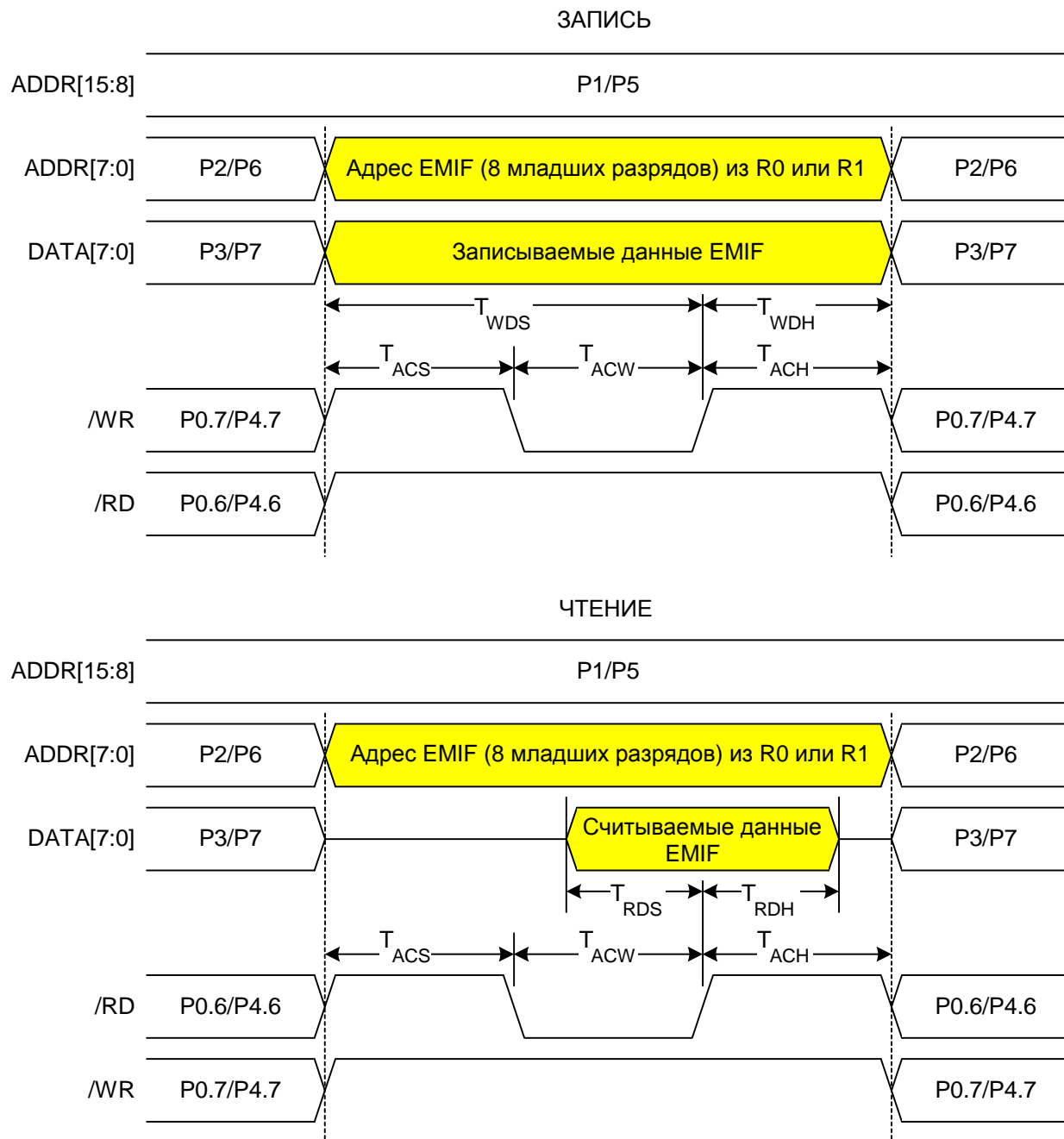
17.6.1.1. 16-разр. MOVX: EMI0CF[4:2] = '101', '110', или '111'

Рисунок 17.7. Временные параметры интерфейса внешней памяти
(не мультиплексированный режим, 16-разр. MOVX)



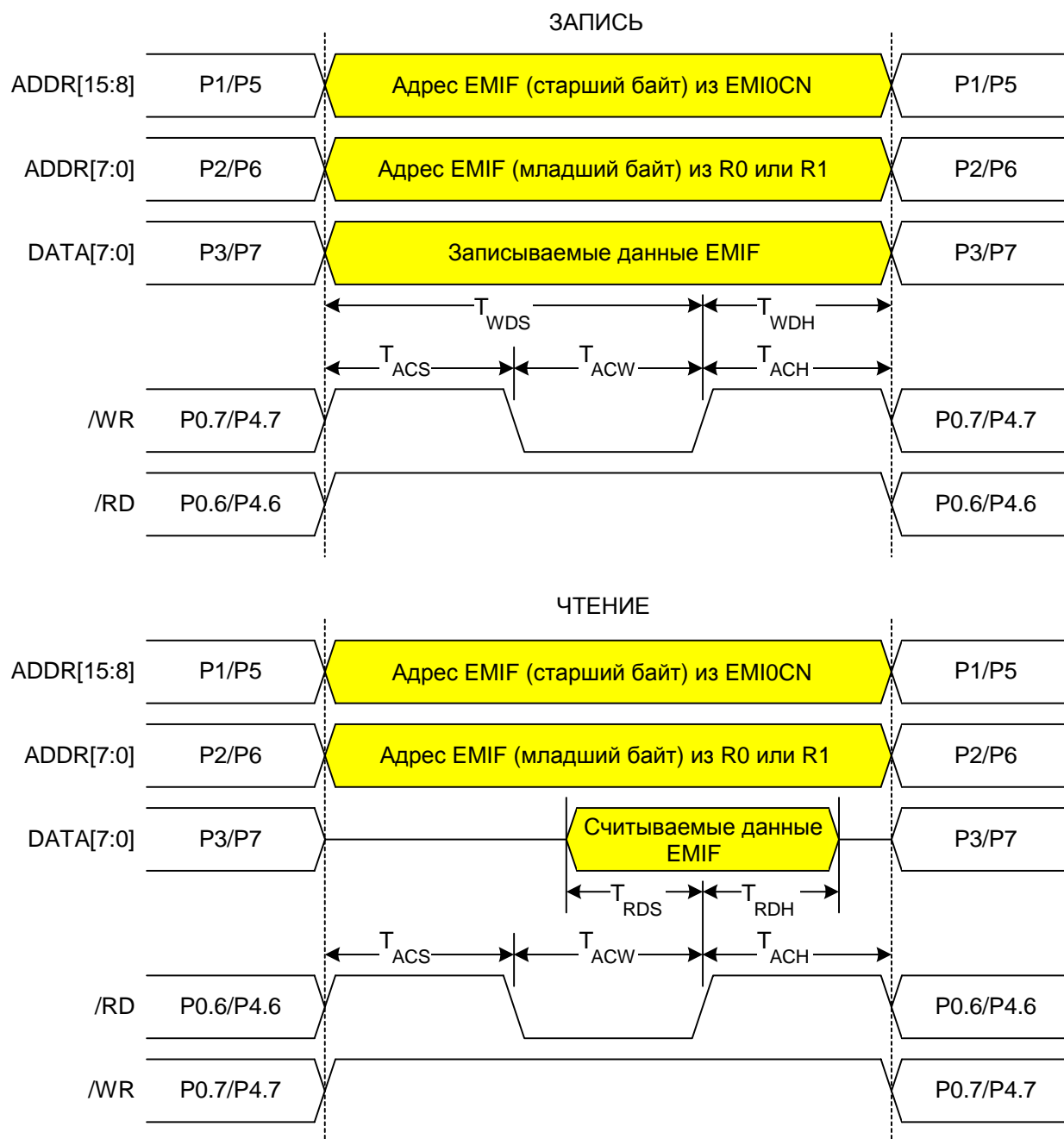
17.6.1.2. 8-разр. MOVX без выбора банка: EMI0CF[4:2] = '101' или '111'

Рисунок 17.8. Временные параметры интерфейса внешней памяти
(не мультиплексированный режим, 8-разр. MOVX без выбора банка)



17.6.1.3. 8-разр. MOVX с выбором банка: EMI0CF[4:2] = '110'

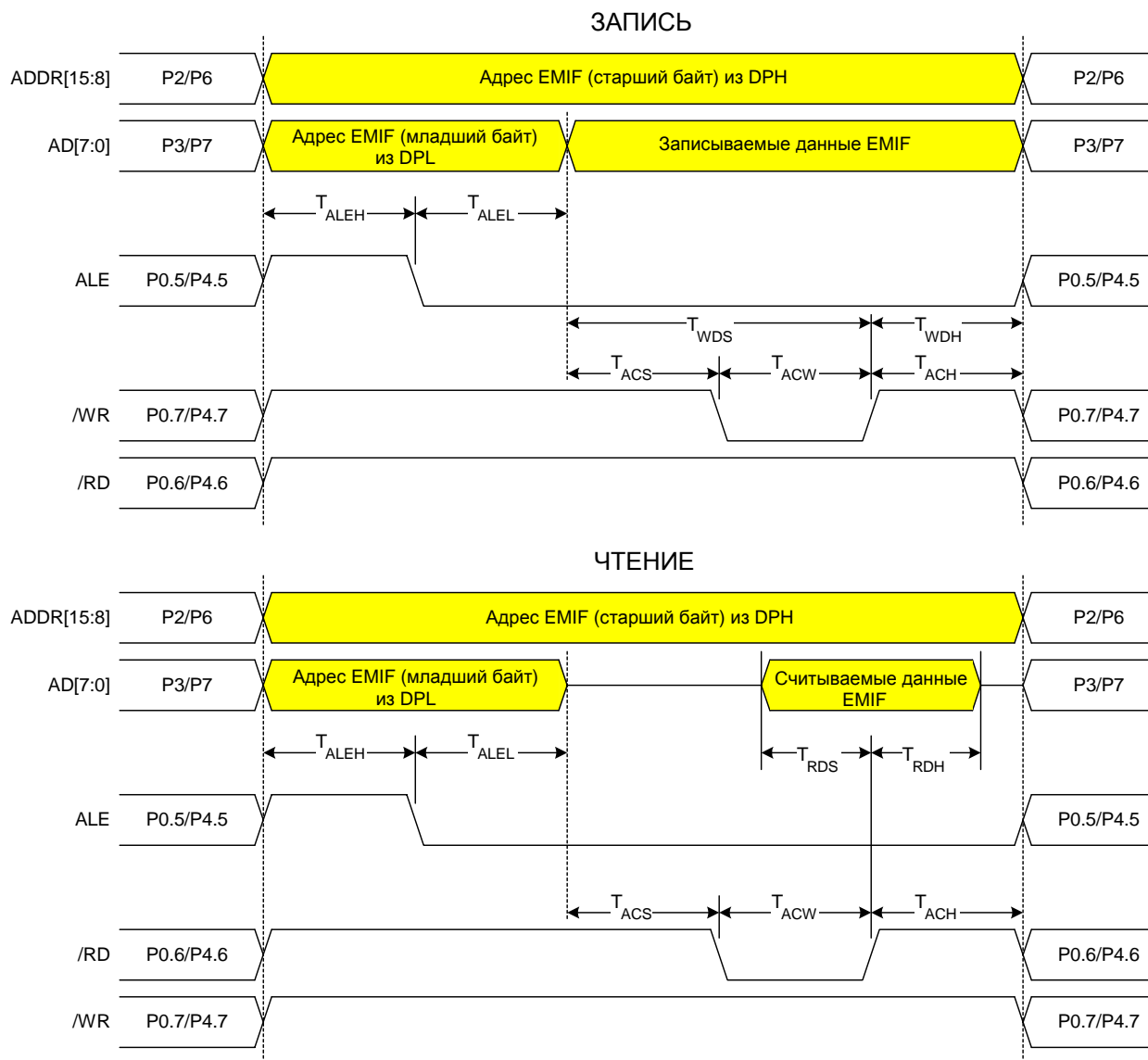
Рисунок 17.9. Временные параметры интерфейса внешней памяти
(не мультиплексированный режим, 8-разр. MOVX с выбором банка)



17.6.2. Мультиплексированный режим

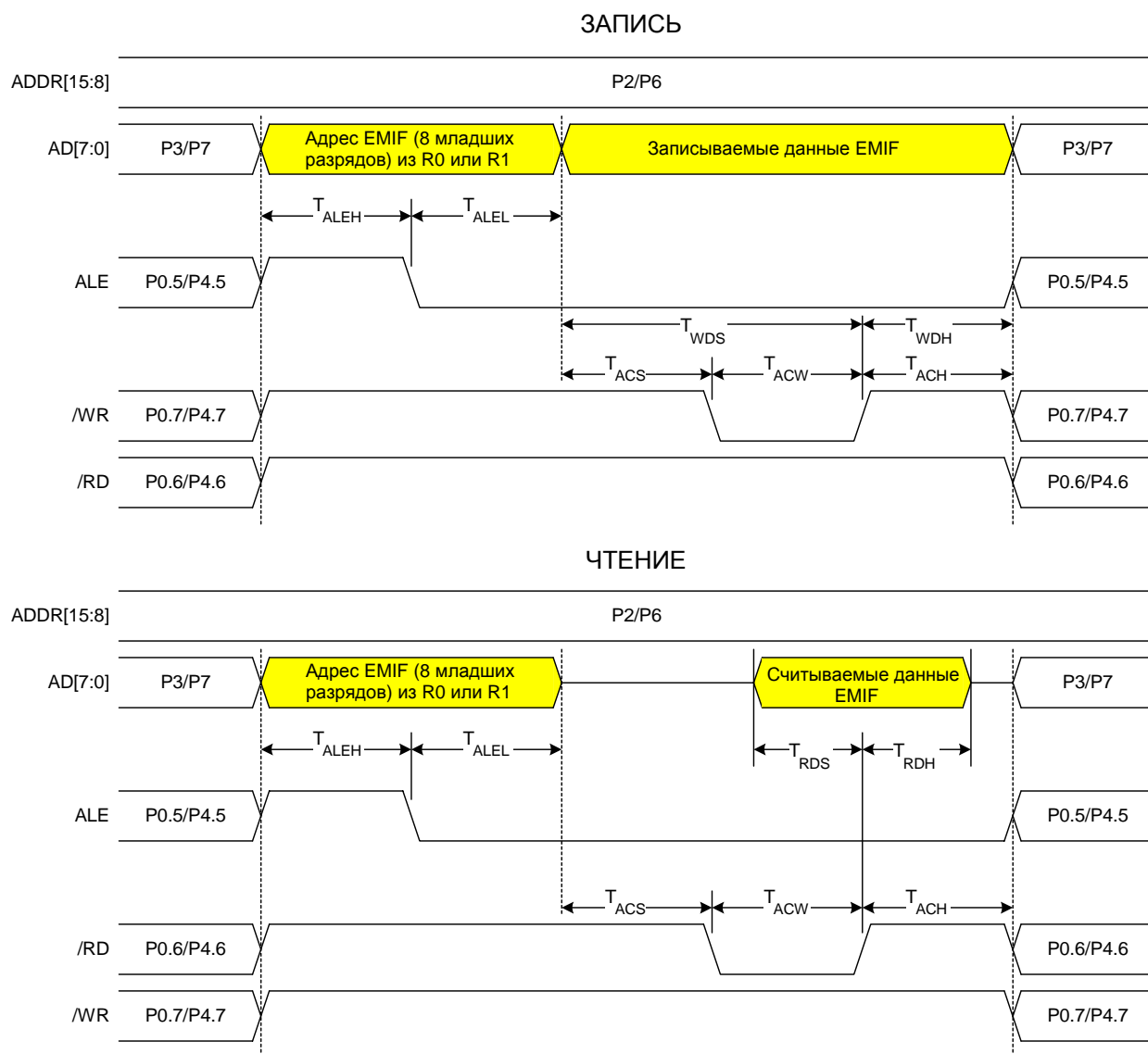
17.6.2.1. 16-разр. MOVX: EMI0CF[4:2] = '001', '010', или '011'

Рисунок 17.10. Временные параметры интерфейса внешней памяти
(мультиплексированный режим, 16-разр. MOVX)



17.6.2.2. 8-разр. MOVX без выбора банка: EMIOCF[4:2] = '001' или '011'

Рисунок 17.11. Временные параметры интерфейса внешней памяти (мультиплексированный режим, 8-разр. MOVX без выбора банка)



17.6.2.3. 8-разр. MOVX с выбором банка: EMI0CF[4:2] = '010'

Рисунок 17.12. Временные параметры интерфейса внешней памяти
(мультиплексированный режим, 8-разр. MOVX с выбором банка)

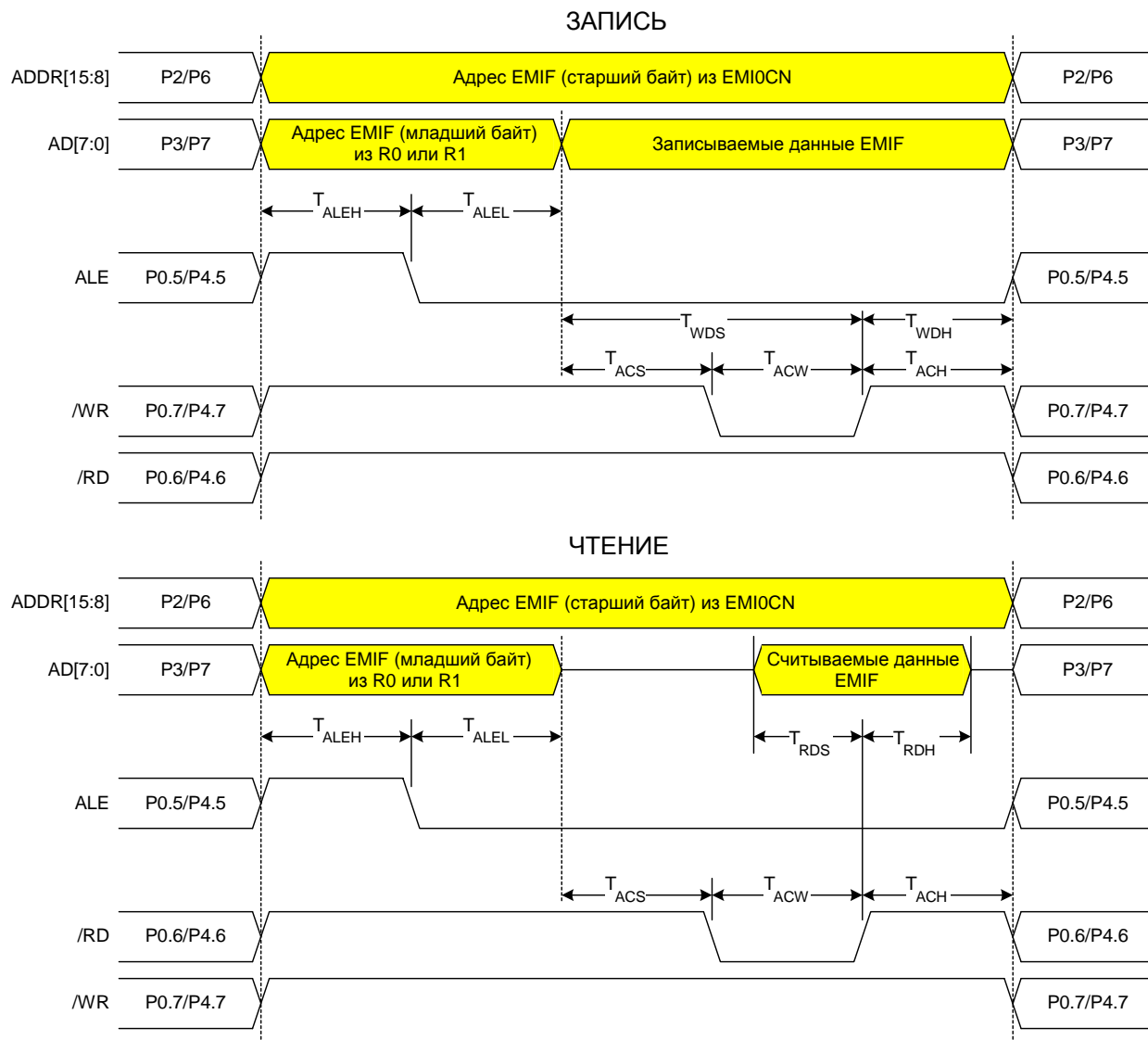


Таблица 17.1. Временные параметры интерфейса внешней памяти

ПАРАМЕТР	ОПИСАНИЕ	Мин.	Макс.	Ед. изм.
T_{ACS}	Задержка сигнала управления относительно адреса (Address / Control Setup Time)	0	3*T _{SYSCLK}	нс
T_{ACW}	Ширина импульса управления (Address / Control Pulse Width)	1*T _{SYSCLK}	16*T _{SYSCLK}	нс
T_{ACH}	Время удержания адреса (Address / Control Hold Time)	0	3*T _{SYSCLK}	нс
T_{ALEH}	Длительность высокого уровня сигнала ALE (Address Latch Enable High Time)	1*T _{SYSCLK}	4*T _{SYSCLK}	нс
T_{ALEL}	Длительность низкого уровня сигнала ALE (Address Latch Enable Low Time)	1*T _{SYSCLK}	4*T _{SYSCLK}	нс
T_{WDS}	Установка данных перед нарастающим фронтом сигнала /WR (Write Data Setup Time)	1*T _{SYSCLK}	19*T _{SYSCLK}	нс
T_{WDH}	Удержание данных после нарастающего фронта сигнала /WR (Write Data Hold Time)	0	3*T _{SYSCLK}	нс
T_{RDS}	Установка данных перед нарастающим фронтом сигнала /RD (Read Data Setup Time)	20		нс
T_{RDH}	Удержание данных после нарастающего фронта сигнала /RD (Read Data Hold Time)	0		нс
T_{SYSCLK} – один период системного тактового сигнала МК (SYSCLK)				

18. ПОРТЫ ВВОДА/ВЫВОДА

Данные МК представляют собой полностью интегрированные на одном кристалле системы для обработки смешанных сигналов, которые имеют 64 (МК в 100-выв. корпусе типа TQFP) или 32 (МК в 64-выв. корпусе типа TQFP) цифровых вывода входа/выхода, организованные в 8-разрядные порты. Все порты доступны в режиме как побитной, так и побайтной адресации через соответствующие регистры данных портов. Каждый из выводов портов имеет слаботочковые подтягивающие резисторы и может быть настроен как выход с открытым стоком или цифровой двухтактный выход. Допустимое напряжение на выводах всех портов составляет 5В. Структурная схема ячейки порта ввода/вывода показана на рис.18.1. Электрические характеристики портов ввода/вывода приведены в табл. 18.1.

Рисунок 18.1. Структурная схема ячейки порта ввода/вывода

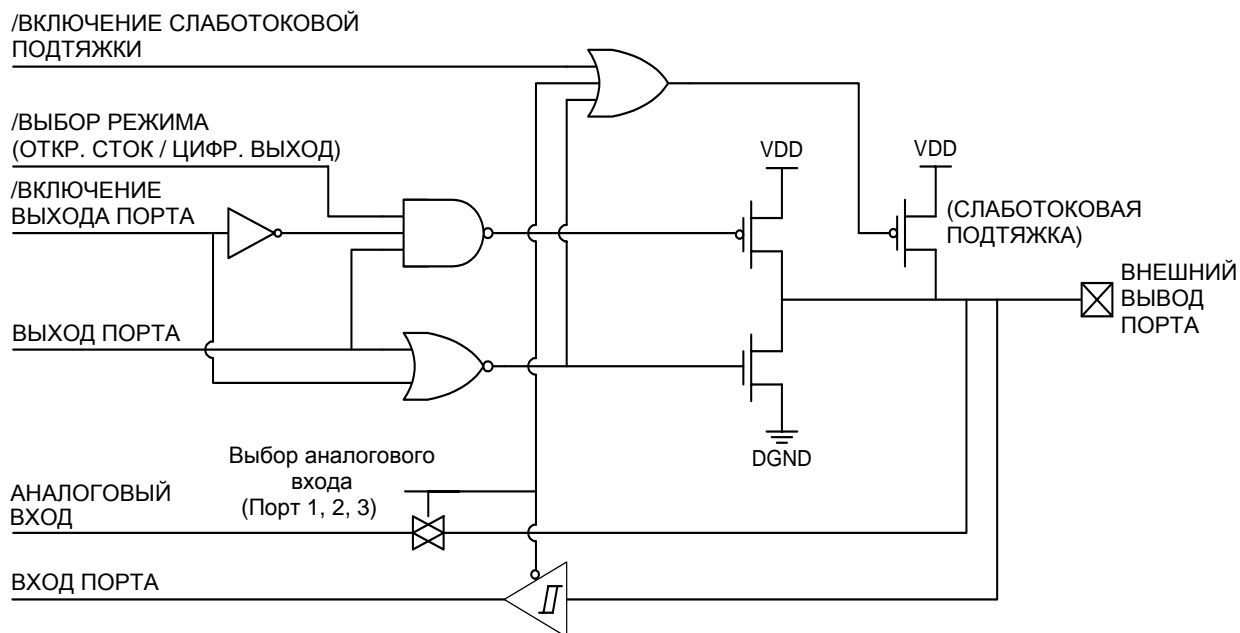


Таблица 18.1. Электрические характеристики портов ввода/вывода

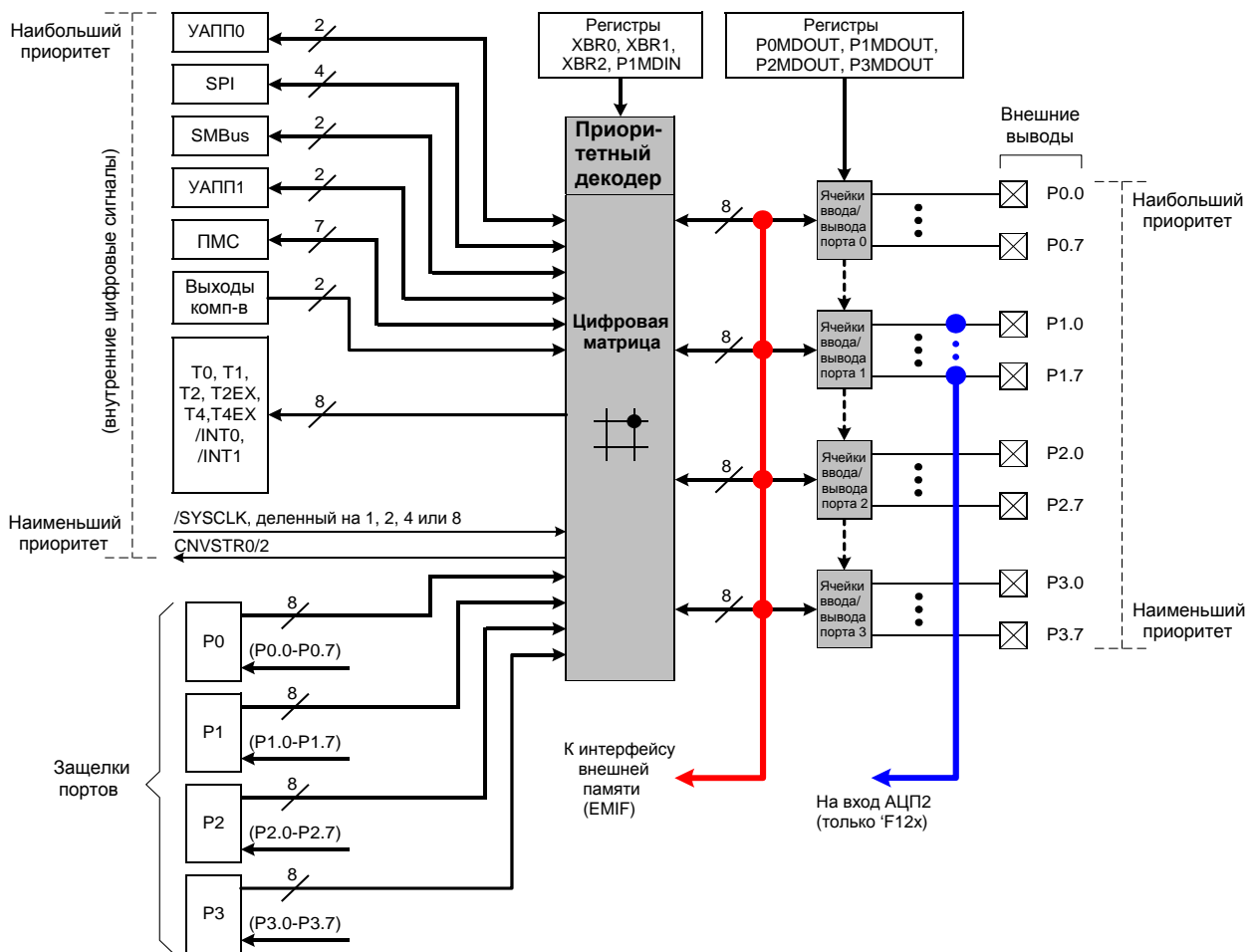
VDD = 2.7 ... 3.6В, T = от -40°C до +85°C, если не указано иное.

ПАРАМЕТР	УСЛОВИЯ	Мин.	Тип.	Макс.	Ед. изм.
Выходное напряжение высокого уровня (V _{OH})	I _{OH} = -10мкА, порт ввода/вывода – цифровой вход/выход I _{OH} = -3мА, порт ввода/вывода – цифровой вход/выход	VDD – 0.1 VDD – 0.7			В
Выходное напряжение низкого уровня (V _{OL})	I _{OL} = 10мкА I _{OL} = 8.5мА			0.1 0.6	В
Входное напряжение высокого уровня (V _{IH})		0.7 x VDD			В
Входное напряжение низкого уровня (V _{IL})				0.3 x VDD	В
Ток утечки входа	DGND < Вывод порта < VDD, вывод в высокоимпедансном состоянии, слаботоковая подтяжка отключена			±1	мкА
	слаботоковая подтяжка включена		10		
Входная емкость			5		пФ

Микроконтроллеры имеют различные цифровые ресурсы, которые доступны через четыре младших порта ввода/вывода: P0, P1, P2 и P3. Каждый из выводов портов P0, P1, P2 и P3 может быть определен либо как вывод ввода/вывода общего назначения, либо как вывод, управляемый внутренними цифровыми ресурсами (например, УАППО или /INT1), как показано на рис.18.2. Разработчик системы определяет, какие цифровые ресурсы будут назначены внешним выводам, ограничиваясь только количеством доступных выводов. Гибкость при распределении ресурсов достигается благодаря использованию приоритетного декодера матрицы. Следует иметь в виду, что состояние вывода порта ввода/вывода всегда можно прочитать из соответствующего регистра данных независимо от того, как функционирует этот вывод: как вывод ввода/вывода общего назначения или как вывод, назначенный какому-либо внутреннему цифровому ресурсу. Выводы Порт 1 могут использоваться как аналоговые входы АЦП2.

Как младшие, так и старшие порты могут использоваться для интерфейса внешней памяти, сигналы которого активны во время выполнения команды MOVX, обращающейся по адресу, расположенному во внешней (не встроенной) памяти. Подробная информация об интерфейсе внешней памяти приведена в разделе 17.

Рисунок 18.2. Функциональная схема портов ввода/вывода



18.1. Порты 3 – 0 и приоритетный декодер матрицы

Приоритетный декодер матрицы, или “матрица”, распределяет и назначает выводы портов P3 – P0 цифровым периферийным модулям (УАПП, SMBus, ПМС, таймеры и т.д.) микроконтроллера, используя для этого приоритеты. Выводы портов распределяются, начиная с порта P0.0 и (если необходимо) до порта P3.7. Цифровые периферийные модули назначаются выводам портов в соответствии с их приоритетом (см. рис. 18.3). УАПП0 имеет наивысший приоритет, CNVSTR2 имеет самый низкий приоритет.

18.1.1. Назначение и распределение выводов при помощи матрицы

Матрица назначает выводы портов периферийным модулям, если соответствующие биты подключения в регистрах конфигурации матрицы XBR0, XBR1 и XBR2 установлены в 1 (см. рис.18.7, рис.18.8, рис.18.7 и рис.18.8). Например, если бит UART0EN (XBR0.2) установлен в 1, то выводы TX0 и RX0 будут отображены на порты P0.0 и P0.1 соответственно.

Рисунок 18.3. Таблица декодирования приоритетов матрицы

[illegible]

Т.к. УАППО имеет наивысший приоритет, то его выводы всегда будут отображаться на порты P0.0 и P0.1, когда бит UART0EN установлен в 1. Если биты подключения цифровых модулей не установлены в 1, то их порты не доступны на внешних выводах портов МК. Важно также иметь ввиду, что, если выбраны последовательные порты (т.е. SMBus, SPI, УАПП), то матрица распределяет все выводы, ассоциированные с ними. Нельзя, например, назначить вывод RX0 модуля УАППО и не назначить вывод TX0 этого же модуля. Назначение внешних выводов микроконтроллера для каждой комбинации подключенных периферийных модулей будет уникальным.

Все выводы портов P0 – P3, не распределенные при помощи матрицы, могут быть доступны как выводы ввода/вывода общего назначения путем чтения и записи соответствующих регистров данных портов (см. рис.18.10, рис.18.12, рис.18.15 и рис.18.17), которые доступны как в побитном, так и в побайтном режимах адресации. Состояния выходных драйверов выводов портов, которые распределены матрицей и управляются цифровыми периферийными модулями, определяются этими модулями. Запись регистров данных этих портов (или распределенных матрицей битов портов) не будет влиять на состояние этих выводов.

Чтение регистра данных порта (или бита порта) всегда возвратит в качестве результата логическое состояние на выводе порта независимо от того, распределен данный порт матрицей или нет. Исключением являются команды типа *чтение-модификация-запись* (ANL, ORL, XRL, JBC, CPL, INC, DEC, DJNZ, CLR, SETB и битовые команды MOV). В течение цикла *чтения* команд типа *чтение-модификация-запись* считывается содержимое регистра данных порта, а не логическое состояние самих выводов портов. Следует иметь ввиду, что если при работе на тактовой частоте более 50 МГц состояние вывода устанавливается и затем сразу же считывается (т.е. когда за командой записи сразу же следует команда чтения), то из-за задержки распространения сигнала команда чтения может вернуть значение, соответствующее предыдущему состоянию вывода.

Т.к. регистры матрицы влияют на подключение внутренних периферийных модулей к внешним выводам МК, то они обычно настраиваются в процессе инициализации системы до настройки самих периферийных модулей. После первоначальной настройки регистры матрицы обычно не перенастраиваются.

После правильной настройки регистров матрицы она включается установкой в 1 бита XBARE (XBR2.4). **Пока бит XBARE не установлен в 1, выходные драйверы портов P0 – P3 явным образом отключаются, чтобы предотвратить возможные конфликты на выводах портов во время записи регистров матрицы и других регистров, которые могут влиять на состояние внешних выводов МК.**

Выходные драйверы выводов, распределенных матрицей для входных сигналов (например, RX0), явным образом отключаются; таким образом значения регистров данных портов и регистров PnMDOUT не влияют на состояние этих выводов.

18.1.2. Настройка выходных драйверов портов

Выходные драйверы портов P0 – P3 остаются отключенными до тех пор, пока матрица не будет включена установкой в 1 бита XBARE (XBR2.4).

Выходной драйвер каждого порта можно настроить либо как цифровой двухтактный выход, либо как выход с открытым стоком. При работе в режиме цифрового двухтактного выхода запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к «земляной» шине GND, а запись лог. '1' приведет к «притягиванию» данного вывода порта к шине питания VDD. При работе в режиме выхода с открытым стоком запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к «земляной» шине GND, а при записи лог. '1' данный вывод порта будет переведен в высокоимпедансное состояние. Режим выхода с открытым стоком полезен в том случае, если требуется предотвратить конфликты между различными устройствами в системе, когда вывод порта участвует в коллективном взаимодействии, при котором несколько выходов подключаются к одной и той же физической линии (например, сигнал SDA шины SMBus).

Режимы выходов портов P0 – P3 определяются битами соответствующих регистров PnMDOUT (см. рис.18.11, рис.18.14, рис.18.16, рис.18.18). Например, при установке в 1 бита P3MDOUT.7 выходной драйвер порта P3.7 будет настроен как цифровой двухтактный выход, при сбросе в 0 бита P3MDOUT.7 выходной драйвер порта P3.7 будет настроен как выход с открытым стоком. По умолчанию выходные драйверы всех портов настраиваются как выходы с открытым стоком.

Регистры PnMDOUT управляют режимами выхода выводов портов независимо от того, назначает ли их матрица цифровым ресурсам или нет. Исключением являются только выводы модуля SMBus (SDA, SCL), вывод приемника УАППО (RX0, в режиме 0) и вывод приемника УАППИ (RX1, в режиме 0), которые всегда настроены как выходы с открытым стоком независимо от настроек соответствующих бит регистров PnMDOUT.

18.1.3. Настройка выводов портов как цифровых входов

Вывод порта настраивается как цифровой вход переводом его выходного драйвера в режим выхода с открытым стоком и записью лог. '1' в соответствующий бит регистра данных порта. Например, P3.7 настраивается как цифровой вход сбросом в 0 бита P3MDOUT.7 и установкой в 1 бита P3.7.

Если вывод порта назначен посредством матрицы цифровому периферийному модулю и этот вывод функционирует как вход (например, RX0, вывод приемника УАППО), то выходной драйвер этого вывода автоматически отключается.

18.1.4. Слаботоковые подтяжки

Каждый вывод порта имеет внутреннюю слаботокую подтяжку, которая по умолчанию включена. Она обеспечивает соединение данного вывода с шиной питания VDD через резистор с высоким сопротивлением (около 100кОм). Слаботоковые подтяжки можно глобально отключить, установив в 1 бит отключения слаботоковых подтяжек WEAKPUD (XBR2.7). Слаботоковые подтяжки автоматически отключаются у любого вывода, на который выдается лог. '0', т.е. выход вывода не будет конфликтовать с собственной слаботоковой подтяжкой. Кроме этого, слаботоковые подтяжки выводов Порты 1 можно отключить, настроив эти выводы как аналоговые входы (см. описание ниже).

18.1.5. Настройка выводов Порты 1 как аналоговых входов.

Выводы Порты 1 могут функционировать в качестве аналоговых входов мультиплексора АЦП2 в МК C8051F12x. Вывод порта настраивается как аналоговый вход сбросом в 0 соответствующего бита в регистрах PnMDIN. По умолчанию все порты настраиваются как цифровые входы. Настройка вывода порта как аналогового входа:

1. Разрывает цепь тока цифрового входа от этого вывода. Это исключает увеличение тока потребления при напряжении на этом выводе, близком к значению VDD/2. Чтение бита данных порта возвратит лог. '0' независимо от напряжения на выводе порта.
2. Отключает слаботокую подтяжку от этого вывода.
3. Заставляет матрицу «пропускать» этот вывод при назначении выводов цифровым периферийным модулям.

Следует иметь в виду, что выходные драйверы выводов, настроенных как аналоговые входы, не отключаются явным образом. Поэтому биты регистров P1MDOUT, соответствующие выводам, настроенным как аналоговые входы, следует явно сбросить в 0 (режим выхода с открытым стоком), а соответствующие биты данных Порты 1 следует установить в 1 (высокоимпедансное состояние). Также следует иметь в виду, что не требуется настраивать вывод порта как аналоговый вход, чтобы использовать его в качестве входа АЦП2; однако, строго рекомендуется это делать. Подробная информация приведена в разделе данного технического описания, посвященном АЦП2.

18.1.6. Распределение выводов интерфейса внешней памяти

Если для сигналов интерфейса внешней памяти используются младшие порты (P0 – P3), то следует установить в 1 бит EMIFLE (XBR2.5), тогда матрица не будет назначать периферийным модулям порты P0.7 (/WR), P0.6 (/RD) и, если интерфейс внешней памяти функционирует в мультиплексированном режиме, P0.5 (ALE). Пример таблицы декодирования приоритетов матрицы для EMIFLE = 1 и мультиплексированного режима показан на рис.18.4. Пример таблицы декодирования приоритетов матрицы для EMIFLE = 1 и немультимплексированного режима показан на рис.18.5.

Если для сигналов интерфейса внешней памяти используются младшие порты и происходит обращение к внешней (не встроенной) памяти с помощью команды MOVX, то в течение фазы выполнения команды MOVX интерфейс внешней памяти будет управлять выходным состоянием находящихся под его управлением выводов портов независимо от состояния регистров матрицы или состояния регистров данных портов. Работа интерфейса внешней памяти не влияет на конфигурацию выходных драйверов выводов портов, за исключением операций чтения, при которых явным образом отключаются выходные драйверы шины данных. Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.4. Таблица декодирования приоритетов матрицы

EMIFLE = 1; EMIF в мультиплексированном режиме; P1MDIN = 0xFF

	P0								P1								P2								P3								Биты регистров матрицы	
Выв. I/O	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7		
TX0	↗																																UART0EN: XBR0.2	
RX0	↗																																	
SCK	↗		↗																															
MISO			↗		↗																													
MOSI				↗		↗																											SPI0EN: XBR0.1	
NSS				↗					↗	NSS не разводится на вывод порта в трехпроводном режиме SPI																								
SDA	↗		↗		↗				↗	↗																							SMB0EN: XBR0.0	
SCL		↗		↗		↗			↗	↗	↗																							
TX1	↗		↗		↗				↗	↗	↗	↗																					UART1EN: XBR2.2	
RX1		↗		↗		↗			↗	↗	↗	↗	↗																					
CEX0	↗		↗		↗				↗	↗	↗	↗	↗	↗																				
CEX1		↗		↗		↗			↗	↗	↗	↗	↗	↗	↗																			
CEX2			↗		↗				↗	↗	↗	↗	↗	↗	↗	↗																		
CEX3				↗		↗			↗	↗	↗	↗	↗	↗	↗	↗	↗																	
CEX4					↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗																
CEX5						↗			↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗															
ECI	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗													ECI0E: XBR0.6	
CP0	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗												CP0E: XBR0.7	
CP1	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗											CP1E: XBR1.0	
T0	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗											T0E: XBR1.1	
/INT0	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗										INT0E: XBR1.2	
T1	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗									T1E: XBR1.3	
/INT1	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗								INT1E: XBR1.4	
T2	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗							T2E: XBR1.5	
T2EX	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗					T2EXE: XBR1.6	
T4	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗				T4E: XBR2.3	
T4EX	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗			T4EXE: XBR2.4	
/SYSClk	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗			SYSCKE: XBR1.7	
CNVSTR0	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗		CNVSTE0: XBR2.0	
CNVSTR2	↗	↗	↗	↗	↗				↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗	↗		CNVSTE2: XBR2.5	
						ALE			AIN2.0/A8								A8m/A0								AD0/D0									
						/RD			AIN2.1/A9								A9m/A1								AD1/D1									
						/WR			AIN2.2/A10								A10m/A2								AD2/D2									
									AIN2.3/A11								A11m/A3								AD3/D3									
									AIN2.4/A12								A12m/A4								AD4/D4									
									AIN2.5/A13								A13m/A5								AD5/D5									
									AIN2.6/A14								A14m/A6								AD6/D6									
									AIN2.7/A15								A15m/A7								AD7/D7									
									Входы AIN2/Немульт-й адрес (C3P)								Мульт-й адр. (ст.)/Немульт-й адр. (мл.)								Мульт-ые данные/Немульт-ые данные									

Рисунок 18.5. Таблица декодирования приоритетов матрицы

	P0							P1							P2							P3							Биты регистров матрицы												
Выв. I/O	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3		4	5	6	7								
TX0	⌘																																UART0EN: XBR0.2								
RX0		⌘																																							
SCK	⌘		⌘																														SPI0EN: XBR0.1								
MISO		⌘		⌘																																					
MOSI			⌘		⌘																																				
NSS				⌘		⌘			NSS не разводится на вывод порта в трехпроводном режиме SPI																																
SDA	⌘		⌘	⌘	⌘	⌘			⌘																									SMB0EN: XBR0.0							
SCL		⌘		⌘	⌘	⌘	⌘		⌘	⌘																															
TX1	⌘		⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘																							UART1EN: XBR2.2							
RX1		⌘		⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘																													
CEX0	⌘		⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘																				PCA0ME: XBR0.[5:3]							
CEX1		⌘		⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘																										
CEX2			⌘		⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘																									
CEX3				⌘		⌘			⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘																								
CEX4					⌘				⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘																							
CEX5						⌘			⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘																					
ECI	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘														ECI0E: XBR0.6								
CP0	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘												CP0E: XBR0.7								
CP1	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘											CP1E: XBR1.0								
T0	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘										T0E: XBR1.1								
/INT0	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘		INT0E: XBR1.2								
T1	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘		T1E: XBR1.3								
/INT1	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	INT1E: XBR1.4								
T2	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘		T2E: XBR1.5								
T2EX	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	T2EXE: XBR1.6								
T4	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘		T4E: XBR2.3								
T4EX	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	T4EXE: XBR2.4								
/SYSCLK	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	SYSCKE: XBR1.7								
CNVSTR0	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	CNVSTE0: XBR2.0								
CNVSTR2	⌘	⌘	⌘	⌘	⌘	⌘	⌘		⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	⌘	CNVSTE2: XBR2.5								
								ALE	AIN2.0/A8	AIN2.1/A9	AIN2.2/A10	AIN2.3/A11	AIN2.4/A12	AIN2.5/A13	AIN2.6/A14	AIN2.7/A15	A8m/A0	A9m/A1	A10m/A2	A11m/A3	A12m/A4	A13m/A5	A14m/A6	A15m/A7	AD0/D0	AD1/D1	AD2/D2	AD3/D3	AD4/D4	AD5/D5	AD6/D6	AD7/D7									
								Входы AIN2/Немульт-й адрес (C3P)								Мульт-й адр. (ст.)/Немульт-й адр. (мл.)								Мульт-ые данные/Немульт-ые данные																	

ALE	AIN2.0/A8	AIN2.1/A9	AIN2.2/A10	AIN2.3/A11	AIN2.4/A12	AIN2.5/A13	AIN2.6/A14	AIN2.7/A15	A8m/A0	A9m/A1	A10m/A2	A11m/A3	A12m/A4	A13m/A5	A14m/A6	A15m/A7	AD0/D0	AD1/D1	AD2/D2	AD3/D3	AD4/D4	AD5/D5	AD6/D6	AD7/D7
/RD	Входы AIN2/Немульт-й адрес (C3P)								Мульт-й адр. (ст.)Немульт-й адр. (мл.)								Мульт-ые данные/Немульт-ые данные							
/WR																								

18.1.7. Пример назначения выводов при помощи матрицы

В этом примере (см. рис.18.6) мы настроим матрицу таким образом, чтобы назначить выводы портов для УАППО, SMBus, УАПП1, /INT0 и /INT1 (всего 8 выводов). Дополнительно мы настроим интерфейс внешней памяти таким образом, чтобы он работал в мультиплексированном режиме, а для его сигналов использовались младшие порты. Затем мы настроим P1.2, P1.3 и P1.4 как аналоговые входы, что позволит измерять напряжение на этих выводах с помощью АЦП2. Описание настройки (по «шагам») приведено ниже:

1. XBR0, XBR1 и XBR2 настраиваются так, чтобы UART0EN = 1, SMB0EN = 1, INT0E = 1, INT1E = 1, и EMIFLE = 1. Таким образом: XBR0 = 0x05, XBR1 = 0x14 и XBR2 = 0x02.
2. Настраиваем интерфейс внешней памяти на использование младших портов и на работу в мультиплексированном режиме. PRTSEL = 0, EMD2 = 0.
3. Настраиваем выбранные выводы Порта 1 как аналоговые входы записью значения 0xE3 в регистр P1MDIN (P1.2, P1.3 и P1.4 являются аналоговыми входами, т.е. соответствующие им биты регистра P1MDIN сброшены в 0).
4. Включаем матрицу установкой XBARE = 1: XBR2 = 0x42.
 - УАППО имеет наивысший приоритет, т.е. P0.0 назначается сигналу TX0, а P0.1 назначается сигналу RX0.
 - SMBus имеет следующий по порядку приоритет, т.е. P0.2 назначается сигналу SDA, а P0.3 назначается сигналу SCL.
 - УАПП1 имеет следующий по порядку приоритет, т.е. P0.4 назначается сигналу TX1. Т.к. для сигналов интерфейса внешней памяти используются младшие порты, EMIFLE = 1, то матрица будет пропускать P0.6 (/RD) и P0.7 (/WR). Т.к. интерфейс внешней памяти работает в мультиплексированном режиме, то матрица будет также пропускать P0.5 (ALE). Сигналу RX1 назначается следующий «не пропускаемый» вывод, которым в этом случае будет P1.0.
 - /INT0 имеет следующий по порядку приоритет, т.е. назначается выводу P1.1.
 - Т.к. регистр P1MDIN содержит значение 0xE3, которое настраивает P1.2, P1.3 и P1.4 как аналоговые входы, то матрица будет пропускать эти выводы.
 - /INT1 имеет следующий по порядку приоритет, т.е. назначается следующему «не пропускаемому» выводу, которым является P1.5.
 - Интерфейс внешней памяти будет использовать порты P2 и P3 (обозначенные красными точками на рис.18.6) во время выполнения команды MOVX, обращающейся к внешней (не встроенной) памяти.
5. Настраиваем выходные драйверы вывода TX УАППО (TX0, P0.0) и вывода TX УАПП1 (TX1, P0.4) как цифровые двухтактные выходы, для чего записываем значение 0x11 в регистр P0MDOUT.
6. Настраиваем выходные драйверы всех портов интерфейса внешней памяти как цифровые двухтактные выходы, для чего P0MDOUT |= 0xE0, а также записываем значение 0xFF в регистры P2MDOUT и P3MDOUT.
7. Явным образом отключаем выходные драйверы трех выводов аналоговых входов, для чего устанавливаем P1MDOUT = 0x00 (выбираем режим выходов с открытым стоком) и P1 = 0xFF (лог. '1' переводит выход в высокоимпедансное состояние).

Рисунок 18.6. Пример использования матрицы
(EMIFLE = 1; EMIF в мультиплексированном режиме;
P1MDIN = 0xE3, XBR0 = 0x05, XBR1 = 0x14, XBR2 = 0x42)

	P0								P1								P2								P3								Биты регистров матрицы																								
Выв. /IO	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7																									
TX0	0																																UART0EN: XBR0.2																								
RX0	0																																																								
SCK	0				0																												SPI0EN: XBR0.1																								
MISO	0				0																																																				
MOSI	0				0																																																				
NSS	0				0																																																				
SDA	0				0				0																								SMB0EN: XBR0.0																								
SCL	0				0				0				0																																												
TX1	0				0				0				0																				UART1EN: XBR2.2																								
RX1	0				0				0				0																																												
CEX0	0				0				0				0				0																				PCA0ME: XBR0.[5:3]																				
CEX1	0				0				0				0				0																																								
CEX2	0				0				0				0				0																																								
CEX3	0				0				0				0				0																																								
CEX4	0				0				0				0				0																																								
CEX5	0				0				0				0				0																																								
ECI	0				0				0				0				0				0																				ECI0E: XBR0.6																
CP0	0				0				0				0				0				0				0																				CP0E: XBR0.7												
CP1	0				0				0				0				0				0				0				0																				CP1E: XBR1.0								
T0	0				0				0				0				0				0				0				0				0																				T0E: XBR1.1				
/INT0	0				0				0				0				0				0				0				0				0																				INT0E: XBR1.2				
T1	0				0				0				0				0				0				0				0				0																				T1E: XBR1.3				
/INT1	0				0				0				0				0				0				0				0				0																				INT1E: XBR1.4				
T2	0				0				0				0				0				0				0				0				0																				T2E: XBR1.5				
T2EX	0				0				0				0				0				0				0				0				0				0																				T2EXE: XBR1.6
T4	0				0				0				0				0				0				0				0				0																				T4E: XBR2.3				
T4EX	0				0				0				0				0				0				0				0				0																				T4EXE: XBR2.4				
/SYSCLK	0				0				0				0				0				0				0				0				0																				SYSCKE: XBR1.7				
CNVSTR0	0				0				0				0				0				0				0				0				0																				CNVSTE0: XBR2.0				
CNVSTR2	0				0				0				0				0				0				0				0				0																				CNVSTE2: XBR2.5				
ALE /RD /WR								AIN2.0/A8	AIN2.1/A9	AIN2.2/A10	AIN2.3/A11	AIN2.4/A12	AIN2.5/A13	AIN2.6/A14	AIN2.7/A15	A8m/A0	A9m/A1	A10m/A2	A11m/A3	A12m/A4	A13m/A5	A14m/A6	A15m/A7	AD0/D0	AD1/D1	AD2/D2	AD3/D3	AD4/D4	AD5/D5	AD6/D6	AD7/D7																										
								Входы AIN2/Немульти-й адрес (C3P)								Мульти-й адр. (ст.)/Немульти-й адр. (мл.)								Мульти-ые данные/Немульти-ые данные																																	

Рисунок 18.7. XBR0: Регистр 0 матрицы портов ввода/вывода

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
CP0E	ECI0E	PCA0ME			UART0EN	SPI0EN	SMB0EN	SFR Адрес: 0xE1 SFR страница: F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Бит 7: CP0E: Бит подключения выхода Компаратора 0 (CP0) 0: CP0 не соединен с выводом порта. 1: CP0 соединен с выводом порта.</p> <p>Бит 6: ECI0E: Бит подключения входа ECI ПМС0 0: ECI не соединен с выводом порта. 1: ECI соединен с выводом порта.</p> <p>Биты 5-3: PCA0ME: Биты подключения входов/выходов модуля ПМС0 000: Все входы/выходы модуля ПМС не соединены с выводами порта. 001: CEX0 соединен с выводом порта. 010: CEX0, CEX1 соединены с двумя выводами порта. 011: CEX0, CEX1, CEX2 соединены с тремя выводами порта. 100: CEX0, CEX1, CEX2, CEX3 соединены с четырьмя выводами порта. 101: CEX0, CEX1, CEX2, CEX3, CEX4 соединены с пятью выводами порта. 110: CEX0, CEX1, CEX2, CEX3, CEX4, CEX5 соединены с шестью выводами порта.</p> <p>Бит 2: UART0EN: Бит подключения входов/выходов УАППО 0: Входы/выходы УАППО не соединены с выводами порта. 1: TX0 и RX0 соединены с выводами P0.0 и P0.1 соответственно.</p> <p>Бит 1: SPI0EN: Бит подключения входов/выходов модуля SPI0 0: Входы/выходы модуля SPI0 не соединены с выводами порта. 1: В 4-х проводном режиме MISO, MOSI, SCK и NSS соединены с четырьмя выводами порта. В 3-х проводном режиме MISO, MOSI, SCK соединены с тремя выводами порта (см. раздел 17).</p> <p>Бит 0: SMB0EN: Бит подключения входов/выходов модуля SMBus0 0: Входы/выходы модуля SMBus0 не соединены с выводами порта. 1: SDA и SCL соединены с двумя выводами порта.</p>								

Рисунок 18.8. XBR1: Регистр 1 матрицы портов ввода/вывода

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
SYSCKE	T2EXE	T2E	INT1E	T1E	INT0E	T0E	CP1E	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE2 SFR страница: F
<p>Бит 7: SYSCKE: Бит подключения выхода SYSCLK 0: Выход SYSCLK не соединен с выводом порта. 1: Выход SYSCLK (деленный по частоте на 1, 2, 4 или 8) соединен с выводом порта. Коэффициент деления определяется битами CLKDIV1-0 регистра CLKSEL (см. раздел 14).</p> <p>Бит 6: T2EXE: Бит подключения входа T2EX 0: T2EX не соединен с выводом порта. 1: T2EX соединен с выводом порта.</p> <p>Бит 5: T2E: Бит подключения входа T2 0: T2 не соединен с выводом порта. 1: T2 соединен с выводом порта.</p> <p>Бит 4: INT1E: Бит подключения входа /INT1 0: /INT1 не соединен с выводом порта. 1: /INT1 соединен с выводом порта.</p> <p>Бит 3: T1E: Бит подключения входа T1 0: T1 не соединен с выводом порта. 1: T1 соединен с выводом порта.</p> <p>Бит 2: INT0E: Бит подключения входа /INT0 0: /INT0 не соединен с выводом порта. 1: /INT0 соединен с выводом порта.</p> <p>Бит 1: T0E: Бит подключения входа T0 0: T0 не соединен с выводом порта. 1: T0 соединен с выводом порта.</p> <p>Бит 0: CP1E: Бит подключения выхода Компаратора 1 (CP1) 0: CP1 не соединен с выводом порта. 1: CP1 соединен с выводом порта.</p>								

Рисунок 18.9. XBR2: Регистр 2 матрицы портов ввода/вывода

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
WEAKPUD	XBARE	CNVST2E	T4EXE	T4E	UART1E	EMIFLE	CNVST0E	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xE3 SFR страница: F
<p>Бит 7: WEAKPUD: Бит отключения слаботочковых подтяжек портов ввода/вывода 0: Слаботочковые подтяжки включены 1: Слаботочковые подтяжки отключены</p> <p>Бит 6: XBARE: Бит включения матрицы 0: Матрица отключена. Все выводы портов P0, P1, P2 и P3 настроены на вход. 1: Матрица включена</p> <p>Бит 5: CNVST2E: Бит подключения внешнего входа запуска преобразования CNVSTR2. 0: CNVSTR2 не соединен с выводом порта. 1: CNVSTR2 соединен с выводом порта.</p> <p>Бит 4: T4EXE: Бит подключения входа T4EX 0: T4EX не соединен с выводом порта. 1: T4EX соединен с выводом порта.</p> <p>Бит 3: T4E: Бит подключения входа T4 0: T4 не соединен с выводом порта. 1: T4 соединен с выводом порта.</p> <p>Бит 2: UART1E: Бит подключения входов/выходов УАПП1 0: Входы/выходы УАПП1 не соединены с выводами порта. 1: TX1 и RX1 соединены с двумя выводами порта.</p> <p>Бит 1: EMIFLE: Бит подключения младших портов интерфейса внешней памяти. 0: Функционирование P0.7, P0.6 и P0.5 определяется матрицей или защелками порта. 1: Если EMI0CF.4 = '0' (интерфейс внешней памяти работает в мультиплексированном режиме), то P0.7 (/WR), P0.6 (/RD) и P0.5 (ALE) «пропускаются» матрицей и состояние их выхода определяется защелками порта или интерфейсом внешней памяти. 1: Если EMI0CF.4 = '1' (интерфейс внешней памяти работает в немultipлексированном режиме), то P0.7 (/WR) и P0.6 (/RD) «пропускаются» матрицей и состояние их выхода определяется защелками порта или интерфейсом внешней памяти.</p> <p>Бит 0: CNVST0E: Бит подключения входа запуска преобразования АЦП0 0: CNVST0 для АЦП0 не соединен с выводом порта. 1: CNVST0 для АЦП0 соединен с выводом порта.</p>								

Рисунок 18.10. P0: Регистр данных Porta 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x80 SFR страница: Все

Биты 7-0: P0.[7:0]: Биты выходной защелки порта 0.
(Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1 и XBR2)
0: Выход в состоянии лог. 0
1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P0MDOUT.n = 0)
(Чтение – независимо от состояния регистров XBR0, XBR1 и XBR2).
0: На выводе P0.n низкий логический уровень.
1: На выводе P0.n высокий логический уровень.

Примечание: P0.7 (/WR), P0.6 (/RD) и P0.5 (ALE) могут управляться интерфейсом внешней памяти данных (см. раздел 17). Информация о настройке матрицы для доступа к внешней памяти приведена на рис.18.9.

Рисунок 18.11. P0MDOUT: Регистр настройки выходов Porta 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA4 SFR страница: F

Биты 7-0: P0MDOUT.[7:0]: Биты настройки выходного драйвера порта 0.
0: Соответствующий вывод P0.n настроен как выход с открытым стоком.
1: Соответствующий вывод P0.n настроен как цифровой двухтактный выход.

Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАППИ в режиме 0) появляются на любых выводах портов, то каждый из этих выводов будет настроен как выход с открытым стоком.

Рисунок 18.12. P1: Регистр Портa 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x90 SFR страница: Все

Биты 7-0: P1.[7:0]: Биты выходной защелки порта 1.

(Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1 и XBR2)

0: Выход в состоянии лог. 0

1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P1MDOUT.n = 0)

(Чтение – независимо от состояния регистров XBR0, XBR1 и XBR2).

0: На выводе P1.n низкий логический уровень.

1: На выводе P1.n высокий логический уровень.

Примечание:

1: В МК C8051F12x P1.[7:0] можно настроить как входы АЦП2 AIN2.[7:0]. В этом случае они «пропускаются» матрицей в процессе назначения выводов портов и отключаются их цепи тока цифрового входа, в зависимости от значения регистра P1MDIN (см. рис.18.13). Следует иметь ввиду, что в аналоговом режиме режим работы выходных драйверов выводов определяется защелкой Портa 1 и регистром P1MDOUT (см. рис.18.14). Подробная информация относительно АЦП2 (8-разр. АЦП, только C8051F12x) приведена в разделе 7.

2: P1.[7:0] могут управляться интерфейсом внешней памяти данных (как адреса [15:8] в немultipлексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.13. P1MDIN: Регистр настройки входов Портa 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xAD SFR страница: F

Биты 7-0: P1MDIN.[7:0]: Биты выбора режима входов Портa 1.

0: Вывод порта настроен как аналоговый вход. Цепь цифрового входа отключена (чтение бита порта всегда возвратит значение '0'). Слаботоковая подтяжка вывода отключена.

1: Вывод порта настроен как цифровой вход. Результатом чтения бита порта будет логический уровень на внешнем выводе. Состояние слаботочковой подтяжки определяется битом WEAKPUD (XBR2.7, см. рис.18.9).

Рисунок 18.14. P1MDOUT: Регистр настройки выходов Порт 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA5 SFR страница: F

Биты 7-0: P1MDOUT.[7:0]: Биты настройки выходного драйвера порта 1.
0: Соответствующий вывод P1.n настроен как выход с открытым стоком.
1: Соответствующий вывод P1.n настроен как цифровой двухтактный выход.

Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАППИ в режиме 0) появляются на любом выводе порта P1, то каждый из этих выводов будет настроен как выход с открытым стоком.

Рисунок 18.15. P2: Регистр данных Порт 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xA0 SFR страница: Все

Биты 7-0: P2.[7:0]: Биты выходной защелки порта 2.
(Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1 и XBR2)
0: Выход в состоянии лог. 0
1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P2MDOUT.n = 0)
(Чтение – независимо от состояния регистров XBR0, XBR1 и XBR2).
0: На выводе P2.n низкий логический уровень.
1: На выводе P2.n высокий логический уровень.

Примечание: P2.[7:0] могут управляться интерфейсом внешней памяти данных (как разряды адреса [15:8] в мультиплексированном режиме, или как разряды адреса [7:0] в немultipлексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.16. P2MDOUT: Регистр настройки выходов Porta 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xA6 SFR страница: F

Биты 7-0: P2MDOUT.[7:0]: Биты настройки выходного драйвера порта 2.

0: Соответствующий вывод P2.n настроен как выход с открытым стоком.
1: Соответствующий вывод P2.n настроен как цифровой двухтактный выход.

Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАППИ в режиме 0) появляются на любом выводе порта P2, то каждый из этих выводов будет настроен как выход с открытым стоком.

Рисунок 18.17. P3: Регистр данных Porta 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xB0 SFR страница: Все

Биты 7-0: P3.[7:0]: Биты выходной защелки порта 3.

(Запись – выходной сигнал появляется на внешних выводах в зависимости от состояния регистров XBR0, XBR1 и XBR2)

0: Выход в состоянии лог. 0
1: Выход в состоянии лог. 1 (в высокоимпедансном состоянии, если соответствующий бит P3MDOUT.n = 0)

(Чтение – независимо от состояния регистров XBR0, XBR1 и XBR2).

0: На выводе P3.n низкий логический уровень.
1: На выводе P3.n высокий логический уровень.

Примечание: P3.[7:0] могут управляться интерфейсом внешней памяти данных (как AD[7:0] в мультиплексированном режиме, или как D[7:0] в немultipлексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.18. P3MDOUT: Регистр настройки выходов Porta 3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xA7 SFR страница: F
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: P3MDOUT.[7:0]: Биты настройки выходного драйвера порта 3.
 0: Соответствующий вывод P3.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P3.n настроен как цифровой двухтактный выход.

18.2. Порты 4...7 (только МК в 100-выв. корпусах типа TQFP)

Все выводы портов P4 – P7 могут быть доступны как выводы ввода/вывода общего назначения путем чтения и записи соответствующих регистров данных портов (см. рис.18.19, рис.18.21, рис.18.23 и рис.18.25), к которым можно обращаться как в побитном, так и в побайтном режимах адресации. Следует также иметь в виду, что регистры портов 4, 5, 6 и 7 размещены на SFR странице с номером F. Для доступа к регистрам этих портов необходимо загрузить в регистр SFRPAGE значение 0x0F.

Чтение регистра данных порта (или бита порта) всегда возвратит в качестве результата логическое состояние на самом выводе порта независимо от того, назначен данный порт матрицей какому-либо цифровому модулю или нет. Исключением являются команды типа *чтение-модификация-запись* (ANL, ORL, XRL, JBC, CPL, INC, DEC, DJNZ, CLR, SETB и битовые команды MOV). В течение цикла *чтения* команд типа *чтение-модификация-запись* считывается содержимое регистра данных порта, а не логическое состояние самих выводов портов. Следует иметь в виду, что если при работе на тактовой частоте более 50 МГц состояние вывода устанавливается и затем сразу же считывается (т.е. когда за командой записи сразу же следует команда чтения), то из-за задержки распространения сигнала команда чтения может вернуть значение, соответствующее предыдущему состоянию вывода.

18.2.1. Настройка портов, не имеющих внешние выводы

Хотя порты P4, P5, P6 и P7 не выведены на внешние выводы в 64-выводных МК, регистры данных этих портов все равно доступны и могут использоваться программой. Т.к. цепи цифровых входов также остаются активными, не рекомендуется оставлять эти выводы в «плавающем» состоянии. Это позволит исключить ненужное увеличение энергопотребления, возникающее при появлении на «плавающих» входах некорректных логических уровней. Добиться этого можно любым из следующих способов:

1. Оставить слаботочные подтяжки включенными, сбросив в 0 бит WEAKPUD (XBR2.7).
2. Настроить выходные драйверы портов P4 – P7 как цифровые двухтактные выходы, записав значение 0xFF в соответствующие регистры PnMDOUT.
3. Перевести выходы портов P4 – P7 в состояние лог. '0', записав нули в регистры данных портов: P4 = 0x00, P5=0x00, P6=0x00 и P7=0x00.

18.2.2. Настройка выходных драйверов портов

Выходной драйвер каждого вывода порта можно настроить либо как цифровой двухтактный выход, либо как выход с открытым стоком. При работе в режиме цифрового выхода запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к «земляной шине» GND, а запись лог. '1' приведет к «притягиванию» данного вывода порта к шине питания VDD. При работе в режиме выхода с открытым стоком запись лог. '0' в соответствующий бит регистра данных порта приведет к «притягиванию» данного вывода порта к «земляной» шине GND, а при записи лог. '1' данный вывод порта будет переведен в высокоимпедансное состояние. Режим выхода с открытым стоком полезен в том случае, если требуется предотвратить конфликты между различными устройствами в системе, когда вывод порта участвует в коллективном взаимодействии, при котором несколько выходов подключаются к одной и той же физической линии.

Режимы работы выходных драйверов выводов портов P4 – P7 определяются битами соответствующих регистров PnMDOUT. Каждый бит регистров PnMDOUT управляет режимом выходного драйвера соответствующего ему вывода порта (см. рис.18.20, рис.18.22, рис.18.24 и рис.18.26). Например, чтобы настроить вывод порта P4.3 как цифровой двухтактный выход, необходимо установить в 1 бит P4MDOUT.3. По умолчанию после сброса все выходы настраиваются как выходы с открытым стоком.

18.2.3. Настройка выводов портов как цифровых входов

Вывод порта настраивается как цифровой вход переводом его выходного драйвера в режим выхода с открытым стоком и записью лог. '1' в соответствующий бит регистра данных порта. Например. P7.7 настраивается как цифровой вход сбросом в 0 бита P7MDOUT.7 и установкой в 1 бита P7.7.

18.2.4. Слаботоковые подтяжки

Каждый вывод порта имеет внутреннюю слаботоктовую подтяжку, которая по умолчанию включена. Она обеспечивает соединение данного вывода с шиной питания VDD через резистор с высоким сопротивлением (около 100кОм). Слаботоковые подтяжки можно глобально отключить, установив в 1 бит отключения слаботоковых подтяжек WEAKPUD (XBR2.7). Слаботоковые подтяжки автоматически отключаются у любого вывода, на который выдается лог. '0', т.е. выход вывода не будет конфликтовать с собственной слаботоковой подтяжкой.

18.2.5. Интерфейс внешней памяти

Если для сигналов интерфейса внешней памяти используются старшие порты (P4 – P7), то следует сбросить в 0 бит EMIFLE (XBR2.5).

Если для сигналов интерфейса внешней памяти используются старшие порты и происходит обращение к внешней (не встроенной) памяти с помощью команды MOVX, то в течение фазы выполнения команды MOVX интерфейс внешней памяти будет управлять состоянием выхода находящихся под его влиянием выводов портов независимо от состояния регистров данных портов. Работа интерфейса внешней памяти не влияет на конфигурацию выходных драйверов выводов портов, за исключением операций чтения, при которых явным образом отключаются выходные драйверы шины данных во время выполнения команды MOVX. Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.19. P4: Регистр данных Порта 4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P4.7	P4.6	P4.5	P4.4	P4.3	P4.2	P4.1	P4.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xC8 SFR страница: F

Биты 7-0: P4.[7:0]: Биты выходной защелки порта 4.
(Запись – выходной сигнал появляется на внешних выводах)
0: Выход в состоянии лог. 0
1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P4MDOUT сброшен в 0). См. рис.18.20.
(Чтение – возвращает состояние внешних выводов).
0: На выводе P4.n низкий логический уровень.
1: На выводе P4.n высокий логический уровень.

Примечание: P4.7 (/WR), P4.6 (/RD) и P4.5 (ALE) могут управляться интерфейсом внешней памяти данных (см. раздел 17).

Рисунок 18.20. P4MDOUT: Регистр настройки выходов Порта 4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
			-	-	-	-	-	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9C SFR страница: F

Биты 7-0: P4MDOUT.[7:0]: Биты настройки выходного драйвера порта 4.
0: Соответствующий вывод P4.n настроен как выход с открытым стоком.
1: Соответствующий вывод P4.n настроен как цифровой двухтактный выход.

Рисунок 18.21. P5: Регистр данных Портa 5

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P5.7	P5.6	P5.5	P5.4	P5.3	P5.2	P5.1	P5.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xD8 SFR страница: F

Биты 7-0: P5.[7:0]: Биты выходной защелки порта 5.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P5MDOUT сброшен в 0). См. рис.18.22.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P5.n низкий логический уровень.
 1: На выводе P5.n высокий логический уровень.

Примечание: P5.[7:0] могут управляться интерфейсом внешней памяти данных (как адреса [15:8] в немультимплексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.22. P5MDOUT: Регистр настройки выходов Портa 5

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9D SFR страница: F

Биты 7-0: P5MDOUT.[7:0]: Биты настройки выходного драйвера порта 5.
 0: Соответствующий вывод P5.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P5.n настроен как цифровой двухтактный выход.

Рисунок 18.23. P6: Регистр данных Порта 6

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P6.7	P6.6	P6.5	P6.4	P6.3	P6.2	P6.1	P6.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xE8 SFR страница: F

Биты 7-0: P6.[7:0]: Биты выходной защелки порта 6.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий бит регистра P6MDOUT сброшен в 0). См. рис.18.24.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P6.n низкий логический уровень.
 1: На выводе P6.n высокий логический уровень.

Примечание: P6.[7:0] могут управляться интерфейсом внешней памяти данных (как разряды адреса [15:8] в мультиплексированном режиме, или как разряды адреса [7:0] в немultipлексированном режиме). Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.24. P6MDOUT: Регистр настройки выходов Порта 6

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9E SFR страница: F

Биты 7-0: P6MDOUT.[7:0]: Биты настройки выходного драйвера порта 6.
 0: Соответствующий вывод P6.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P6.n настроен как цифровой двухтактный выход.

Рисунок 18.25. P7: Регистр данных Порт 7

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
P7.7	P7.6	P7.5	P7.4	P7.3	P7.2	P7.1	P7.0	11111111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xF8 SFR страница: F

Биты 7-0: P7.[7:0]: Биты выходной защелки порта 7.
 (Запись – выходной сигнал появляется на внешних выводах)
 0: Выход в состоянии лог. 0
 1: Выход в состоянии лог. 1 (выход с открытым стоком, если соответствующий
 бит регистра P74MDOUT сброшен в 0). См. рис.18.26.
 (Чтение – возвращает состояние внешних выводов).
 0: На выводе P7.n низкий логический уровень.
 1: На выводе P7.n высокий логический уровень.

Примечание: P7.[7:0] могут управляться интерфейсом внешней памяти данных (как AD[7:0] в мультиплексированном режиме, или как D[7:0] в немultipлексированном режиме).
 Подробная информация относительно интерфейса внешней памяти приведена в разделе 17.

Рисунок 18.26. P7MDOUT: Регистр настройки выходов Порт 7

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9F SFR страница: F

Биты 7-0: P7MDOUT.[7:0]: Биты настройки выходного драйвера порта 7.
 0: Соответствующий вывод P7.n настроен как выход с открытым стоком.
 1: Соответствующий вывод P7.n настроен как цифровой двухтактный выход.

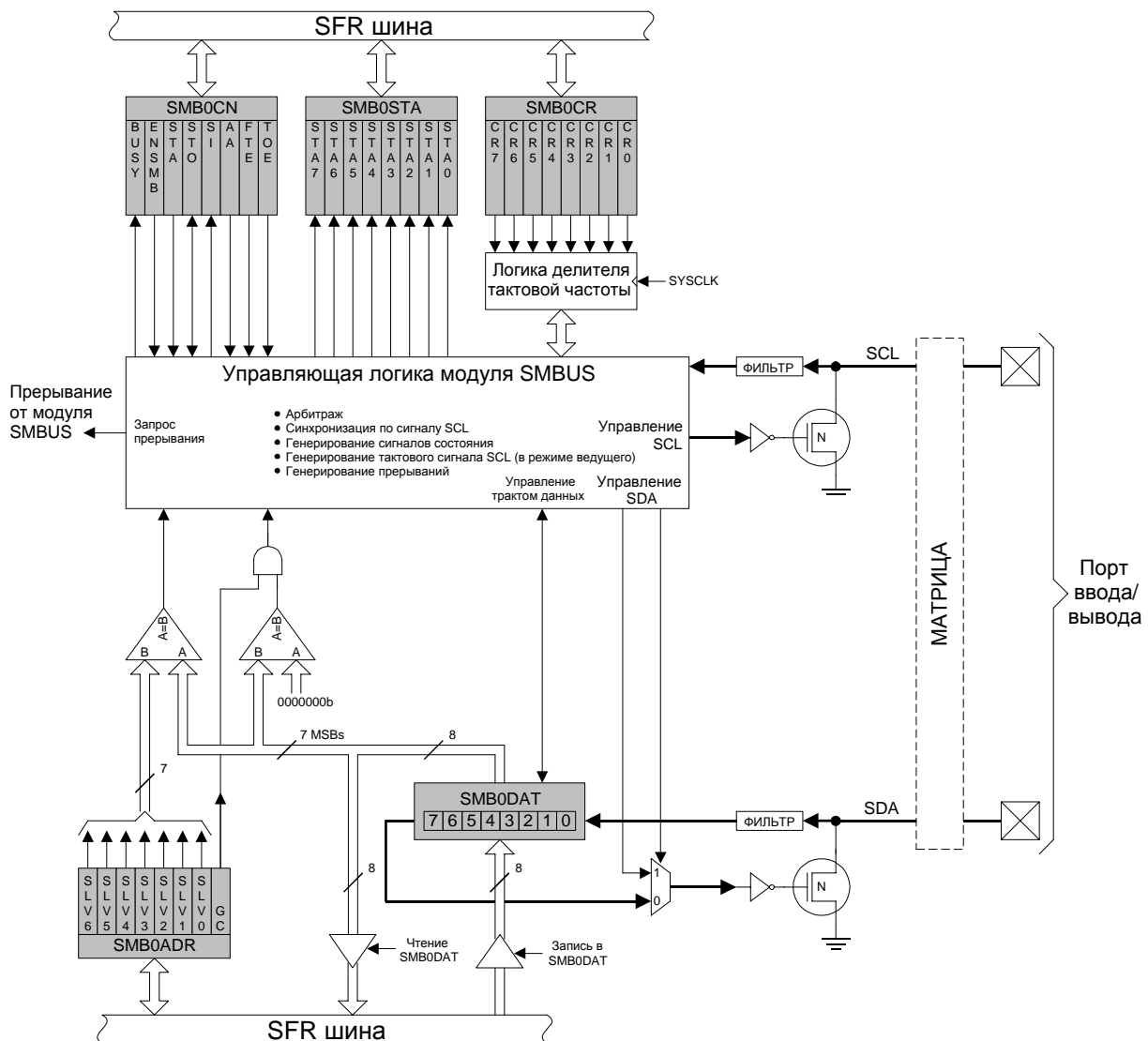
Примечание: Если сигналы SDA, SCL, RX0 (УАППО в режиме 0) и RX1 (УАППИ в режиме 0) появляются на любых выводах портов, то каждый из этих выводов будет настроен как выход с открытым стоком.

19. Модуль SMBus / I2C (SMBUS0)

Интерфейс ввода/вывода SMBus0 представляет собой двухпроводную двунаправленную последовательную шину. SMBus0 соответствует System Management Bus Specification (версия 1.1) и поддерживает обмен данными по протоколу I²C. Системный контроллер считывает данные с последовательной шины и записывает их в последовательную шину побайтно с помощью модуля SMBus, который автоматически управляет последовательной передачей данных. Для обеспечения возможности работы устройств с различной скоростью передачи данных на одной шине используется метод растягивания синхросигнала за счет удержания низкого уровня.

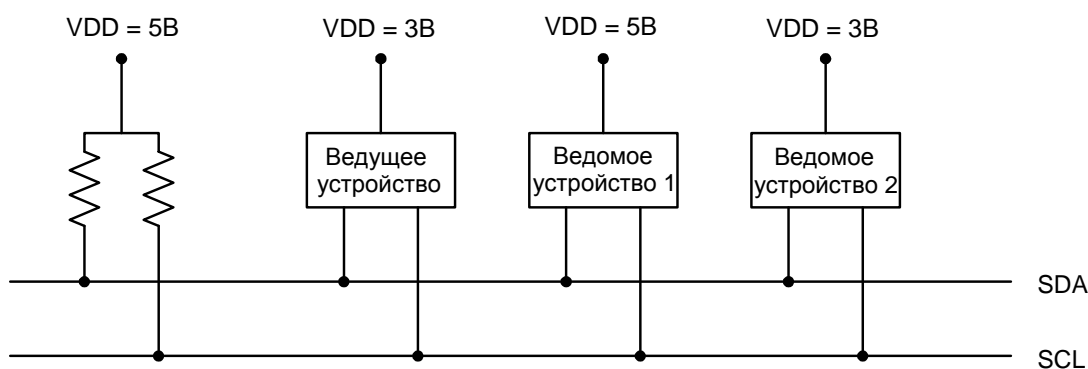
SMBus0 может работать в режимах ведущего и/или ведомого, а также может функционировать на шине с несколькими ведущими. SMBus0 обеспечивает управление линией SDA (последовательные данные), генерацию тактовых импульсов SCL и синхронизацию, арбитраж, управление битами START/STOP и их генерацию.

Рисунок 19.1. Структурная схема модуля SMBus0



На рис.19.2 приведена типичная схема подключения к шине SMBus. Интерфейс SMBus0 способен работать при любом напряжении от 3.0 до 5.0В, а различные устройства на шине могут иметь различные напряжения питания. Линии SCL (тактовые импульсы) и SDA (последовательные данные) являются двунаправленными. Необходимо подать на них положительное напряжение питания через подтягивающий резистор или подобную схему. Каждое устройство, подключенное к шине, должно иметь выход с открытым стоком или с открытым коллектором как для линии SCL, так и для линии SDA; тогда при свободной шине обе линии будут «подтянуты» к напряжению высокого логического уровня. Максимальное количество устройств на шине ограничивается только следующим требованием: время нарастания и спада сигнала на линиях шины не должно превышать 300нс и 1000нс соответственно.

Рисунок 19.2. Подключение к шине SMBus



19.1. Техническая документация

Предполагается, что читатель знаком со следующими техническими документами или имеет доступ к ним:

1. *The I²C-bus and how to use it (including specifications)*, Philips Semiconductor.
2. *The I²C-Bus Specification -- Version 2.0*, Philips Semiconductor.
3. *System Management Bus Specification -- Version 1.1*, SBS Implementers Forum.

19.2. Протокол SMBus

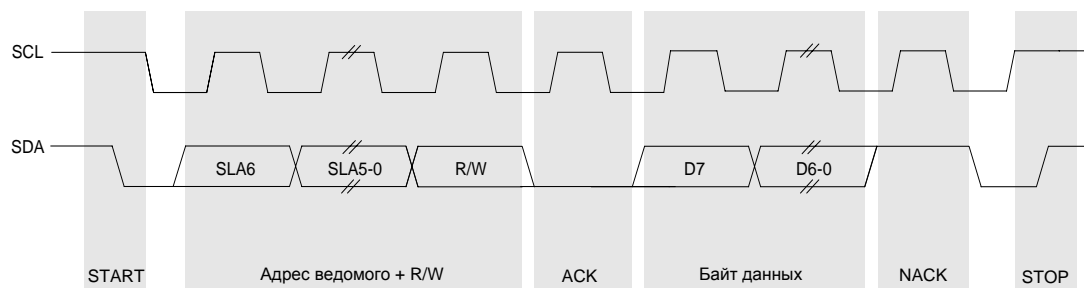
Возможны два режима передачи данных: передача данных от ведущего передатчика к адресуемому ведомому приемнику (ЗАПИСЬ) и передача данных от адресуемого ведомого передатчика к ведущему приемнику (ЧТЕНИЕ). Ведущее устройство инициирует процесс передачи данных в обоих режимах и генерирует тактовый сигнал на линии SCL. Допускается также работа нескольких ведущих устройств на одной шине. Если два или более ведущих пытаются инициировать процесс передачи данных одновременно, то применяемая схема арбитража всегда определит одного ведущего, который выиграет арбитраж и захватит управление шиной. Следует иметь в виду, что нет необходимости определять какое-либо устройство как ведущее в системе; любое устройство, которое передает бит START и адрес ведомого, становится ведущим для этого сеанса связи.

Типичное сообщение SMBus состоит из бита START, следующего за ним байта адреса (биты 7-1: 7-разрядный адрес ведомого; бит 0: бит направления передачи R/W), одного или нескольких байт данных и бита STOP. Каждый принятый (ведущим или ведомым) байт должен быть подтвержден (ACK) низким уровнем сигнала на линии SDA во время высокого уровня сигнала на линии SCL (см. рис.19.3). Если принимающее устройство не подтверждает прием, то передающее устройство воспримет этот факт как бит «нет подтверждения» (NACK), который представляет собой высокий уровень сигнала на линии SDA во время высокого уровня сигнала на линии SCL.

Бит направления занимает самый младший значащий разряд адреса. Бит направления устанавливается в 1 для выполнения операции чтения и сбрасывается в 0 для выполнения операции записи.

Все сеансы обмена данными инициируются ведущим, который адресует одно или несколько ведомых устройств. Ведущий генерирует бит START и затем передает адрес ведомого и бит направления. Если инициируется операция записи от ведущего к ведомому, то ведущий передает по одному байту данных за раз, ожидая бита подтверждения (ACK) от ведомого в конце каждого байта. Если осуществляется операция чтения, то ведомый передает данные, ожидая бита подтверждения (ACK) от ведущего в конце каждого байта. В конце сеанса передачи данных ведущий генерирует бит STOP, чтобы завершить сеанс и освободить шину. На рис.19.3 показан формат типичного сообщения SMBus.

Рисунок 19.3. Формат сообщения SMBus



19.2.1. Арбитраж

Ведущий может начать сеанс передачи, только если шина свободна. Шина является свободной после бита STOP или после того, как на линиях SCL и SDA в течение определенного времени удерживается высокий уровень сигнала (см. раздел 19.2.4). В случае, когда два или более ведущих устройства пытаются начать передачу данных одновременно, используется схема арбитража, которая заставит какое-либо ведущее устройство освободить шину. Ведущие устройства продолжают передавать до тех пор, пока один из ведущих не попытается передать на линию SDA сигнал высокого уровня, в то время как другие ведущие выдают на эту линию сигнал низкого уровня. Т.к. все устройства, подключенные к шине, имеют выходы с открытым стоком (коллектором), то в этом случае на линии SDA установится сигнал низкого уровня. Ведущее устройство, пытающееся передать на линию SDA сигнал высокого уровня, определит, что вместо сигнала высокого уровня на линии SDA присутствует сигнал низкого уровня, и освободит шину. Выигравший арбитраж ведущий продолжает передавать свои данные без какого-либо перерыва; потерявший арбитраж ведущий становится ведомым и принимает остаток передаваемых данных. Данная схема арбитража является неразрушающей: какое-нибудь одно устройство всегда выигрывает и никакие данные не теряются.

19.2.2. Растягивание тактового сигнала

Модуль SMBus обеспечивает механизм тактовой синхронизации, аналогичный I²C, который позволяет устройствам с различной скоростью передачи данных сосуществовать на одной шине. Чтобы позволить медленным ведомым устройствам обмениваться данными с быстрыми ведущими, применяется растягивание тактовых импульсов на участке с низким уровнем сигнала. Ведомый может временно удерживать линию SCL на низком уровне, тем самым удлиняя период тактового сигнала (за счет удлинения участка с низким уровнем) и уменьшая таким образом частоту тактирования шины.

19.2.3. Таймаут низкого уровня на линии SCL

Если линия SCL удерживается на низком уровне ведомым устройством, то дальнейший обмен данными по шине невозможен. Кроме того, ведущий не может установить на линии SCL высокий уровень, чтобы исправить ошибочное состояние. Чтобы решить эту проблему, протокол SMBus определяет, что устройства, участвующие в обмене, должны распознавать как условие «таймаута» любой тактовый цикл, в котором сигнал удерживается на низком уровне более 25мс. Устройства, которые обнаружили такое условие таймаута, должны в течение 10мс после этого сбросить свои модули обмена.

19.2.4. Таймаут высокого уровня на линии SCL (шина SMBus свободна)

Спецификация SMBus оговаривает, что если на линиях SCL и SDA удерживается сигнал высокого уровня в течение более 50 мкс, то шина считается свободной. Если устройство на шине SMBus ожидает освобождения шины, чтобы сгенерировать бит START (в ведущем режиме), то он будет сгенерирован сразу же после истечения таймаута освобождения шины.

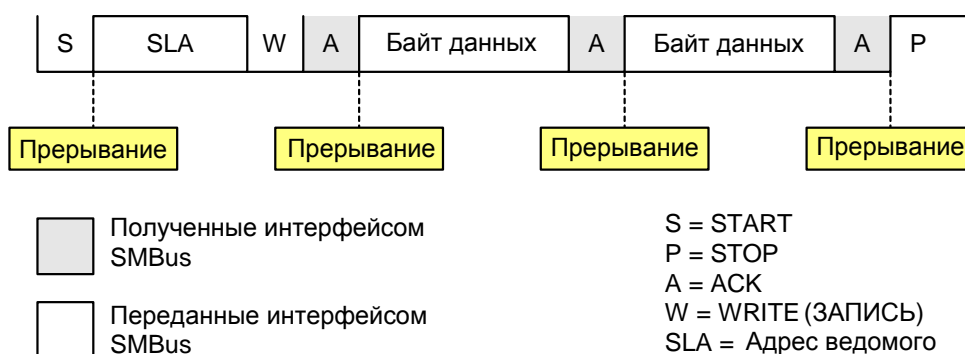
19.3. Режимы работы модуля SMBus

Модуль SMBus может быть настроен для работы как в режиме ведущего, так и в режиме ведомого. В любой конкретный момент времени он может работать в одном из четырех режимов: ведущий передатчик, ведущий приемник, ведомый передатчик, ведомый приемник. Значение регистра состояния SMB0STA определяет состояние режима передачи модуля SMBus0 (см. табл.19.1). Приведенные ниже описания режимов показывают применение модуля SMBus0 с использованием управления по прерываниям; кроме этого работа с модулем SMBus0 возможна в режиме опроса.

19.3.1. Режим ведущего передатчика

Последовательные данные выдаются на линию SDA, а тактовые импульсы выдаются на линию SCL. SMBus0 генерирует бит START и затем передает первый байт, который содержит адрес целевого ведомого устройства и бит направления. В этом случае бит направления (R/W) должен быть сброшен в 0, инициируя операцию записи. Затем модуль SMBus0 передает один или несколько байт последовательных данных, ожидая подтверждения (ACK) от ведомого после каждого байта. Для обозначения конца сеанса передачи последовательных данных ведущее устройство генерирует бит STOP.

Рисунок 19.4. Передача данных в режиме ведущего



19.3.2. Режим ведущего приемника

Последовательные данные принимаются с линии SDA, а тактовые импульсы выдаются на линию SCL. Модуль SMBus0 генерирует бит START и затем передает первый байт, который содержит адрес целевого ведомого устройства и бит направления. В этом случае бит направления (R/W) должен быть установлен в 1, инициируя операцию чтения. Модуль SMBus0 принимает последовательные данные от ведомого по линии SDA, при этом генерирует тактовые импульсы на линии SCL. После приема каждого байта модуль SMBus0 генерирует биты подтверждения (ACK) или неподтверждения (NACK) в зависимости от состояния бита AA регистра SMB0CN. Для обозначения конца сеанса передачи последовательных данных ведущий генерирует бит STOP.

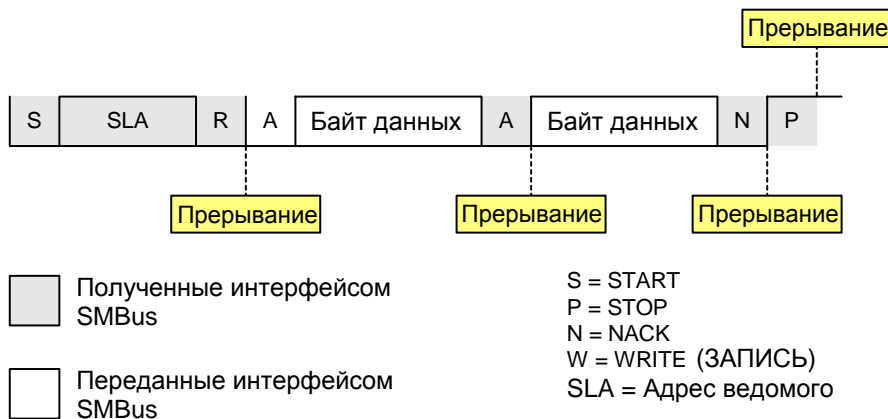
Рисунок 19.5. Прием данных в режиме ведущего



19.3.3. Режим ведомого передатчика

Последовательные данные выдаются на линию SDA, а тактовые импульсы принимаются с линии SCL. Модуль SMBus0 принимает бит START, а вслед за ним байт данных, который содержит адрес ведомого и бит направления. В этом случае бит направления (R/W) должен быть установлен в 1, инициируя операцию чтения. Если принятый адрес ведомого соответствует адресу, хранящемуся в регистре SMB0ADR, то модуль SMBus0 генерирует бит подтверждения (ACK). Модуль SMBus0 также будет генерировать бит подтверждения (ACK), если принятый адрес является адресом общего вызова (0x00) и бит разрешения адреса общего вызова (SMB0ADR.0) установлен в 1. Модуль SMBus0 принимает тактовые импульсы по линии SCL и передает ведущему один или несколько байт последовательных данных, ожидая подтверждения (ACK) от ведущего после каждого байта. Модуль SMBus0 выходит из режима ведомого после приема бита STOP от ведущего.

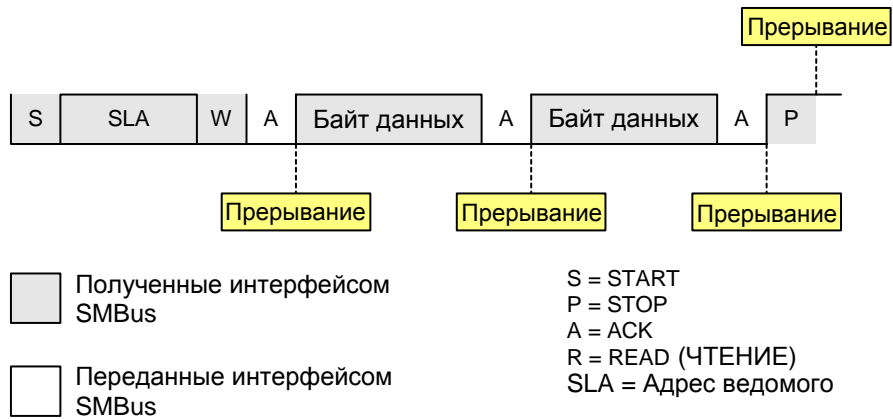
Рисунок 19.6. Передача данных в режиме ведомого



19.3.4. Режим ведомого приемника.

Последовательные данные принимаются с линии SDA, а тактовые импульсы принимаются с линии SCL. Модуль SMBus0 принимает бит START, а вслед за ним байт данных, который содержит адрес ведомого и бит направления. В этом случае бит направления (R/W) должен быть сброшен в 0, инициируя операцию записи. Если принятый адрес ведомого соответствует адресу, хранящемуся в регистре SMB0ADR, то модуль SMBus0 генерирует бит подтверждения (ACK). Модуль SMBus0 также будет генерировать бит подтверждения (ACK), если принятый адрес является адресом общего вызова (0x00) и бит разрешения адреса общего вызова (SMB0ADR.0) установлен в 1. Модуль SMBus0 принимает один или несколько байт последовательных данных; после приема каждого байта модуль SMBus0 передает биты подтверждения (ACK) или неподтверждения (NACK) в зависимости от состояния бита AA регистра SMB0CN. Модуль SMBus0 выходит из режима ведомого приемника после приема бита STOP от ведущего.

Рисунок 19.7. Прием данных в режиме ведомого



19.4. Регистры специального назначения модуля SMBus

Для доступа к интерфейсу SMBus и управления им используются пять регистров SFR: регистр управления SMB0CN, регистр установки тактовой частоты SMB0CR, регистр адреса SMB0ADR, регистр данных SMB0DAT и регистр состояния SMB0STA. Все эти регистры описываются в следующих разделах.

19.4.1. Регистр управления

Регистр управления SMB0CN используется для управления модулем SMBus и его настройки. Все биты этого регистра можно читать и записывать программно. Два из управляющих битов также устанавливаются модулем SMBus0 аппаратно. Флаг прерывания от последовательного порта (SI, SMB0CN.3) устанавливается в 1 аппаратно при возникновении прерывания от модуля SMBus. Он может быть сброшен только программно. Флаг STOP (STO, SMB0CN.4) устанавливается в 1 программно. Этот флаг сбрасывается в 0 аппаратно при обнаружении на шине бита STOP.

Установка в 1 флага ENSMB включает модуль SMBus0. Сброс в 0 флага ENSMB отключает модуль SMBus0 и удаляет его с шины. Сброс флага ENSMB и затем повторная его установка в 1 приведут к сбросу модуля SMBus0. Однако, флаг ENSMB не следует использовать для временного удаления устройства с шины, т.к. информация о состоянии шины будет потеряна. Вместо этого для временного удаления устройства с шины следует использовать флаг назначения подтверждения AA (описание флага AA приведено ниже).

Установка в 1 флага запуска (STA, SMB0CN.5) переведет модуль SMBus0 в режим ведущего. Если шина свободна, модуль SMBus0 сгенерирует бит START. Если шина занята, то модуль SMBus0 будет ожидать бита STOP, свидетельствующего об освобождении шины, и затем сгенерирует бит START через 5мкс после задержки, определяемой значением регистра SMB0CR. (В соответствии с протоколом SMBus, модуль SMBus0 также будет считать шину свободной, если шина простаивает в течение 50мкс и бит STOP не обнаружен). Если бит STA устанавливается в 1 в то время, когда модуль SMBus находится в режиме ведущего и уже переданы один или несколько байт, то будет сгенерировано событие «повторный START».

Если флаг окончания передачи (STO, SMB0CN.4) устанавливается в 1 в то время, когда модуль SMBus0 находится в режиме ведущего, то модуль SMBus0 сгенерирует на шине бит STOP. В режиме ведомого флаг STO можно использовать для восстановления из состояния сбоя. В этом случае бит STOP не генерируется, но модуль SMBus0 ведет себя так, как будто бит STOP уже получен, и переходит в режим «не адресованного» ведомого приемника. Следует иметь в виду, что этот условный бит STOP не вызовет освобождения шины. Шина будет оставаться занятой до тех пор, пока на ней не появится бит STOP или пока не произойдет условие таймута освобождения шины. При обнаружении на шине бита STOP модуль SMBus0 автоматически сбрасывает в 0 флаг STO.

Флаг прерываний от последовательного порта (SI, SMB0CN.3) устанавливается аппаратно в 1, если интерфейс SMBus переходит к одному из 27 возможных состояний. Если прерывания от модуля SMBus0 разрешены, то при установке в 1 флага SI генерируется запрос прерывания. Флаг SI должен быть сброшен программно.

Важное примечание: Если флаг SI установлен в 1 в то время, когда на линии SCL удерживается низкий уровень сигнала, то период тактового импульса будет «растягиваться» (на участке с низким уровнем сигнала) и передача последовательных данных по шине приостановится до тех пор, пока не будет сброшен в 0 флаг SI. На длительность высокого уровня сигнала на линии SCL установка флага SI не влияет.

Флаг назначения подтверждения AA (AA, SMB0CN.2) используется для задания уровня сигнала на линии SDA во время тактового импульса подтверждения на линии SCL. Установка в 1 флага AA приведет к передаче бита подтверждения ACK (низкий уровень сигнала на линии SDA) во время тактового импульса подтверждения на линии SCL, если устройство распознало свой адрес. Сброс в 0 флага AA приведет к передаче бита «нет подтверждения» NACK (высокий уровень сигнала на линии SDA) во время тактового импульса подтверждения на линии SCL. После передачи байта в режиме ведомого ведомое устройство можно временно удалить с шины путем сброса в 0 флага AA. Собственный адрес ведомого и адрес общего вызова будут игнорироваться. Для восстановления работы на шине необходимо установить в 1 флаг AA, чтобы разрешить ведомому распознавать свой адрес.

Установка в 1 бита разрешения таймера освобождения шины SMBus (FTE, SMB0CN.1) включит таймер отсчета таймута освобождения шины, который определяется значением регистра SMB0CR. Если на линии SCL удерживается высокий уровень сигнала, то таймер отсчитывает таймат, определяемый регистром SMB0CR. Переполнение таймера означает истечение таймута освобождения шины: если модуль SMBus0 ожидает момента для генерации бита START, то он сгенерирует его после истечения данного таймута. Период освобождения шины должен быть не более 50мкс (см. рис.19.9).

Когда бит (TOE, SMB0CN.0) установлен в 1, Таймер 3 используется для отсчета таймута низкого уровня сигнала на линии SCL. Если Таймер 3 включен (см. раздел 23.2), то он будет перезагружаться, когда на

C8051F120/1/2/3/4/5/6/7

C8051F130/1/2/3

линии SCL присутствует сигнал высокого уровня, и будет отсчитывать таймаут, когда на линии SCL присутствует сигнал низкого уровня. Если Таймер 3 включен и настроен на переполнение через 25мс (и бит TOE установлен в 1), то переполнение Таймера 3 означает истечение таймаута низкого уровня сигнала на линии SCL; в этом случае для сброса модуля SMBus0 можно использовать процедуру обработки прерывания от Таймера 3.

Рисунок 19.8. SMB0CN: Регистр управления модуля SMBus0

R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
BUSY	ENSMB	STA	STO	SI	AA	FTE	TOE	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xC0 SFR страница: 0
<p>Бит 7: BUSY: Флаг занятости шины SMBus. 0: Шина SMBus свободна 1: Шина SMBus занята</p> <p>Бит 6: ENSMB: Включение модуля SMBus0. Этот бит включает/отключает последовательный интерфейс SMBus0. 0: SMBus0 отключен. 1: SMBus0 включен.</p> <p>Бит 5: STA: Флаг запуска модуля SMBus0. 0: Бит START не передается. 1: При работе в режиме ведущего бит START передается, если шина свободна. (Если шина не свободна, то бит START передается после приема бита STOP.) Если бит STA устанавливается после передачи или приема одного или нескольких байт и до приема бита STOP, то передается бит «повторный START».</p> <p>Бит 4: STO: Флаг окончания передачи модуля SMBus0. 0: Бит STOP не передается. 1: Установка в 1 бита STO приведет к передаче бита STOP. При приеме бита STOP флаг STO аппаратно сбрасывается в 0. Если оба флага STA и STO установлены в 1, то вслед за битом STOP передается бит START. В режиме ведомого установка флага STO заставит модуль SMBus0 вести себя так, как будто получен бит STOP.</p> <p>Бит 3: SI: Флаг прерывания от последовательного порта SMBus. Этот бит устанавливается аппаратно при переходе модуля SMBus к одному из 27 возможных состояний. (Состояние с кодом 0xF8 не вызывает установку бита SI.) Если прерывание от SI разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SMBus. Этот бит автоматически аппаратно не сбрасывается и должен быть сброшен программно.</p> <p>Бит 2: AA: Флаг назначения подтверждения . Этот бит определяет тип бита подтверждения, передаваемого во время тактового цикла подтверждения на линии SCL. 0: Во время тактового цикла подтверждения передается бит «нет подтверждения» (высокий уровень сигнала на линии SDA). 1: Во время тактового цикла подтверждения передается бит «подтверждение» (низкий уровень сигнала на линии SDA).</p> <p>Бит 1: FTE: Бит разрешения таймера освобождения шины SMBus. 0: Не используется таймаут высокого уровня на линии SCL 1: Если время удержания высокого уровня на линии SCL превышает предел, определяемый значением регистра SMB0CR, то происходит условие таймаута.</p> <p>Бит 0: TOE: Бит разрешения таймаута SMBus. 0: Не используется таймаут низкого уровня на линии SCL. 1: Если время удержания низкого уровня на линии SCL превышает предел, определяемый Таймером 3 (если он включен), то происходит условие таймаута.</p>								

19.4.2. Регистр установки тактовой частоты модуля SMBus

Рисунок 19.9. SMB0CR: Регистр установки тактовой частоты модуля SMBus0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xCF SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SMB0CR.[7:0]: Установка тактовой частоты модуля SMBus0

Регистр установки тактовой частоты SMB0CR управляет частотой тактовых импульсов, выдаваемых на линию SCL в режиме ведущего. 8-разрядное слово, сохраненное в регистре SMB0CR, загружается в специальный 8-разрядный таймер. Этот таймер считает в прямом направлении и когда он переполнится (из состояния 0xFF в состояние 0x00), состояние сигнала на линии SCL изменится на противоположное.

Значение SMB0CR ограничивается следующим уравнением:

$$SMB0CR < ((288 - 0.85 * SYSCLK/4) / 1.125, \text{ где}$$

SMB0CR – 8-разрядное значение (без знака) регистра SMB0CR;
SYSCLK – системная тактовая частота в [МГц].

Длительность удержания низкого и высокого уровней тактового сигнала на линии SCL определяется следующими уравнениями:

$$T_{LOW} = (256 - SMB0CR) / SYSCLK$$

$$T_{HIGH} = (258 - SMB0CR) / SYSCLK + 625\text{нс}$$

где SYSCLK – системная тактовая частота в [Гц]

Значение регистра SMB0CR определяет также таймаут освобождения шины в соответствии со следующим уравнением:

$$T_{BFT} \approx 10 * [4 * (256 - SMB0CR) + 1] / SYSCLK$$

19.4.3. Регистр данных

Регистр данных модуля SMBus0 SMB0DAT содержит байт последовательных данных, который необходимо передать, или байт последовательных данных, который только что принят. Программа может прочитать из регистра или записать в регистр данные, когда флаг SI установлен в 1; программа не должна пытаться обратиться к регистру SMB0DAT, когда модуль SMBus включен и флаг SI сброшен в 0, т.к. в этот момент может осуществляться аппаратный сдвиг байта данных в регистр или из регистра.

Данные всегда сдвигаются старшими разрядами вперед. После приема байта первый бит принятых данных занимает старший разряд регистра SMB0DAT. Когда данные выдвигаются из регистра, они одновременно появляются на шине. Поэтому регистр SMB0DAT всегда содержит последний байт данных, присутствующий в настоящий момент на шине. Таким образом, в случае потери арбитража переход от ведущего передатчика к ведомому приемнику осуществляется с корректными данными в регистре SMB0DAT.

Рисунок 19.10. SMB0DAT: Регистр данных модуля SMBus0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0xC2 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SMB0DAT: Данные модуля SMBus0.

Регистр SMB0DAT содержит байт данных, которые должны передаваться последовательному интерфейсу SMBus, или данные, только что принятые от последовательного интерфейса SMBus. Читать из этого регистра или записывать в этот регистр можно всегда, когда флаг прерывания от последовательного порта SI (SMB0CN.3) установлен в 1. Когда флаг SI не установлен в 1, система может находиться в процессе сдвига данных в регистр (или из регистра) SMB0DAT и обращаться к этому регистру нельзя.

19.4.4. Регистр адреса

Регистр адреса SMB0ADR содержит адрес ведомого для интерфейса SMBus0. В ведомом режиме семь старших значащих битов образуют 7-битный адрес ведомого. Младший значащий бит, бит 0, используется для разрешения распознавания адреса общего вызова (0x00). Если бит 0 установлен в 1, адрес общего вызова будет распознаваться. В противном случае, адрес общего вызова будет игнорироваться. Содержимое этого регистра игнорируется, если модуль SMBus0 работает в ведущем режиме.

Рисунок 19.11. SMB0ADR: Регистр адреса модуля SMBus

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
SLV6	SLV5	SLV4	SLV3	SLV2	SLV1	SLV0	GC	SFR Адрес: 0xC3 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-1: SLV6-SLV0: Адрес ведомого SMBus
Эти биты загружаются 7-разрядным адресом ведомого, на который будет отвечать модуль SMBus при работе в качестве ведомого передатчика или ведомого приемника. SLV6 является старшим значащим битом адреса и соответствует первому биту адресного байта, полученного по шине SMBus.

Бит 0: GC: Разрешение адреса общего вызова.
Этот бит используется для разрешения распознавания адреса общего вызова (0x00).
0: Адрес общего вызова игнорируется.
1: Адрес общего вызова распознается.

19.4.5. Регистр состояния

Регистр состояния SMB0STA содержит 8-битный код состояния, показывающий текущее состояние модуля SMBus0. Существует 28 возможных состояний модуля SMBus, каждому из которых соответствует уникальный код состояния. Пять старших значащих битов кода состояния могут иметь различные значения, а три младших значащих бита для корректных кодов состояния всегда равны нулю, когда SI = 1. Поэтому все возможные коды состояния кратны восьми. Это позволяет применять в программе код состояния в качестве индекса, используемого для перехода на соответствующую процедуру обслуживания (используя 8 байт кода для обслуживания состояния или для перехода на более сложную процедуру обслуживания).

Для нужд программы пользователя содержимое регистра SMB0STA определено только тогда, когда флаг SI установлен в 1. Программа никогда не должна записывать данные в регистр SMB0STA. Это приведет к неопределенному результату. В табл.19.1 приведены все 28 состояний модуля SMBus вместе с соответствующими им кодами.

Рисунок 19.12. SMB0STA: Регистр состояния модуля SMBus0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
STA7	STA6	STA5	STA4	STA3	STA2	STA1	STA0	11111000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xC1 SFR страница: 0

Биты 7-3: STA7-STA3: Код состояния модуля SMBus0.
 Эти биты содержат код состояния модуля SMBus0. Существует 28 возможных кодов состояния. Каждый код состояния соответствует единственному состоянию модуля SMBus0. Корректный код состояния присутствует в регистре SMB0STA, когда флаг SI (SMB0CN.3) установлен в 1. Содержимое регистра SMB0STA не определено, когда флаг SI равен нулю. Запись в регистр SMB0STA в любое время даст неопределенный результат.

Биты 2-0: STA2-STA0: Три младших значащих бита регистра SMB0STA всегда читаются как 0, когда флаг SI установлен в 1

Таблица 19.1. Коды состояния модуля SMBus

Код состояния (SMB0STA)	Режим	Состояние модуля SMBus	Типичное действие
0x00	Все режимы	Ошибка шины (т.е. некорректный START, некорректный STOP, ...)	Установка STO для сброса SMBus
0x08	Ведущий передатчик/приемник	Передан бит START.	Загрузка SMB0DAT адресом ведомого + R/W. Сброс STA.
0x10	Ведущий передатчик/приемник	Передан бит «повторный START».	Загрузка SMB0DAT адресом ведомого + R/W. Сброс STA.
0x18	Ведущий передатчик	Передан адрес ведомого + W. Получен ACK.	Загрузка SMB0DAT данными для передачи
0x20	Ведущий передатчик	Передан адрес ведомого + W. Получен NACK.	Повтор опроса подтверждения. Установка STO + STA.
0x28	Ведущий передатчик	Передан байт данных. Получен ACK.	1) Загрузка SMB0DAT следующим байтом, или 2) Установка STO, или 3) Сброс STO, а затем установка STA для передачи бита «повторный START»
0x30	Ведущий передатчик	Передан байт данных. Получен NACK.	1) Повтор передачи, или 2) Установка STO
0x38	Ведущий передатчик	Потерян арбитраж.	Сохранение текущих данных
0x40	Ведущий приемник	Передан адрес ведомого + R. Получен ACK.	Если необходимо принять только один байт, то сброс AA (передача NACK после приема байта). Ожидание принимаемых данных
0x48	Ведущий приемник	Передан адрес ведомого + R. Получен NACK.	Повтор опроса подтверждения. Установка STO + STA.
0x50	Ведущий приемник	Получен байт данных. Передан ACK.	Чтение SMB0DAT. Ожидание следующего байта. Если следующий байт является последним, то сброс AA.
0x58	Ведущий приемник	Получен байт данных. Передан NACK.	Установка STO.
0x60	Ведомый приемник	Получен собственный адрес ведомого + W. Передан ACK.	Ожидание данных.
0x68	Ведомый приемник	При передаче в ведущем режиме адреса ведомого + R/W потерян арбитраж. Получен собственный адрес ведомого + W. Передан ACK.	Сохранить текущие данные для повтора передачи, когда шина освободится. Ожидание данных.
0x70	Ведомый приемник	Получен адрес общего вызова (0x00). Передан ACK.	Ожидание данных.
0x78	Ведомый приемник	При передаче в ведущем режиме адреса ведомого + R/W потерян арбитраж. Получен адрес общего вызова (0x00). Передан ACK.	Сохранить текущие данные для повтора передачи, когда шина освободится.
0x80	Ведомый приемник	Получен собственный адрес ведомого + W. Получен байт данных. Передан ACK.	Чтение SMB0DAT. Ожидание следующего байта или STOP.
0x88	Ведомый приемник	Получен собственный адрес ведомого + W. Получен байт данных. Передан NACK.	Установка STO для сброса SMBus.

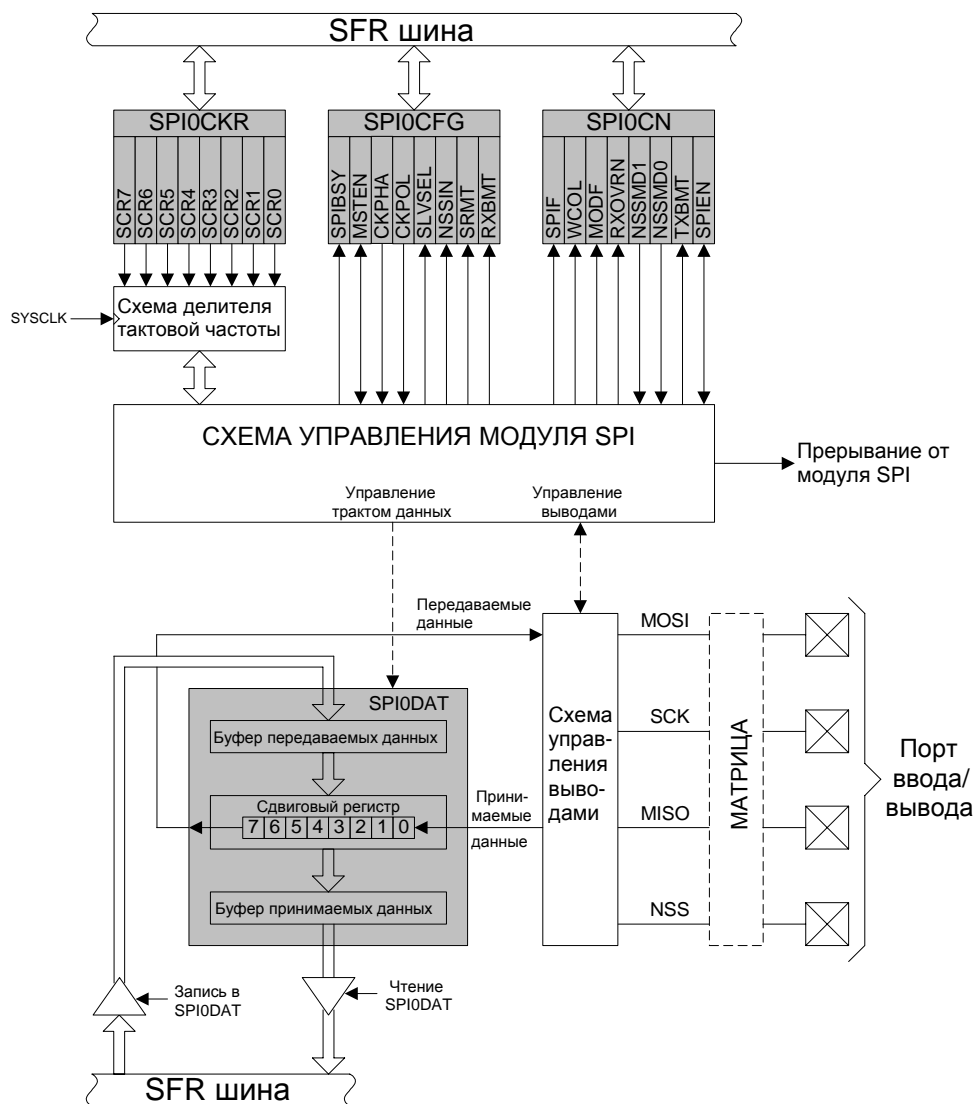
Код состояния (SMB0STA)	Режим	Состояние модуля SMBus	Типичное действие
0x90	Ведомый приемник	Получен адрес общего вызова (0x00). Получен байт данных. Передан ACK.	Чтение SMB0DAT. Ожидание следующего байта или STOP.
0x98	Ведомый приемник	Получен адрес общего вызова (0x00). Получен байт данных. Передан NACK.	Установка STO для сброса SMBus.
0xA0	Ведомый приемник	Получен бит STOP или «повторный START», когда устройство адресуется в качестве ведомого.	Никаких действий не требуется.
0xA8	Ведомый передатчик	Получен собственный адрес ведомого + R. Передан ACK.	Загрузка SMB0DAT данными для передачи.
0xB0	Ведомый передатчик	При передаче в ведущем режиме адреса ведомого + R/W потеря арбитраж. Получен собственный адрес ведомого + R. Передан ACK.	Сохранить текущие данные для повторной передачи, когда шина освободится. Загрузка SMB0DAT данными для передачи.
0xB8	Ведомый передатчик	Передан байт данных. Получен ACK.	Загрузка SMB0DAT данными для передачи
0xC0	Ведомый передатчик	Передан байт данных. Получен NACK.	Ожидание бита STOP.
0xC8	Ведомый передатчик	Передан последний байт данных (AA=0). Получен ACK.	Установка STO для сброса SMBus.
0xD0	Ведомый передатчик/приемник	Истек таймаут высокого уровня на линии SCL, определяемый значением регистра SMB0CR (при FTE=1)	Установка STO для сброса SMBus.
0xF8	Все режимы	Простой (ожидание)	Флаг SI не установлен.

ПРИМЕЧАНИЯ

20. МОДУЛЬ SPI (SPI0)

Модуль SPI0 обеспечивает доступ к гибкой полнодуплексной синхронной последовательной шине. SPI0 может выполнять функции ведущего или ведомого устройства в 3-х проводном или 4-х проводном режимах, а также поддерживает работу нескольких ведомых и ведущих устройств на одной шине. Сигнал выбора ведомого (NSS) можно настроить как вход выбора SPI0 в ведомом режиме или как вход отключения функций ведущего при работе на шине с несколькими ведущими, что позволяет предотвратить конфликты на шине в том случае, если два или более ведущих попытаются передать данные одновременно. Кроме этого NSS можно настроить как выход выбора кристалла в ведущем режиме или отключить при работе в 3-х проводном режиме. Дополнительный порт ввода/вывода общего назначения можно использовать в ведущем режиме для выбора нескольких ведомых устройств.

Рисунок 20.1. Структурная схема модуля SPI



20.1. Описание сигналов

Ниже описаны четыре сигнала, используемые интерфейсом SPI (MOSI, MISO, SCK, NSS).

20.1.1. Выход ведущего, вход ведомого (MOSI)

Сигнал MOSI (master-out, slave-in - «выход ведущего, вход ведомого») является выходом данных ведущего устройства и входом данных ведомых устройств. Он используется для последовательной передачи данных от ведущего к ведомому. Этот сигнал является выходом, если SPI0 работает в ведущем режиме, и входом, если SPI0 работает в ведомом режиме. Данные передаются старшими значащими разрядами вперед. При работе в ведущем режиме состояние сигнала MOSI определяется старшим значащим разрядом сдвигового регистра как в 3-х проводном, так и в 4-х проводном режимах.

20.1.2. Вход ведущего, выход ведомого (MISO)

Сигнал MISO (master-in, slave-out - «вход ведущего, выход ведомого») является выходом данных ведомого устройства и входом данных ведущего устройства. Он используется для последовательной передачи данных от ведомого к ведущему. Этот сигнал является входом, если SPI0 работает в ведущем режиме, и выходом, если SPI0 работает в ведомом режиме. Данные передаются старшими значащими разрядами вперед. Вывод MISO переводится в высокоимпедансное состояние, когда модуль SPI отключен, а также тогда, когда модуль SPI работает в 4-х проводном режиме как ведомый, который не выбран. Когда модуль SPI работает в 3-х проводном режиме как ведомый, состояние сигнала MISO всегда определяется старшим значащим разрядом сдвигового регистра.

20.1.3. Тактовые импульсы (SCK)

Сигнал SCK (serial clock – «импульсы тактирования последовательного интерфейса») является выходом ведущего устройства и входом ведомых устройств. Он используется для синхронизации обмена данными между ведущим и ведомым устройствами по линиям MOSI и MISO. SPI0 генерирует этот сигнал, когда работает в ведущем режиме. В 4-х проводном ведомом режиме сигнал SCK игнорируется ведомым SPI, когда ведомый не выбран (NSS = 1).

20.1.4. Выбор ведомого (NSS)

Функционирование сигнала выбора ведомого (NSS) зависит от состояния бит NSSMD1 и NSSMD0 регистра SPI0CN. С помощью этих бит можно выбрать три возможных режима:

1. NSSMD[1:0] = 00: 3-х проводный ведущий или 3-х проводный ведомый режим: SPI0 работает в 3-х проводном режиме и NSS отключен. В 3-х проводном ведомом режиме SPI0 выбран всегда. Т.к. сигнал выбора отсутствует, то в 3-х проводном режиме SPI0 может быть только ведомым на шине. Этот режим предназначен для организации взаимодействия типа «точка - точка» между ведущим устройством и одним ведомым устройством.
2. NSSMD[1:0] = 01: 4-х проводный ведомый режим или режим с несколькими ведущими: SPI0 работает в 4-х проводном режиме и NSS является входом. При работе в ведомом режиме сигнал NSS является сигналом выбора данного ведомого. При работе в ведущем режиме срез (переход из состояния 1 в состояние 0) сигнала NSS отключает функции ведущего SPI0, что позволяет работать на одной SPI шине нескольким ведущим устройствам.
3. NSSMD[1:0] = 1x: 4-х проводный ведущий режим: SPI0 работает в 4-х проводном режиме и NSS является выходом. Значение бита NSSMD0 определяет, сигнал какого логического уровня будет выведен на вывод NSS. Эту конфигурацию следует использовать только тогда, когда SPI0 работает в ведущем режиме.

На рис.20.2, рис.20.3 и рис.20.4 показаны типичные схемы включения для различных режимов работы. Следует иметь в виду, что состояние бит NSSMD влияет на разводку выводов МК. В 3-х проводном ведомом или 3-х проводном ведущем режимах вывод NSS не будет разводиться матрицей. Во всех других режимах сигнал NSS будет выводиться на внешний вывод МК. Подробная информация о портах ввода/вывода общего назначения и матрице приведена в разделе 18.

20.2. Функционирование SPI0 в ведущем режиме

Все сеансы обмена данными по SPI шине инициируются ведущим устройством. Модуль SPI0 переводится в ведущий режим работы установкой в 1 флага включения ведущего режима (MSTEN, SPI0CN.6). Если модуль SPI0 работает в ведущем режиме, то запись байта данных в регистр данных модуля SPI0 (SPI0DAT) вызовет загрузку буфера передатчика. Если сдвиговый регистр модуля SPI0 пуст, то в него загружается байт из буфера передатчика и начинается передача данных. Ведущий SPI сразу же начинает последовательно сдвигать данные на линию MOSI, выдавая тактовые импульсы на линию SCK. По окончании передачи устанавливается в 1 флаг SPIF (SPI0CN.7). Если прерывания разрешены, то при установке флага SPIF генерируется запрос прерывания. В полнодуплексном режиме работы в то время, когда ведущий SPI передает данные ведомому по линии MOSI, адресуемый ведомый одновременно передает содержимое своего регистра сдвига ведущему SPI по линии MISO. Поэтому флаг SPIF является как флагом окончания передачи, так и флагом готовности принимаемых данных. Байт данных, принимаемый от ведомого устройства, передается старшими значащими разрядами вперед в сдвиговый регистр ведущего. После полной загрузки сдвигового регистра полученный байт данных переписывается в буфер приемника, откуда он может быть считан процессором путем чтения регистра SPI0DAT.

Когда модуль SPI0 настроен как ведущий, он может работать в одном из трех различных режимов:

- режим работы с несколькими ведущими;
- 3-х проводный режим работы с одним ведущим;
- 4-х проводный режим работы с одним ведущим.
-

Активным по умолчанию является режим работы с несколькими ведущими, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 1. В этом режиме NSS функционирует как вход и используется для отключения ведущего SPI0 в то время, когда другой ведущий пытается получить доступ к шине. Если в этом режиме на вход NSS подается сигнал низкого логического уровня, то сбрасываются в 0 биты MSTEN (SPI0CN.6) и SPIEN (SPI0CN.0), выключая тем самым ведущий модуль SPI0, и устанавливается в 1 флаг ошибки режима MODF (SPI0CN.5). При установке флага ошибки режима будет сгенерировано прерывание, если оно разрешено. При данных обстоятельствах требуется программно вновь включить модуль SPI0. В системе с несколькими ведущими любое устройство обычно по умолчанию становится ведомым устройством, если только оно не функционирует как ведущее устройство системы. В режиме с несколькими ведущими ведомые устройства можно адресовать индивидуально (при необходимости), используя порты ввода/вывода общего назначения. На рис.20.2 приведена схема соединений между двумя ведущими устройствами в режиме с несколькими ведущими.

3-х проводный режим работы с одним ведущим активен тогда, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 0. В этом режиме NSS не используется и не разводится на внешний вывод порта с помощью матрицы. Все ведомые устройства, которые требуется адресовать в этом режиме работы, необходимо выбирать с помощью портов ввода/вывода общего назначения. На рис.20.3 приведена схема соединений между ведущим и ведомым устройствами в 3-х проводном режиме.

4-х проводный режим работы с одним ведущим активен тогда, когда NSSMD1 (SPI0CN.3) = 1. В этом режиме NSS функционирует как выход и может использоваться как сигнал выбора ведомого для одного устройства SPI. Логический уровень сигнала на выходе NSS определяется битом NSSMD0 (SPI0CN.2). Другие ведомые устройства можно адресовать с помощью портов ввода/вывода общего назначения. На рис.20.4 приведена схема соединений между одним ведущим и двумя ведомыми устройствами в 4-х проводном режиме.

Рисунок 20.2. Схема включения в режиме с несколькими ведущими

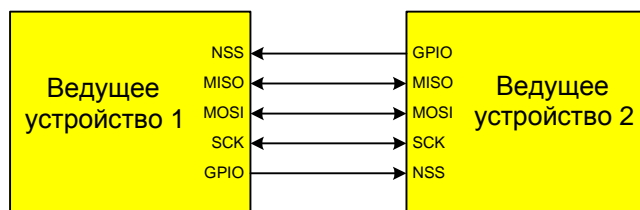


Рисунок 20.3. Схема соединения одного ведущего и одного ведомого с использованием 3-х проводной шины SPI

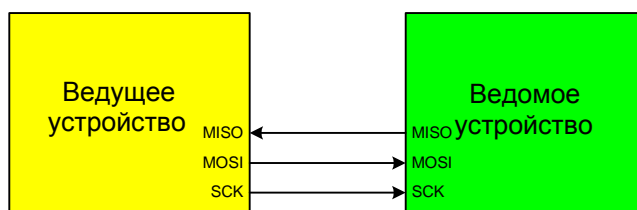
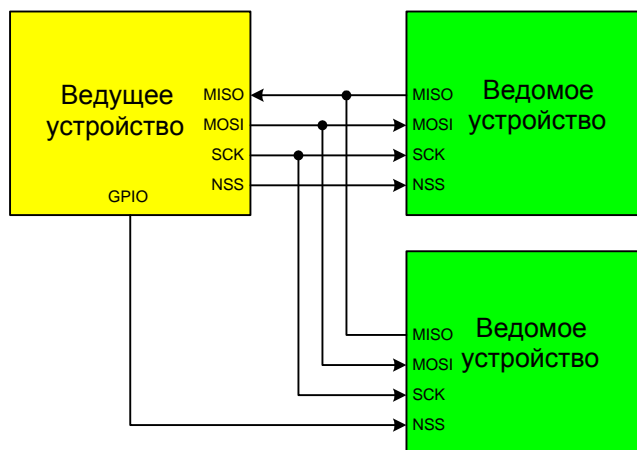


Рисунок 20.4. Схема соединения одного ведущего и нескольких ведомых с использованием 4-х проводной шины SPI



20.3. Функционирование SPI0 в ведомом режиме

Когда модуль SPI0 включен и не настроен как ведущий, он будет функционировать как ведомый SPI. Байты данных принимаются по линии MOSI от ведущего и передаются по линии MISO ведущему, при этом ведущее устройство управляет сигналом на линии SCK. Битовый счетчик логики модуля SPI0 подсчитывает фронты сигнала SCK. После того, как 8 бит данных приняты в сдвиговый регистр, устанавливается в 1 флаг SPIF и байт данных копируется в буфер приемника. Данные считываются из буфера приемника путем чтения регистра SPI0DAT. Ведомое устройство не может инициировать процесс обмена данными. Данные, которые необходимо передать ведущему, предварительно загружаются в сдвиговый регистр путем записи регистра SPI0DAT. При записи регистра SPI0DAT применяется двойная буферизация и данные сначала загружаются в буфер передатчика. Если сдвиговый регистр пуст, то содержимое буфера передатчика будет сразу же передано в сдвиговый регистр. В том случае, если сдвиговый регистр уже содержит данные, то SPI0 будет ждать окончания их передачи, и только после этого загрузит сдвиговый регистр содержимым буфера передатчика.

Когда модуль SPI0 функционирует как ведомый, его можно настроить на работу в 3-х проводном или 4-проводном режимах. Активным по умолчанию является 4-проводный ведомый режим, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 1. В 4-проводном режиме сигнал NSS выведен на внешний вывод порта и настроен как цифровой вход. SPI0 включен, когда NSS = 0, и отключен, когда NSS = 1. Битовый счетчик сбрасывается по заднему фронту сигнала NSS. Следует иметь в виду, что сигнал NSS необходимо сбросить в 0 как минимум за 2 системных тактовых цикла до первого активного фронта сигнала SCK для каждого передаваемого байта. На рис.20.4 приведена схема соединений между одним ведущим и двумя ведомыми устройствами в 4-х проводном режиме.

3-проводный ведомый режим активен, когда NSSMD1 (SPI0CN.3) = 0 и NSSMD0 (SPI0CN.2) = 0. NSS не используется и не разводится на внешний вывод порта с помощью матрицы. Т.к. в этом режиме нет способа однозначной адресации устройства, то SPI0 должен быть единственным ведомым устройством, присутствующим на шине. Важно иметь в виду, что в 3-х проводном ведомом режиме отсутствуют средства для сброса битового счетчика, который определяет момент окончания приема байта. Этот битовый счетчик можно сбросить лишь путем выключения и повторного включения модуля SPI0 с помощью бита SPIEN. На рис.20.3 приведена схема соединений между ведущим и ведомым устройствами в 3-х проводном режиме.

20.4. Источники прерываний модуля SPI0

Если прерывания от модуля SPI0 разрешены, то следующие 4 флага будут генерировать прерывания при установке их в 1:

Все приведенные ниже флаги сбрасываются программно.

1. Флаг прерывания от модуля SPI0 SPIF (SPI0CN.7) устанавливается в 1 по окончании передачи каждого байта. Установка этого флага возможна во всех режимах работы модуля SPI0.
2. Флаг конфликта записи WCOL (SPI0CN.6) устанавливается в 1, если запись в регистр SPI0DAT происходит в тот момент, когда данные из буфера передатчика еще не переписаны в сдвиговый регистр. В этот случае запись в регистр SPI0DAT игнорируется и буфер передатчика не переписывается. Установка этого флага возможна во всех режимах работы модуля SPI0.
3. Флаг ошибки режима MODF (SPI0CN.5) устанавливается в 1, если модуль SPI0 функционирует как ведущий в режиме работы с несколькими ведущими и на входе NSS появляется сигнал с низким логическим уровнем. В этом случае будут сброшены в 0 биты MSTEN и SPIEN в регистре SPI0CN, в результате чего модуль SPI0 будет отключен. Это позволит другому ведущему устройству получить доступ к шине.
4. Флаг переполнения приемника RXOVRN (SPI0CN.4) устанавливается в 1, если при работе в режиме ведомого передача завершается, а буфер приемника все еще содержит непрочитанный байт от предыдущей передачи. Новый байт не переписывается в буфер приемника, что позволяет прочитать ранее принятый байт данных. Байт данных, который вызвал переполнение приемника, теряется.

20.5. Тактирование

Используя биты управления тактовой частотой регистра конфигурации модуля SPI (SPI0CFG), можно выбрать четыре комбинации фазы и полярности импульсов тактирования последовательного интерфейса. Бит СКРНА (SPI0CFG.5) выбирает одну из двух фаз тактового сигнала (фронт, используемый для фиксации данных). Бит СКPOL (SPI0CFG.4) задает активный уровень (высокий или низкий) тактового сигнала. Как ведущий, так и ведомые устройства должны быть настроены на использование одинаковых фазы и полярности тактовых импульсов. При изменении фазы и полярности тактовых импульсов модуль SPI0 следует отключить сбросом в 0 бита SPIEN (SPI0CN.0). Временные диаграммы сигналов данных и тактирования для ведущего режима приведены на рис.20.5. Временные диаграммы сигналов данных и тактирования для ведомого режима приведены на рис. 20.6 и рис.20.7. Следует иметь ввиду, что бит СКРНА должен быть сброшен в 0 как у ведущего так и у ведомого SPI при обмене данными между любыми двумя из следующих МК: C8051F04x, C8051F06x, C8051F12x, C8051F31x, C8051F32x и C8051F33x.

Регистр установки тактовой частоты модуля SPI0 (SPI0CKR), показанный на рис.20.10, управляет частотой тактирования последовательного интерфейса при работе в ведущем режиме. При работе в ведомом режиме содержимое этого регистра игнорируется. Когда модуль SPI0 настроен как ведущий, максимальная скорость передачи данных (в бит/сек) равна половине системной тактовой частоты (12,5 МГц или меньше). Когда модуль SPI настроен как ведомый, максимальная скорость передачи данных (в бит/сек) для полнодуплексного режима работы равна 1/10 системной тактовой частоты, при условии, что сигналы от ведущего SCK, NSS (в 4-х проводном ведомом режиме) и последовательные входные данные синхронизированы с системной тактовой частотой ведомого. Если сигналы от ведущего SCK, NSS и последовательные входные данные асинхронны, то максимальная скорость передачи данных (в бит/сек) должна быть меньше 1/10 системной тактовой частоты. В особом случае, когда ведомому требуется только передавать данные ведомому и не требуется принимать от него данные (т.е. полудуплексный режим работы), ведомый модуль SPI может принимать данные с максимальной скоростью (в бит/сек), равной 1/4 системной тактовой частоты. Это справедливо при условии, что сигналы от ведущего SCK, NSS и последовательные входные данные синхронизированы с системной тактовой частотой ведомого.

Рисунок 20.5. Временные диаграммы сигналов данных/тактирования в режиме ведущего

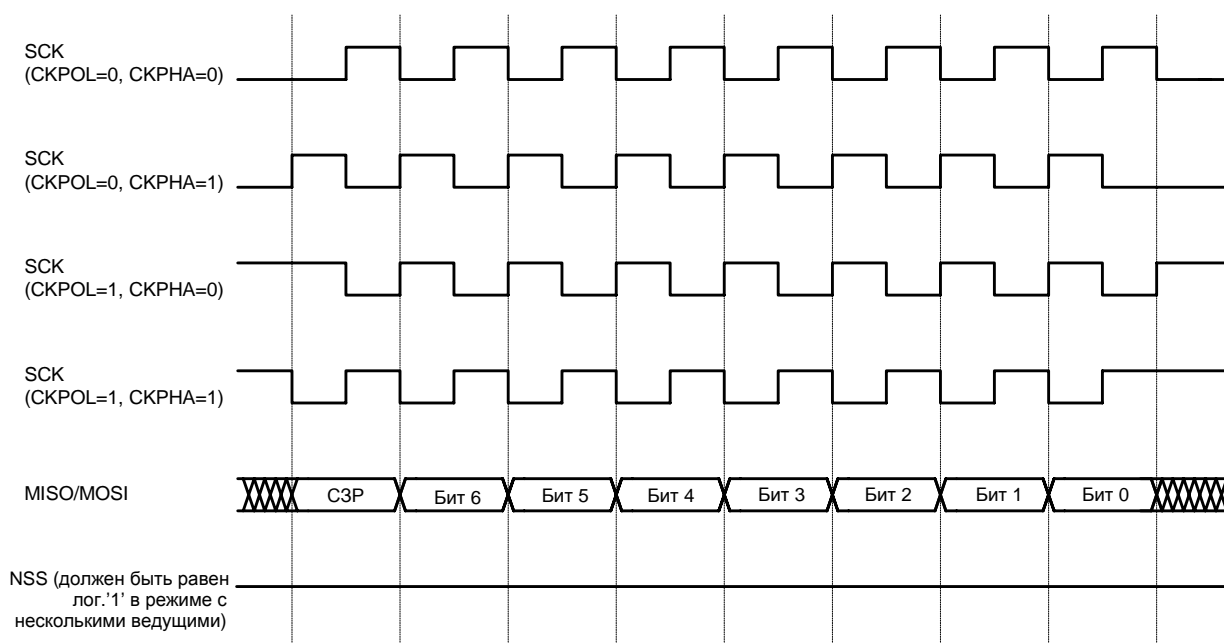


Рисунок 20.6. Временные диаграммы сигналов данных/тактирования в режиме ведомого (СКРНА = 0)

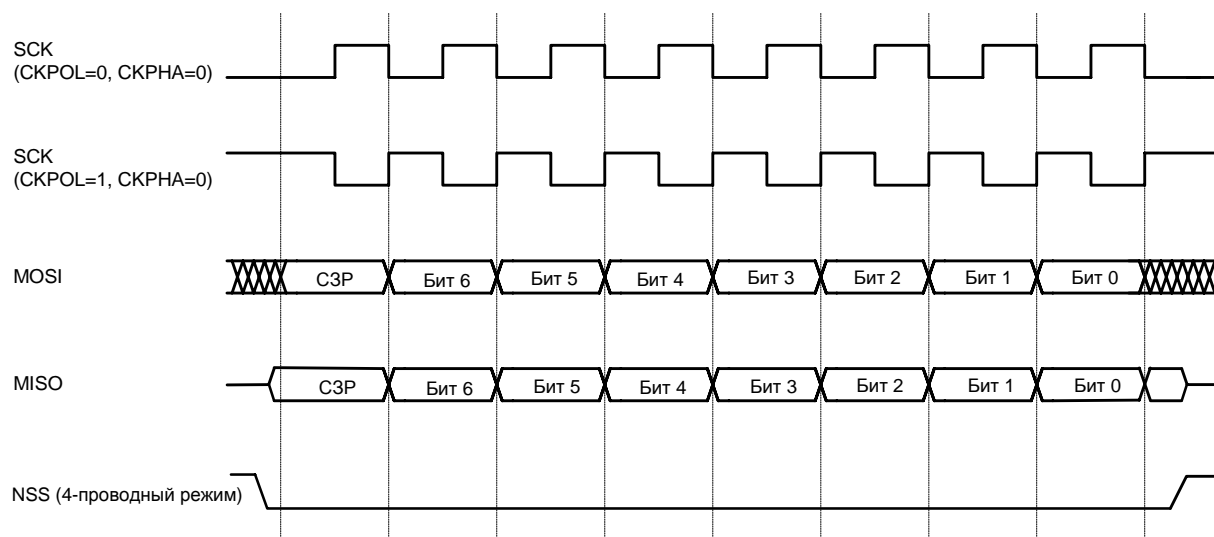
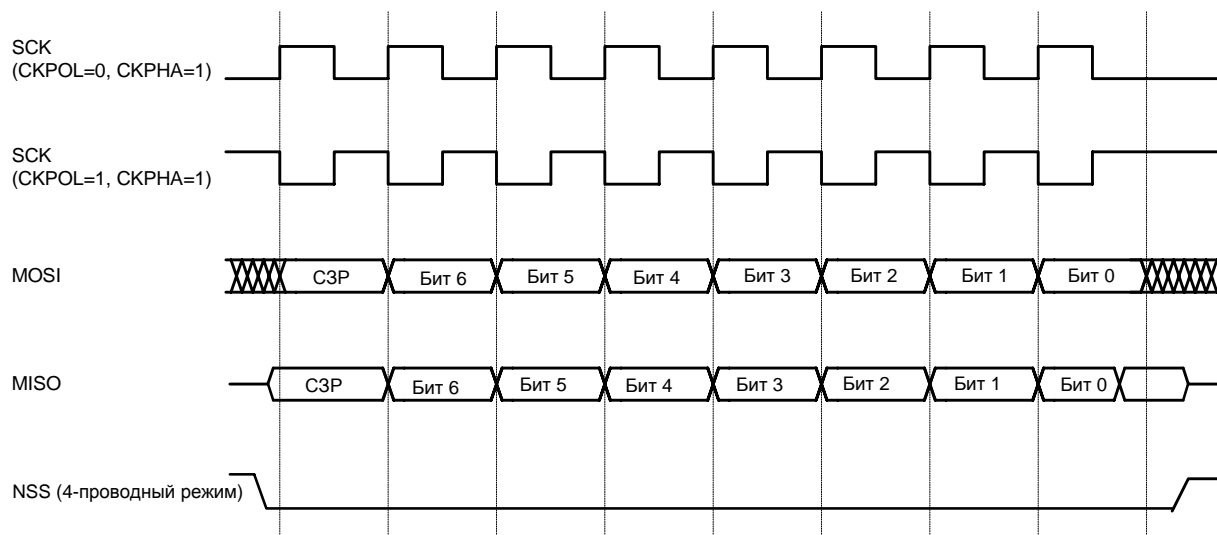


Рисунок 20.7. Временные диаграммы сигналов данных/тактирования в режиме ведомого (СКРНА = 1)



20.6. Регистры специального назначения модуля SPI

Для доступа к интерфейсу SPI и управления им используются четыре регистра специального назначения: регистр управления SPI0CN, регистр данных SPI0DAT, регистр конфигурации SPI0CFG и регистр установки тактовой частоты SPI0CKR. Все эти регистры описаны в следующих разделах.

Рисунок 20.8. SPI0CFG: Регистр конфигурации модуля SPI0

R	R/W	R/W	R/W	R	R	R	R	Значение при сбросе:
SPIBSY	MSTEN	CKPHA	CKPOL	SLVSEL	NSSIN	SRMT	RXBMT	00000111
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9A SFR страница: 0

Бит 7: SPIBSY: Флаг занятости модуля SPI0 (только для чтения).
Этот бит устанавливается в 1 тогда, когда SPI0 находится в процессе передачи данных (ведущий или ведомый режим).

Бит 6: MSTEN: Включение ведущего режима.
0: Ведущий режим отключен. Модуль SPI0 работает в ведомом режиме.
1: Ведущий режим включен. Модуль SPI0 работает в ведущем режиме.

Бит 5: CKPHA: Выбор активной фазы тактового сигнала модуля SPI0.
Этот бит управляет фазой тактового сигнала модуля SPI0.
0: Данные фиксируются по первому фронту периода сигнала SCK.*
1: Данные фиксируются по второму фронту периода сигнала SCK.*

Бит 4: CKPOL: Выбор полярности тактового сигнала модуля SPI0.
Этот бит управляет полярностью тактового сигнала модуля SPI0.
0: В состоянии простоя на линии SCK установлен сигнал низкого уровня.
1: В состоянии простоя на линии SCK установлен сигнал высокого уровня.

Бит 3: SLVSEL: Флаг выбора ведомого (только для чтения).
Этот бит аппаратно устанавливается в 1 всякий раз, когда на линию NSS подан сигнал низкого уровня, и показывает, что SPI0 является выбранным ведомым. Этот бит сбрасывается в 0, если на линию NSS подан сигнал высокого уровня (ведомый не выбран). Этот бит отражает не мгновенное состояние сигнала на выводе NSS, а скорее сглаженную (без паразитных выбросов) форму этого сигнала.

Бит 2: NSSIN: Флаг мгновенного состояния сигнала на входном выводе NSS (только для чтения).
Этот бит отражает мгновенное значение сигнала на входном выводе NSS в момент чтения этого регистра. Этот вход не является сглаженным.

Бит 1: SRMT: Флаг опустошения сдвигового регистра (только для чтения, действителен в ведомом режиме).
Этот бит будет устанавливаться в 1 тогда, когда все данные переданы в сдвиговый регистр или из сдвигового регистра, и нет данных для считывания из буфера передатчика или записи в буфер приемника. Этот бит сбрасывается в 0, когда байт данных передается в сдвиговый регистр из буфера передатчика или при изменении сигнала SCK.
Примечание: SRMT = 1 в ведущем режиме работы.

Бит 0: RXBMT: Флаг опустошения буфера приемника (только для чтения, действителен в ведомом режиме).
Этот бит будет устанавливаться в 1 тогда, когда буфер приемника прочитан и не содержит новых данных. Если в буфере приемника имеются доступные для чтения новые данные, которые не были прочитаны, то этот бит будет сброшен в 0.
Примечание: RXBMT = 1 в ведущем режиме работы.

* В ведомом режиме данные на линии MOSI выбираются в центре каждого битового интервала. В ведущем режиме данные на линии MISO выбираются за один цикл SYSCLK до окончания каждого битового интервала, что позволяет обеспечить максимальное время установления сигнала для ведомого устройства. Временные параметры приведены в табл.20.1.

Рисунок 20.9. SPI0CN: Регистр управления модуля SPI0

R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	Значение при сбросе:
SPIF	WCOL	MODF	RXOVRN	NSSMD1	NSSMD0	TXBMT	SPIEN	00000110
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xF8 SFR страница: 0

Бит 7: SPIF: Флаг прерывания от модуля SPI0.
Этот бит аппаратно устанавливается в 1 по окончании передачи данных. Если прерывания разрешены, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от модуля SPI0. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Бит 6: WCOL: Флаг конфликта записи.
Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0) и тем самым показывает, что была произведена попытка записи в регистр данных модуля SPI0, когда текущий сеанс передачи данных еще не завершился. Этот бит необходимо сбросить программно.

Бит 5: MODF: Флаг ошибки режима.
Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0) при обнаружении конфликта ведущего режима (на линии NSS низкий уровень, $MSTEN = 1$ и $NSSMD[1:0] = 01$). Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Бит 4: RXOVRN: Флаг переполнения приемника (только ведомый режим работы).
Этот бит аппаратно устанавливается в 1 (и генерирует прерывание от модуля SPI0), если приемный буфер все еще содержит непрочитанные данные от предыдущей передачи, а последний бит текущей передачи сдвигается в сдвиговый регистр модуля SPI0. Этот бит не сбрасывается аппаратно, его необходимо сбросить программно.

Биты 3-2: NSSMD1-NSSMD0: Биты режима выбора ведомого.
С помощью этих бит осуществляется выбор между следующими режимами функционирования вывода NSS (см. раздел 20.2 и раздел 20.3):
00: 3-х проводный ведомый или 3-х проводный ведущий режим. Сигнал NSS не разводится с помощью матрицы на внешний вывод МК.
01: 4-х проводный ведомый режим или режим работы с несколькими ведущими (по умолчанию). Вывод NSS всегда является входом.
1х: 4-проводный режим работы с одним ведущим. Вывод NSS настроен как выход и состояние сигнала на нем определяется значением бита NSSMD0.

Бит 1: TXBMT: Флаг опустошения буфера передатчика.
Этот бит будет сбрасываться в 0 при записи новых данных в буфер передатчика. После передачи данных из буфера передатчика в сдвиговый регистр модуля SPI0 этот бит будет установлен в 1, показывая, что в буфер передатчика можно записывать новые данные.

Бит 0: SPIEN: Включение модуля SPI0.
Это бит включает/отключает модуль SPI0.
0: Модуль SPI0 отключен.
1: Модуль SPI0 включен.

Рисунок 20.10. SPI0CKR: Регистр установки тактовой частоты модуля SPI0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
SCR7	SCR6	SCR5	SCR4	SCR3	SCR2	SCR1	SCR0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9D SFR страница: 0

Биты 7-0: SCR7-SCR0: Тактовая частота модуля SPI0

Эти биты определяют частоту выходного сигнала SCK, когда модуль SPI0 работает в ведущем режиме. Частота тактового сигнала SCK представляет собой поделенную на определенный коэффициент системную тактовую частоту и задается следующим уравнением:

$$f_{SCK} = 0.5 * SYSCLK / (SPI0CKR + 1), \text{ для } 0 \leq SPI0CKR \leq 255,$$

где: SYSCLK – частота системного тактового сигнала;
SPI0CKR – 8-разрядное значение регистра SPI0CKR.

Пример: Если SYSCLK = 2МГц и SPI0CKR = 0x04, то:

$$f_{SCK} = 0.5 * 2000000 / (4 + 1) = 200\text{кГц}.$$

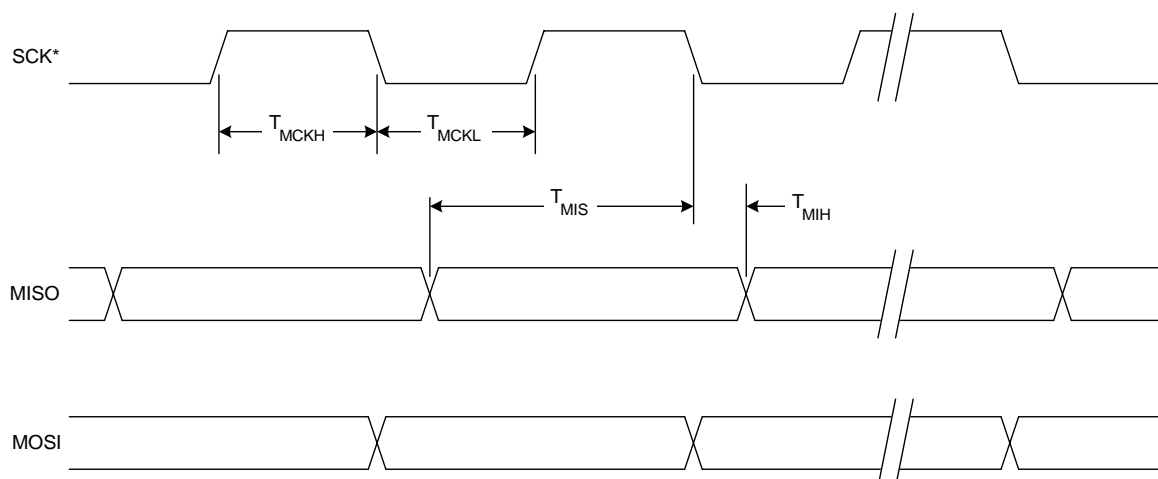
Рисунок 20.11. SPI0DAT: Регистр данных модуля SPI0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x9B SFR страница: 0

Биты 7-0: SPI0DAT: Данные передатчика и приемника модуля SPI0.

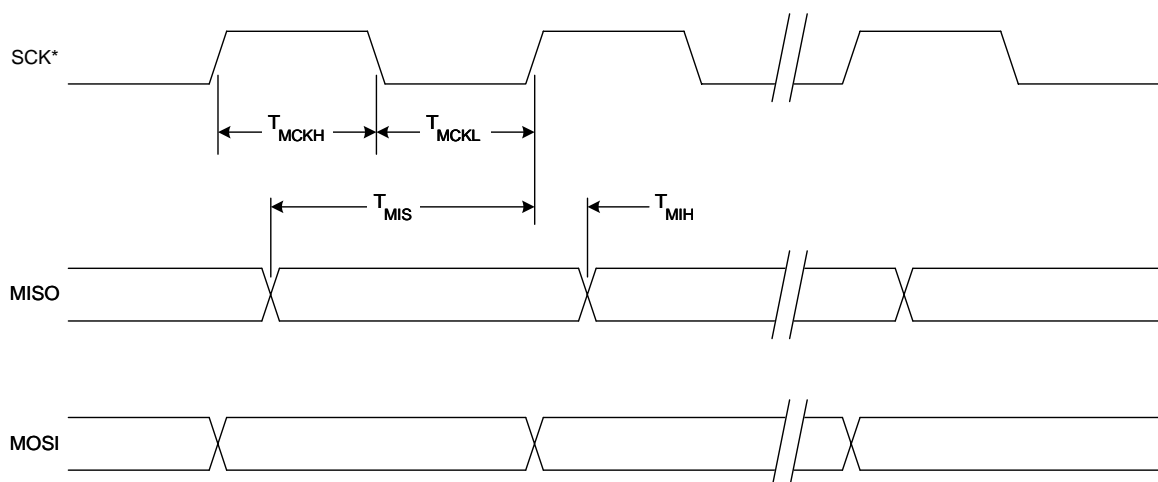
Регистр SPI0DAT используется для передачи и приема данных. В ведущем режиме запись данных в регистр SPI0DAT сразу же приводит к загрузке данных в буфер передатчика и инициирует сеанс передачи. Чтение регистра SPI0DAT возвратит содержимое приемного буфера.

Рисунок 20.12. Временные диаграммы ведущего SPI (CKPHA = 0)



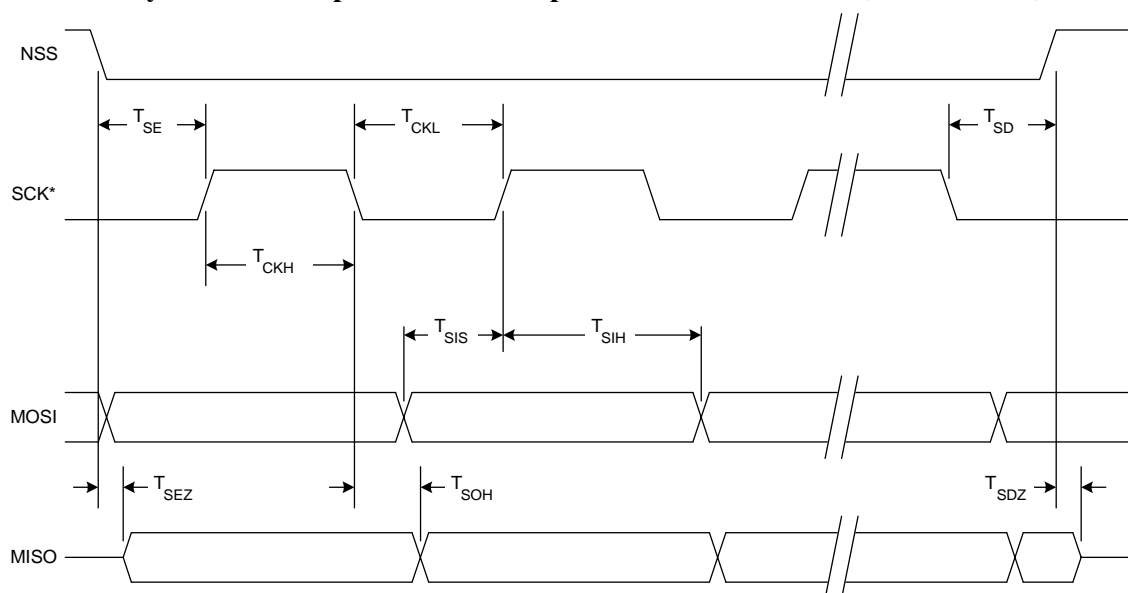
* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Рисунок 20.13. Временные диаграммы ведущего SPI (CKPHA = 1)



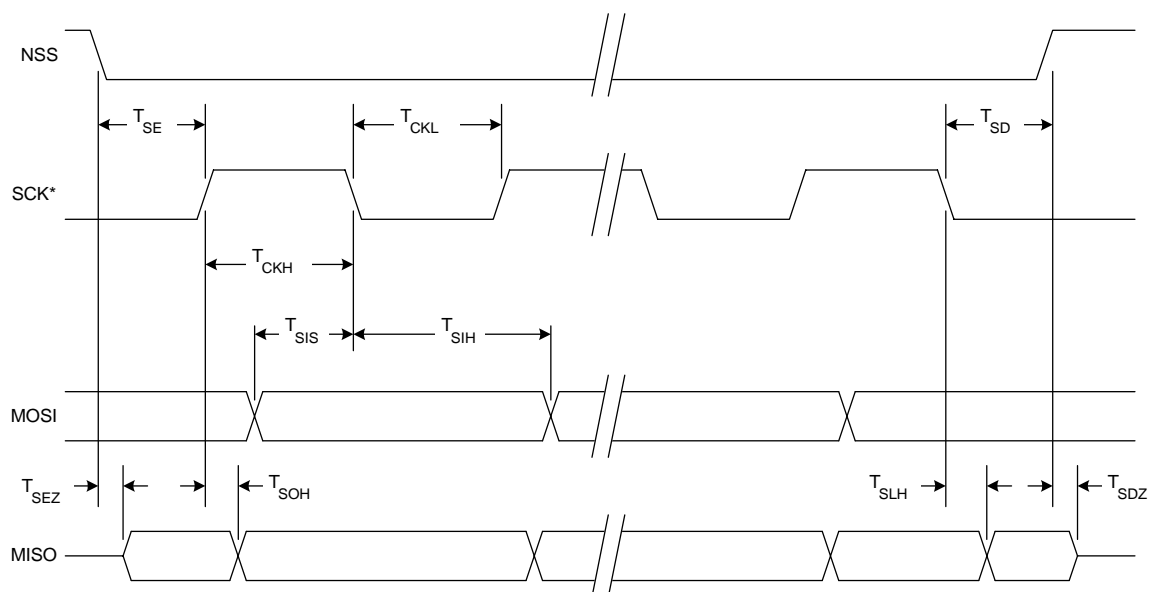
* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Рисунок 20.14. Временные диаграммы ведомого SPI (CKPHA = 0)



* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Рисунок 20.15. Временные диаграммы ведомого SPI (CKPHA = 1)



* Состояние сигнала SCK показано для случая CKPOL = 0. Если CKPOL = 1, то состояние сигнала SCK будет противоположным.

Таблица 20.1. Временные параметры ведомого SPI

Параметр	Описание	Мин.	Макс.	Ед. изм.
Временные параметры ведущего SPI* (см. рис. 20.12 и рис. 20.13)				
TMCKH	Длительность высокого уровня сигнала SCK	1*TSYSCLK		нс
TMCKL	Длительность низкого уровня сигнала SCK	1*TSYSCLK		нс
TMIS	Время удержания данных на линии MISO до фронта SCK, вызывающего сдвиг данных	1*TSYSCLK+ 20		нс
TMIN	Длительность интервала между фронтом SCK, вызывающим сдвиг данных, и обновлением данных на линии MISO	0		нс
Временные параметры ведомого SPI* (см. рис. 20.14 и рис. 20.15)				
TSE	Длительность интервала между появлением сигнала низкого уровня на линии NSS и первым фронтом сигнала SCK	2*TSYSCLK		нс
TSD	Длительность интервала между последним фронтом сигнала SCK и появлением сигнала высокого уровня на линии	2*TSYSCLK		нс
TSEZ	Время установления данных на линии MISO после появления сигнала низкого уровня на линии NSS		4*TSYSCLK	нс
TSDZ	Длительность интервала между появлением сигнала высокого уровня на линии NSS и переходом линии MISO в высокоимпедансное состояние		4*TSYSCLK	нс
TCKH	Длительность высокого уровня сигнала SCK	5*TSYSCLK		нс
TCKL	Длительность низкого уровня сигнала SCK	5*TSYSCLK		нс
TSIS	Время удержания данных на линии MOSI до фронта выборки сигнала SCK	2*TSYSCLK		нс
TSIH	Длительность интервала между фронтом выборки SCK и обновлением данных на линии MOSI	2*TSYSCLK		нс
TSON	Длительность интервала между фронтом SCK, вызывающим сдвиг данных, и обновлением данных на линии MISO		4*TSYSCLK	нс
TSLH	Длительность интервала между последним фронтом SCK и обновлением данных на линии MISO (только для случая, когда СКРНА = 1)	6*TSYSCLK	8*TSYSCLK	нс
* TSYSCLK представляет собой один период системного тактового сигнала (SYSCLK).				

21. УАППО

УАППО (универсальный асинхронный передатчик) представляет собой усовершенствованный последовательный порт, обеспечивающий определение ошибок формата и аппаратное распознавание адреса. УАППО может функционировать в полнодуплексном асинхронном или полудуплексном синхронном режимах, а также полностью поддерживает организацию связи с несколькими МК (мультипроцессорное взаимодействие). Во всех режимах принимаемые данные буферизуются в регистре временного хранения. Это позволяет УАППО начать прием второго входящего байта данных до того, как программа закончит чтение предыдущего байта данных. Флаг переполнения приемника устанавливается в 1, если следующий принятый байт данных фиксируется в буфере приемника до окончания чтения ранее принятого байта.

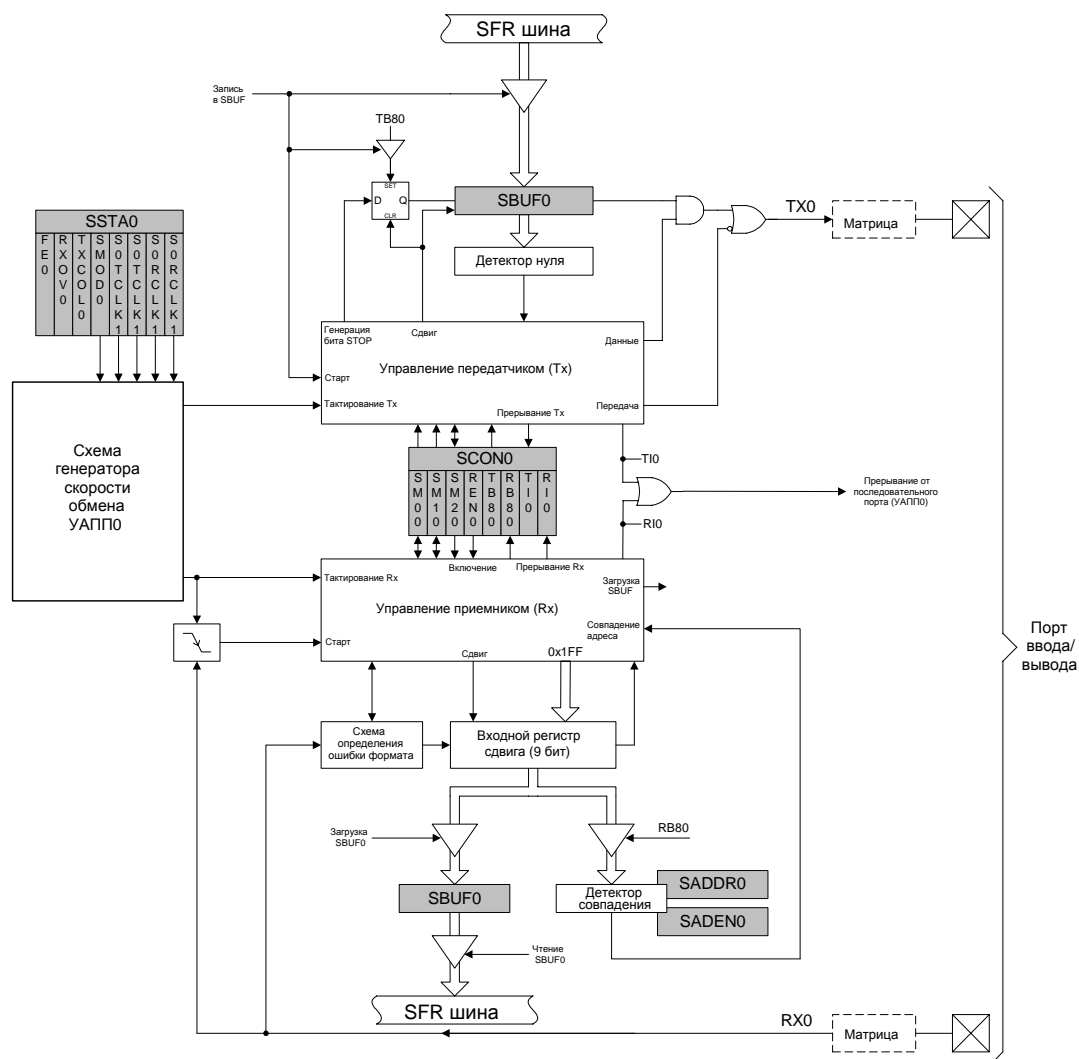
С работой УАППО связаны следующие регистры специального назначения: регистр управления УАППО (SCON0) и буфер данных УАППО (SBUF0). Одна и та же ячейка памяти, адресуемая как SBUF0, обеспечивает доступ и к регистру передатчика, и к регистру приемника. При чтении регистра SBUF0 осуществляется доступ к регистру приемника, а при записи регистра SBUF0 - к регистру передатчика.

С модулем УАППО можно работать как в режиме опроса, так и с использованием прерываний. УАППО имеет два источника прерываний:

- флаг прерываний от передатчика TI0 (SCON0.1), устанавливается, когда передача байта данных завершена;
- флаг прерываний от приемника RI0 (SCON0.0), устанавливается, когда завершен прием байта данных.

Флаги прерываний от УАППО не сбрасываются аппаратно при переходе к процедуре обслуживания прерывания. Они должны сбрасываться программно. Это позволяет программе определить причину, вызвавшую прерывание от УАППО (завершение передачи или завершение приема).

Рисунок 21.1. Структурная схема УАППО



21.1. Режимы работы УАППО

УАППО поддерживает четыре режима работы (один синхронный и три асинхронных), задаваемые битами конфигурации в регистре SCON0. Эти четыре режима различаются скоростью передачи данных и протоколом обмена. В табл.21.1 приведены основные характеристики режимов работы УАППО.

Таблица 22.1. Режимы работы УАППО

Режим	Синхронизация	Скорость передачи данных	Биты данных	Биты Старт/Стоп
0	Синхронный	$\text{SYSCLK} / 12$	8	Нет
1	Асинхронный	Переполнение Таймеров 1, 2, 3 или 4	8	1 Старт, 1 Стоп
2	Асинхронный	$\text{SYSCLK} / 32$ или $\text{SYSCLK} / 64$	9	1 Старт, 1 Стоп
3	Асинхронный	Переполнение Таймеров 1, 2, 3 или 4	9	1 Старт, 1 Стоп

21.1.1. Режим 0: Синхронный режим

Режим 0 обеспечивает синхронный, полудуплексный обмен данными. Последовательные данные передаются и принимаются через внешний вывод RX0. Через внешний вывод TX0 выдаются импульсы сдвига как для передачи, так и для приема данных. МК должен быть ведущим, т.к. он генерирует импульсы сдвига для передачи данных в обоих направлениях (см. рис.21.3).

Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Передаются восемь бит данных, МЗР вперед (см. временные диаграммы на рис.21.2). Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце восьмого битового интервала. Прием данных начинается, когда устанавливается в 1 флаг включения приемника REN0 (SCON0.4), а флаг прерывания от приемника RI0 (SCON0.0) сброшен в 0. Спустя один цикл после приема восьмого бита устанавливается флаг RI0 и прием завершается до программного сброса бита RI0. При установке флагов TI0 или RI0 будет сгенерировано прерывание, если оно разрешено.

Скорость передачи данных в режиме 0 равна $1/12$ системной тактовой частоты. В режиме 0 вывод RX0 настраивается как выход с открытым стоком и обычно требуется подключить к этому выводу внешний подтягивающий резистор.

Рисунок 21.2. Временные диаграммы УАППО в режиме 0

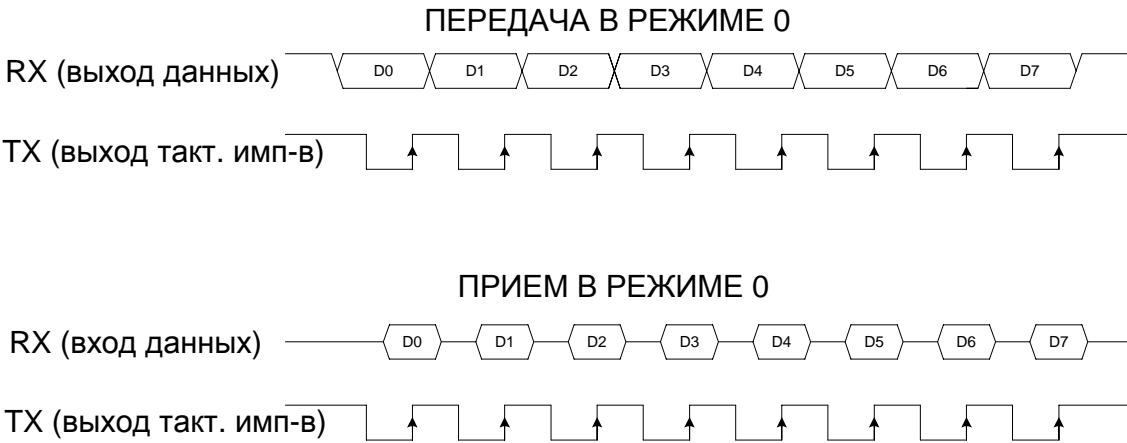
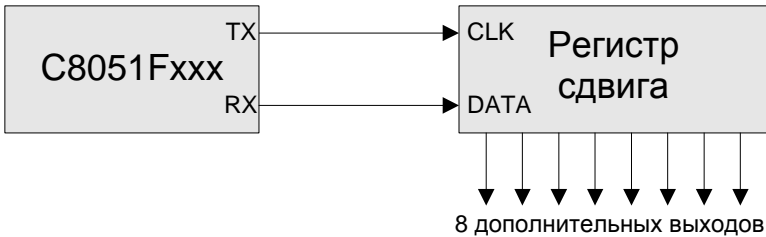


Рисунок 21.3. Пример использования УАППО в режиме 0



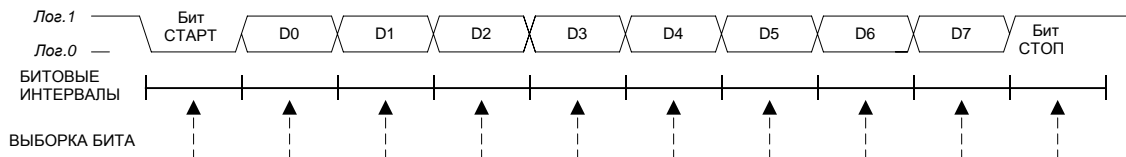
21.1.2. Режим 1: 8-разрядный УАППО, изменяемая скорость передачи данных

Режим 1 обеспечивает стандартный асинхронный полнодуплексный обмен данными с использованием 10 бит для передачи одного байта данных: один стартовый бит, восемь бит данных (МЗР вперед) и один стоповый бит. Данные передаются через внешний вывод TX0 и принимаются через внешний вывод RX0. При приеме в регистре SBUF0 сохраняются восемь бит данных, а бит RB80 (SCON0.2) принимает значение стопового бита.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN0 (SCON0.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF0, если соблюдаются следующие условия: RI0 должен быть равен лог.0, и, если SM20 равен лог.1, то стоповый бит должен быть равен лог.1.

Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF0, стоповый бит сохраняется в бите RB80 и устанавливается в 1 флаг RI0. Если эти условия не соблюдаются, то SBUF0 и RB80 не будут загружаться и флаг RI0 не устанавливается. При установке флагов TI0 или RI0 будет сгенерировано прерывание, если оно разрешено.

Рисунок 21.4. Временные диаграммы УАППО в режиме 1



Скорость передачи данных в режиме 1 определяется функцией от переполнения таймера. Для задания скорости передачи данных УАППО может использоваться либо Таймер 1, работающий в режиме *8-разрядного таймера/счетчика с автоперезагрузкой*, либо Таймеры 2, 3 или 4, работающие в *таймера/счетчика с автоперезагрузкой* (следует иметь в виду, что источники тактовых импульсов для передатчика (TX0) и приемника (RX0) выбираются по отдельности). При каждом переполнении таймера (при переходе от всех единиц - 0xFF для Таймера 1 и 0xFFFF для Таймеров 2, 3 и 4 – к нулю) схеме генератора скорости передачи данных посылается тактовый импульс.

Таймеры 1, 2, 3 или 4 выбираются в качестве генератора скорости передачи данных с помощью регистра SSTA0 (см. рис.21.9). Скорость передатчика определяется битами S0TCLK1 и S0TCLK0. Скорость приемника определяется битами S0RCLK1 и S0RCLK0.

Если в качестве генератора скорости передачи данных выбран Таймер 1, то бит SMOD0 (SSTA0.4) определяет, делить или не делить частоту переполнения таймера 1 на два. При сбросе SMOD0 = 0, таким образом по умолчанию выбрана пониженная скорость передачи данных. Уравнение 21.1 показывает зависимость частоты передачи данных, генерируемой Таймером 1, от значения бита SMOD0.

Уравнение 21.1. Скорость передачи данных в режиме 1, задаваемая с помощью Таймера 1.

Если SMOD0 = 0:

$$\text{Mode 1 Baud Rate} = 1 / 32 * (\text{Частота переполнения Таймера 1}).$$

Если SMOD0 = 1:

$$\text{Mode 1 Baud Rate} = 1 / 16 * (\text{Частота переполнения Таймера 1}).$$

Частота переполнения Таймера 1 определяется источником тактирования Таймера 1 (T1CLK) и значением перезагрузки (TH1). Выбор частоты T1CLK описан в разделе 23.1. Частота переполнения Таймера 1 рассчитывается в соответствии с уравнением 21.2.

Уравнение 21.2. Частота переполнения Таймера 1.

$$\text{Частота переполнения Таймера 1} = T1CLK / (256 - TH1)$$

Если в качестве генератора скорости передачи данных выбраны Таймеры 2, 3 или 4, то скорость передачи данных определяется в соответствии с уравнением 21.3.

Уравнение 21.3. Скорость передачи данных в режиме 1, задаваемая с помощью Таймеров 2, 3, 4.
*Mode 1 Baud Rate = 1 / 16 * (Частота переполнения Таймера 2,3,4).*

Частота переполнения Таймеров 2, 3 или 4 определяется источником тактирования таймера (TnCLK) и 16-разрядным значением перезагрузки, содержащимся в регистре RCAPn (n = 2, 3 или 4), в соответствии с уравнением 21.4.

Уравнение 21.4. Частота переполнения Таймеров 2, 3 или 4.

$$\text{Частота переполнения Таймеров 2, 3 или 4} = TnCLK / (65536 - RCAPn)$$

21.1.3. Режим 2: 9-разрядный УАППО, фиксированная скорость передачи данных

Режим 2 обеспечивает асинхронный полнодуплексный обмен данными с использованием 11 бит для передачи одного байта: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. Режим 2 поддерживает организацию связи с несколькими МК (мультипроцессорное взаимодействие) и аппаратное распознавание адреса (см. раздел 21.2). При передаче значение девятого бита данных определяется значением бита TB80 (SCON0.3). Оно может соответствовать значению флага четности P регистра PSW или использоваться для организации связи с несколькими МК. При приеме значение девятого бита сохраняется в бите RB80 (SCON0.2), а стоповый бит игнорируется.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF0. Флаг прерывания от передатчика TI0 (SCON0.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника RENO (SCON0.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF0, если RI0 = 0 и если соблюдается одно из следующих условий:

1. SM20 = 0
2. SM20 = 1, принятый 9-й бит равен лог. '1', принятый адрес соответствует адресу УАППО, как описано в разделе 21.2.

Если описанные выше условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF0, девятый бит данных сохраняется в бите RB80 и устанавливается в 1 флаг RI0. Если эти условия не соблюдаются, то SBUF0 и RB80 не будут загружаться и флаг RI0 не будет устанавливаться. При установке флагов TI0 или RI0 будет сгенерировано прерывание, если оно разрешено.

Скорость передачи данных в режиме 2 будет равна SYSCLK/32 или SYSCLK/64 в зависимости от значения бита SMOD0 регистра SSTA0:

Уравнение 21.5. Скорость передачи данных в режиме 2

$$Mode\ 2\ Baud\ Rate = 2^{SMOD0} * (SYSCLK / 64).$$

Рисунок 21.5. Временные диаграммы УАПП в режимах 2 и 3

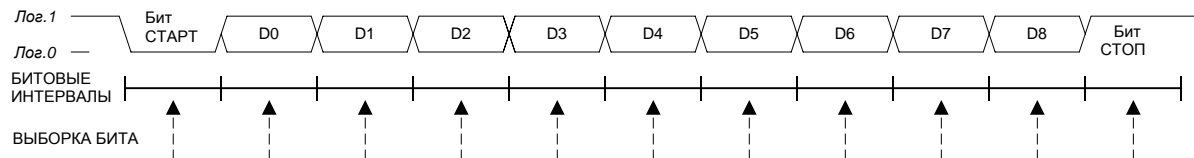
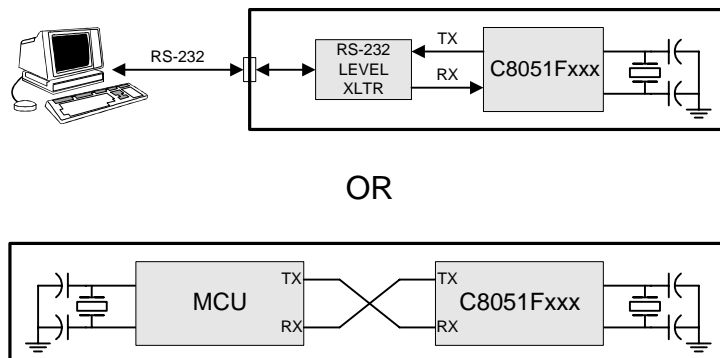


Рисунок 21.6. Пример использования УАППО в режимах 1, 2 и 3



21.1.4. Режим 3: 9- разрядный УАПП, изменяемая скорость передачи данных

В режиме 3 используется протокол передачи данных, как в режиме 2, и генерация скорости передачи данных, как в режиме 1. В режиме 3 передаются 11 бит: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. Скорость передачи данных определяется переполнением Таймера 1 или Таймеров 2, 3 или 4 в соответствии с уравнениями 21.1. и 21.3. Поддерживаются аппаратное распознавание адреса и организация связи с несколькими МК, как описано в разделе 21.2.

21.2. Поддержка связи с несколькими МК

Режимы 2 и 3 поддерживают мультимикроконтроллерный обмен данными между ведущим МК и одним или несколькими ведомыми МК, для чего применяется встроенная схема аппаратного распознавания адреса и особым образом используется девятый бит данных. Когда ведущий МК хочет передать данные одному или нескольким ведомым МК, он прежде всего посылает байт адреса, чтобы выбрать конкретное(-ые) устройство(-а). Адресный байт отличается от байта данных тем, что его девятый бит равен лог.1; в байте данных девятый бит всегда равен лог.0. УАППО будет считать "действительными" (т.е. способными вызвать прерывание) два типа адресов: (1) маскированный адрес и (2) широковещательный адрес **в любой момент времени**. Оба типа адресов описаны ниже.

21.2.1. Установка маскированного адреса

Адрес УАППО определяется двумя SFR регистрами: SADDR0 (адрес последовательного порта) и SADEN0 (разрешение адреса последовательного порта). Регистр SADEN0 устанавливает битовую маску для адреса, хранимого в регистре SADDR0: биты, установленные в 1 в регистре SADEN0, соответствуют битам регистра SADDR0, которые участвуют в сравнении с принятым байтом адреса; биты, сброшенные в 0 в регистре SADEN0, соответствуют битам регистра SADDR0, состояние которых «не имеет значения» при сравнении с принятым байтом адреса.

Пример 1, Ведомый №1

SADDR0 = 00110101
SADEN0 = 00001111
Адрес УАППО = xxxx0101

Пример 2, Ведомый №2

SADDR0 = 00110101
SADEN0 = 11110011
Адрес УАППО = 0011xx01

Пример 3, Ведомый №3

SADDR0 = 00110101
SADEN0 = 11000000
Адрес УАППО = 00xxxxxx

Установка в 1 бита SM20 (SCON0.5) настраивает модуль УАППО таким образом, что при получении стопового бита УАППО будет генерировать прерывание только в том случае, если девятый бит равен лог.1 (RB80 = 1) и принятый байт данных соответствует адресу ведомого УАППО. После возникновения такого прерывания ведомый сбросит в 0 бит SM20, чтобы разрешить генерацию прерываний при получении следующих байтов данных. После того, как все сообщение получено, адресованный ведомый МК устанавливает в 1 бит SM20, чтобы игнорировать все послыки до получения следующего адресного байта. Пока SM20 = 1, УАППО игнорирует все байты, значение которых не соответствует адресу УАППО и 9-й бит которых не равен лог. '1'.

21.2.2. Широковещательная адресация

Одному ведомому устройству можно назначить несколько адресов и/или один адрес можно назначить нескольким ведомым устройствам, поэтому возможна "широковещательная" передача данных более чем одному ведомому устройству одновременно. Широковещательный адрес представляет собой логическое ИЛИ содержимого регистров SADDR0 и SADEN0, при этом нули в полученном результате рассматриваются как "не имеющие значения". Обычно широковещательный адрес 0xFF распознается всеми ведомыми устройствами, принимающими "не имеющие значения" биты за '1'. Ведущий процессор можно настроить на прием всех сообщений или протокол обмена можно реализовать таким образом, чтобы временно менять местами ведущего и ведомого, обеспечив тем самым полудуплексный обмен данными между истинным ведущим и ведомым(-и).

Пример 1, Ведомый №1

SADDR0 = 00110101
SADEN0 = 00001111
Широковещательный
адрес = 00111111

Пример 2, Ведомый №2

SADDR0 = 00110101
SADEN0 = 11110011
Широковещательный
адрес = 11110111

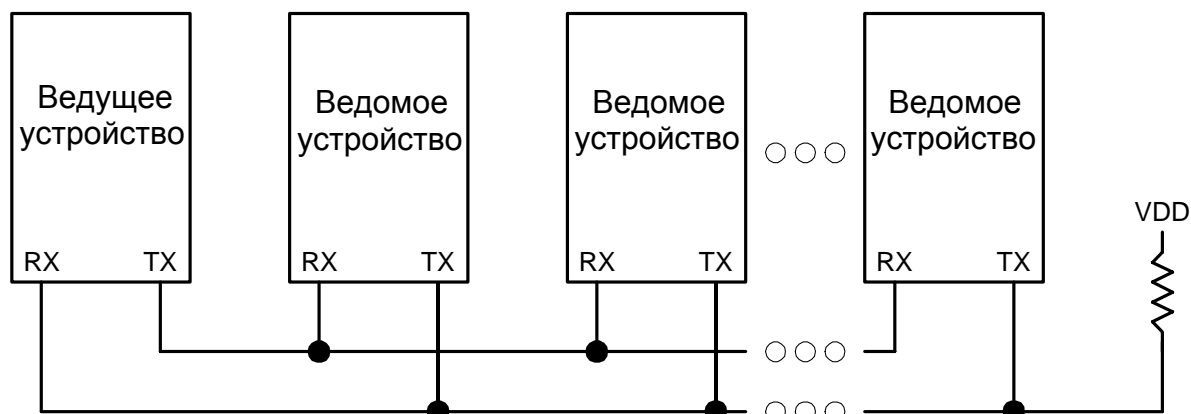
Пример 3, Ведомый №3

SADDR0 = 00110101
SADEN0 = 11000000
Широковещательный
адрес = 11110101

Все нули в широковещательном адресе "не имеют значения".

Следует отметить, что в приведенных выше примерах 4, 5 и 6 каждый ведомый будет считать адрес 0xFF "действительным", т.е. широковещательным адресом. Кроме этого, в примерах 4, 5 и 6 используются те же самые значения регистров SADDR0 и SADEN0, что и в примерах 1, 2 и 3 соответственно (ведомые №1, №2 и №3). Таким образом, ведущий мог бы адресовать каждое ведомое устройство индивидуально с использованием маскированного адреса, а также все три ведомых одновременно в широковещательном режиме. Например, если ведущий послал бы адрес "11110101", то только ведомый №1 распознал бы этот адрес как "действительный". Если бы ведущий послал затем адрес "11111111", то все три ведомых устройства распознали бы этот адрес как действительный широковещательный адрес.

Рисунок 21.7. Пример использования УАПП в многопроцессорном режиме



21.3. Определение ошибок формата и ошибок передачи

Все режимы:

Бит ошибки передачи (TXCOL0 в регистре SSTA0) читается как '1', если программа пользователя записывает данные в регистр SBUF0 во время процесса передачи данных.

Режимы 1, 2 и 3:

Бит переполнения приемника (RXOV0 в регистре SSTA0) читается как '1', если новый байт данных фиксируется в буфере приемника прежде, чем программа закончит чтение предыдущего байта. Бит ошибки формата (FE0 в регистре SSTA0) читается как '1', если обнаружен некорректный (низкого уровня) бит STOP.

Таблица 21.2. Тактовые частоты, соответствующие стандартным скоростям обмена

Тактовая частота (МГц)	Коэффициент деления	Значение перезагрузки Таймера 1*	Значение перезагрузки Таймеров 2, 3 или 4	Скорость передачи данных (Гц)**
100.0	864	0xCA	0xFFCA	115200 (115741)
99.5328	864	0xCA	0xFFCA	115200
50.0	432	0xE5	0xFFE5	115200 (115741)
49.7664	432	0xE5	0xFFE5	115200
24.0	208	0xF3	0xFFFF3	115200 (115384)
22.1184	192	0xF4	0xFFFF4	115200
18.432	160	0xF6	0xFFFF6	115200
11.0592	96	0xFA	0xFFFFA	115200
3.6864	32	0xFE	0xFFFFE	115200
1.8432	16	0xFF	0xFFFFF	115200
100.0	3472	0x27	0xFF27	28800 (28802)
99.5328	3456	0x28	0xFF28	28800
50.0	1744	0x93	0xFF93	28800 (28670)
49.7664	1728	0x94	0xFF94	28800
24.0	832	0xCC	0xFFCC	28800 (28846)
22.1184	768	0xD0	0xFFD0	28800
18.432	640	0xD8	0xFFD8	28800
11.0592	348	0xE8	0xFFE8	28800
3.6864	128	0xF8	0xFFFF8	28800
1.8432	64	0xFC	0xFFFFC	28800
100.0	10416	-	0xFD75	9600 (9601)
99.5328	10368	-	0xFD78	9600
50.0	5216	-	0xFEBA	9600 (9586)
49.7664	5184	-	0xFEBC	9600
24.0	2496	0x64	0xFF64	9600 (9615)
22.1184	2304	0x70	0xFF70	9600
18.432	1920	0x88	0xFF88	9600
11.0592	1152	0xB8	0xFFB8	9600
3.6864	384	0xE8	0xFFE8	9600
1.8432	192	0xF4	0xFFFF4	9600

* При условии, что SMOD0 = 1 и TIM = 1.

** Числа в скобках показывают действительную скорость передачи данных.

Рисунок 21.8. SCON0: Регистр управления УАППО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
SM00	SM10	SM20	REN0	TB80	RB80	TI0	RI0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x98 SFR страница: 0

Биты 7-6: SM00 - SM10: Биты выбора режима работы УАППО:

Запись: запись этих бит устанавливается режим работы УАППО в соответствии со следующей таблицей:

SM00	SM10	Режим работы УАППО
0	0	Режим 0: синхронный режим
0	1	Режим 1: 8-битный УАПП, изменяемая скорость передачи
1	0	Режим 2: 9- битный УАПП, фиксированная скорость передачи
1	1	Режим 3: 9- битный УАПП, изменяемая скорость передачи

Операция чтения этих бит возвратит в качестве результата текущий режим работы УАППО.

Бит 5: SM20: Разрешение поддержки мультипроцессорного взаимодействия.

Функционирование этого бита зависит от режима работы УАППО.

Режим 0: Не влияет на работу

Режим 1: Проверка корректности стопового бита.

0: Логический уровень стопового бита игнорируется.

1: Флаг RI0 будет установлен только в том случае, если стоповый бит равен лог.1.

Режимы 2 и 3: Разрешение поддержки мультимикроконтроллерного взаимодействия.

0: Логический уровень девятого бита игнорируется.

1: Флаг RI0 устанавливается и прерывание генерируется только в том случае, если девятый бит равен лог.1 и принятый адрес соответствует адресу УАППО или широкополосному адресу.

Бит 4: REN0: Разрешение приема.

Этот бит включает/отключает приемник УАППО.

0: Прием данных модулем УАППО запрещен.

1: Прием данных модулем УАППО разрешен.

Бит 3: TB80: Девятый бит передаваемых данных.

Значение этого бита будет передано в качестве девятого бита данных в режимах 2 и 3. В режимах 0 и 1 этот бит не используется. Бит TB80 устанавливается и сбрасывается программно.

Бит 2: RB80: Девятый бит принимаемых данных.

Этот бит принимает значение девятого бита данных, полученного в режимах 2 и 3. В режиме 1, если SM20 = 0, бит RB80 принимает значение полученного стопового бита. В режиме 0 бит RB80 не используется.

Бит 1: TI0: Флаг прерывания от передатчика УАППО.

Устанавливается в 1 аппаратно при окончании передачи байта данных (после передачи 8-го бита в режиме 0, или в начале передачи стопового бита в остальных режимах). Если прерывание от УАППО разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАППО. Этот бит должен сбрасываться программно.

Бит 0: RI0: Флаг прерывания от приемника УАППО.

Устанавливается в 1 аппаратно при приеме байта данных (после 8-го бита в режиме 0, или после стопового бита в остальных режимах, за исключением случаев, указанных в описании бита SM20). Если прерывание от УАППО разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАППО. Этот бит должен сбрасываться программно.



Рисунок 21.9. SSTA0: Регистр состояния УАППО и выбора источника тактирования УАППО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
FE0	RXOV0	TXCOL0	SMOD0	S0TCLK1	S0TCLK0	S0RCLK1	S0RCLK0	SFR Адрес: 0x91 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: FE0: Флаг ошибки формата.*
Этот флаг устанавливается в 1 при обнаружении некорректного (низкого уровня) бита STOP.
0: Ошибки формата не произошло.
1: Обнаружена ошибка формата.

Бит 6: RXOV0: Флаг переполнения приемника.*
Этот флаг устанавливается в 1, если новый байт данных фиксируется в буфере приемника прежде, чем программа закончит чтение предыдущего байта.
0: Переполнения приемника не произошло.
1: Зафиксировано переполнение приемника.

Бит 5: TXCOL0: Флаг ошибки передачи.*
Этот флаг устанавливается в 1, если программа пользователя записывает данные в регистр SBUF0 во время процесса передачи данных.

Бит 4: SMOD0: Бит удвоения скорости передачи данных последовательного порта УАППО.
0: Скорость передачи данных последовательного порта УАППО не удваивается.
1: Скорость передачи данных последовательного порта УАППО удваивается.

Биты 3-2: Биты выбора генератора скорости передачи данных передатчика УАППО.

S0TCLK1	S0TCLK0	Генератор скорости передачи данных передатчика УАППО
0	0	Таймер 1
0	1	Переполнение Таймера 2
1	0	Переполнение Таймера 3
1	1	Переполнение Таймера 4

Биты 1-0: Биты выбора генератора скорости передачи данных приемника УАППО.

S0RCLK1	S0RCLK0	Генератор скорости передачи данных приемника УАППО
0	0	Таймер 1
0	1	Переполнение Таймера 2
1	0	Переполнение Таймера 3
1	1	Переполнение Таймера 4

* Примечание: Биты FE0, RXOV0 и TXCOL0 являются только флагами и не генерируют никаких прерываний.

Рисунок 21.10. SBUF0: Регистр буфера данных УАППО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0x99 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SBUF0.[7:0]: Биты (7-0) буфера данных УАППО (СЗР - МЗР)

На самом деле именем SBUF0 обозначаются два регистра: буфер передатчика и буфер приемника. Когда данные помещаются в регистр SBUF0, они записываются в буфер передатчика и сохраняются для последовательной передачи. Запись данных в SBUF0 инициирует передачу. Когда данные извлекаются из регистра SBUF0, они считываются из буфера приемника.

Рисунок 21.11. SADDR0: Регистр адреса ведомого УАППО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xA9 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SADDR0.[7:0]: Адрес ведомого УАППО.

Содержимое этого регистра используется для определения адреса ведомого УАППО. Регистр SADEN0 является битовой маской, которая определяет, какие биты регистра SADDR0 будут участвовать в сравнении с принятым адресом: в сравнении участвуют только те биты регистра SADDR0, которым соответствуют биты регистра SADEN0, установленные в 1; состояние остальных бит регистра SADDR0 «не имеет значения» и в сравнении они не участвуют.

Рисунок 21.12. SADEN0: Регистр разрешения адреса ведомого УАППО

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0xB9 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SADEN0.[7:0]: Биты разрешения адреса ведомого УАППО.

Биты этого регистра разрешают соответствующим битам регистра SADDR0 участвовать в определении адреса ведомого УАППО.

0: Соответствующий бит регистра SADDR0 «не имеет значения».

1: Соответствующий бит регистра SADDR0 участвует в сравнении с принятым адресом.

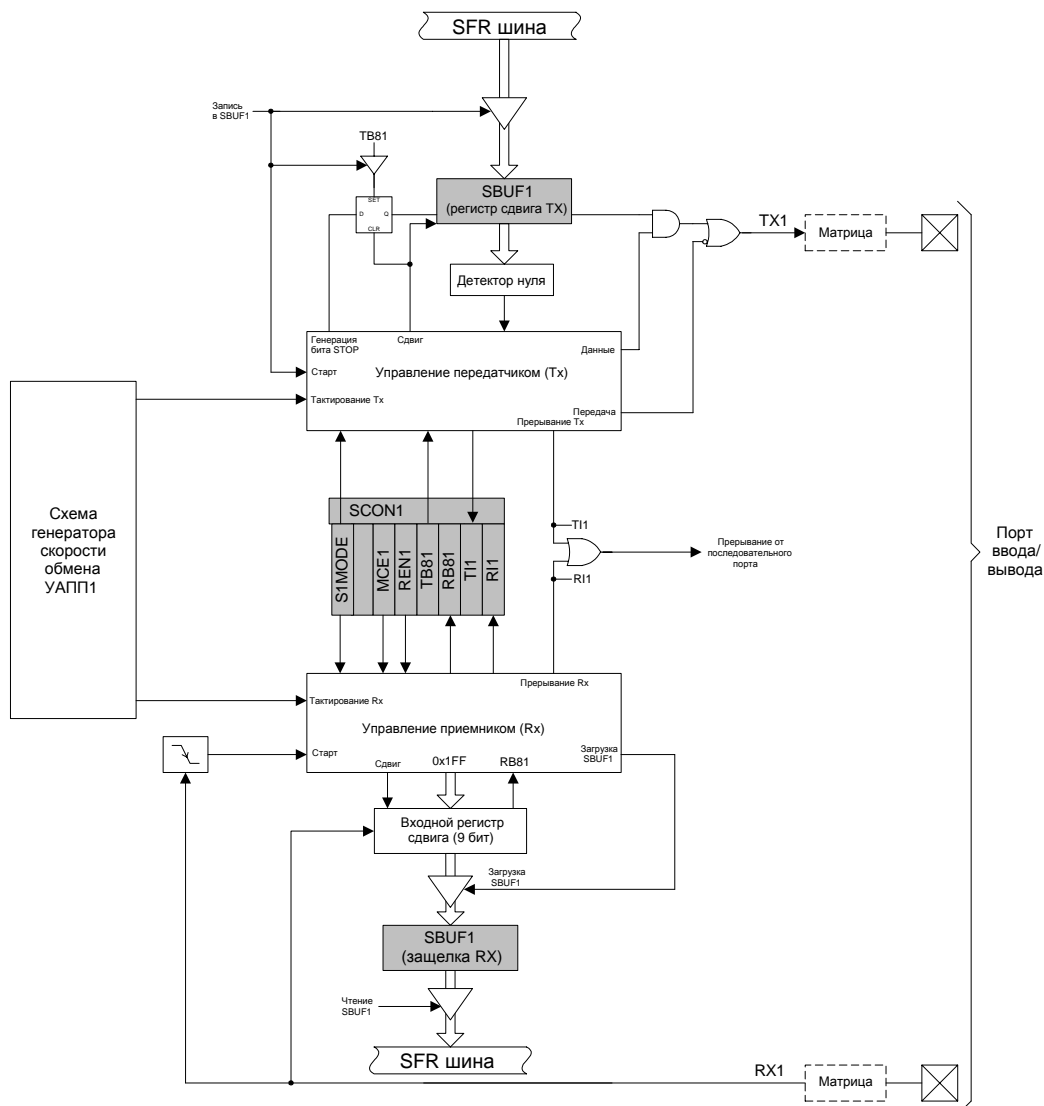
22. УАПП1

УАПП1 представляет собой асинхронный полнодуплексный последовательный порт, способный работать в режимах 1 и 3 стандартного (для архитектуры 8051) УАПП. Поддержка усовершенствованного режима генерации скорости передачи данных позволяет использовать для генерации стандартных скоростей обмена различные источники тактирования (см. раздел 22.1). Буферизация принимаемых данных позволяет УАПП1 начать прием второго входящего байта данных до того, как программа закончит чтение предыдущего байта данных.

С работой УАПП1 связаны следующие регистры специального назначения: регистр управления УАПП1 (SCON1) и буфер данных УАПП1 (SBUF1). Одна и та же ячейка памяти, адресуемая как SBUF1, обеспечивает доступ и к регистру передатчика, и к регистру приемника. При чтении регистра SBUF1 осуществляется доступ к регистру приемника, а при записи регистра SBUF1 - к регистру передатчика.

Если прерывания от модуля УАПП1 разрешены, то запрос прерывания генерируется при завершении передачи байта данных (установка в 1 флага TI1 в регистре SCON1) или при получении байта данных (установка в 1 флага RI1 в регистре SCON1). Флаги прерываний от УАПП1 не сбрасываются аппаратно при переходе к процедуре обслуживания прерывания. Они должны сбрасываться программно. Это позволяет программе определить причину, вызвавшую прерывание от УАПП1 (завершение передачи или завершение приема).

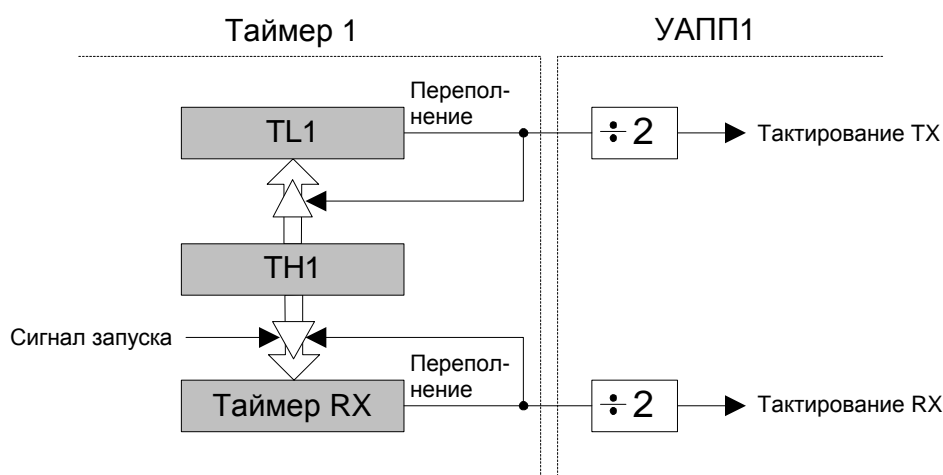
Рисунок 22.1. Структурная схема УАПП1



22.1. Усовершенствованный режим генерации скорости передачи данных.

Скорость передачи данных УАПП1 генерируется Таймером 1, работающим в 8-разрядном режиме с автоперезагрузкой. Частота передатчика (TX) определяется переполнением регистра TL1; частота приемника определяется переполнением регистра-копии регистра TL1 (обозначенного как «RX-Таймер» на рис.22.2), который недоступен из программы пользователя. Скорость передачи данных передатчика и приемника равна деленной на два частоте переполнения регистров TL1 и RX-Таймер соответственно. RX-Таймер работает тогда, когда включен Таймер 1 и использует то же самое значение перезагрузки (TH1). Однако перезагрузка регистра RX-Таймер происходит в тот момент, когда на выводе RX обнаруживается событие START. Это позволяет начать прием данных в любой момент при обнаружении события START, независимо от состояния Таймера TX.

Рисунок 22.2. Логика генератора скорости передачи данных УАПП1



Таймер 1 следует настроить для работы в режиме 2, т.е. как 8-разрядный таймер с автоперезагрузкой (см. раздел 23.1.3). Значение перезагрузки Таймера 1 следует установить таким образом, чтобы частота переполнений таймера была в два раза больше необходимой скорости передачи данных. Частота тактового сигнала Таймера 1 может быть одной из следующих:

- 1) SYSCLK;
- 2) SYSCLK/4;
- 3) SYSCLK/12;
- 4) SYSCLK/48;
- 5) Частота внешнего генератора / 8.

Для любой из этих частот скорость передачи данных УАПП1 определяется из уравнения 22.1.

Уравнение 22.1. Скорость передачи данных УАПП1

$$\text{Скорость передачи данных УАПП1} = T1_{CLK} / ((256 - T1H) \times 2),$$

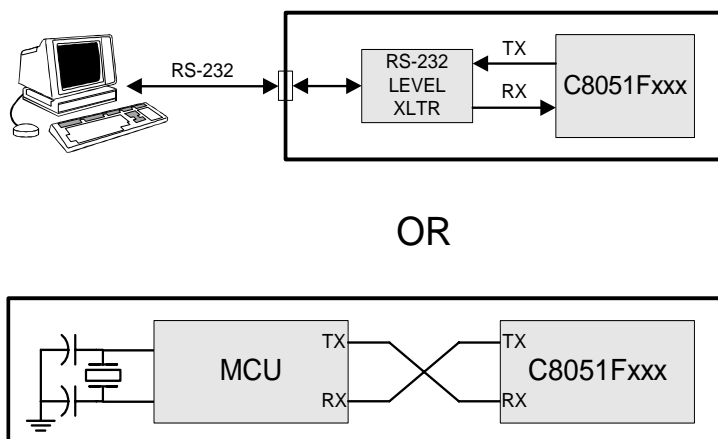
где $T1_{CLK}$ – частота тактирования Таймера 1;
 $T1H$ – старший байт Таймера 1 (значение перезагрузки).

Выбор частоты тактирования Таймера 1 описан в разделе 23.1. В таблицах 22.1 – 22.5 приведены системные параметры для стандартных скоростей обмена при различных частотах системного тактового сигнала. Следует отметить, что внутренний генератор или ФАПЧ могут генерировать системный тактовый сигнал, в то время как сигнал от внешнего генератора подается на Таймер 1 (подробнее см. раздел 23.1).

22.2. Режимы работы УАПП1

УАПП1 обеспечивает стандартный асинхронный полнодуплексный обмен данными. Режим работы УАПП1 (8-разрядный или 9-разрядный) выбирается при помощи бита S1MODE (SCON1.7). Типичные варианты использования УАПП1 приведены на рисунке ниже.

Рисунок 22.3. Примеры использования УАПП1



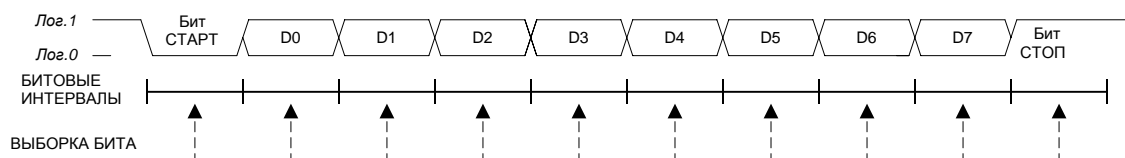
22.2.1. 8-разрядный УАПП.

В режиме 8-разрядного УАПП для передачи одного байта данных используются 10 бит: один стартовый бит, восемь бит данных (МЗР вперед) и один стоповый бит. Данные передаются МЗР вперед через внешний вывод TX1 и принимаются через внешний вывод RX1. При приеме в регистре SBUF1 сохраняются восемь бит данных, а бит RB81 (SCON1.2) принимает значение стопового бита.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF1. Флаг прерывания от передатчика TI1 (SCON1.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN1 (SCON1.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF1, если соблюдаются следующие условия: RI1 должен быть равен лог.0, и, если MCE1 = 1, то стоповый бит должен быть равен лог.1. В случае переполнения буфера приемника первые принятые 8 бит данных загружаются в регистр приемника SBUF1, а биты данных, вызвавшие переполнение, теряются.

Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF1, стоповый бит сохраняется в бите RB81 и устанавливается в 1 флаг RI1. Если эти условия не соблюдаются, то SBUF1 и RB81 не будут загружаться и флаг RI1 не устанавливается. При установке флагов TI1 или RI1 будет сгенерировано прерывание, если оно разрешено.

Рисунок 22.4. Временные диаграммы в режиме 8-разрядного УАПП

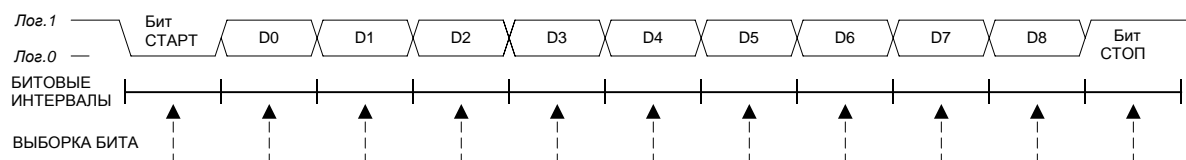


22.2.2. 9-разрядный УАПП.

В режиме 9-разрядного УАПП для передачи одного байта данных используются 11 бит: один стартовый бит, восемь бит данных (МЗР вперед), программируемый девятый бит данных и один стоповый бит. При передаче значение девятого бита данных определяется значением бита TB81 (SCON1.3), который устанавливается/сбрасывается программой пользователя. Значение девятого бита может соответствовать значению флага четности P регистра PSW или использоваться для организации связи с несколькими МК. При приеме значение девятого бита сохраняется в бите RB81 (SCON1.2), а стоповый бит игнорируется.

Передача данных начинается, когда происходит запись байта данных в регистр SBUF1. Флаг прерывания от передатчика TI1 (SCON1.1) устанавливается в 1 в конце передачи (в начале передачи стопового бита). Прием данных может быть начат в любое время после установки в 1 флага включения приемника REN1 (SCON1.4). После приема стопового бита байт данных будет загружен в регистр приемника SBUF1, если соблюдаются следующие условия: RI1 должен быть равен лог.0, и, если MCE1 = 1, то стоповый бит должен быть равен лог.1 (когда MCE = 0 состояние девятого бита данных не имеет значения). Если эти условия соблюдаются, то восемь бит данных сохраняются в регистре SBUF1, девятый бит данных сохраняется в бите RB81 и устанавливается в 1 флаг RI1. Если эти условия не соблюдаются, то SBUF1 и RB81 не будут загружаться и флаг RI1 не будет устанавливаться. При установке флагов TI1 или RI1 будет сгенерировано прерывание от модуля УАПП1, если оно разрешено.

Рисунок 22.5. Временные диаграммы в режиме 9-разрядного УАПП



22.3. Поддержка связи с несколькими МК

9-разрядный режим УАПП поддерживает мультимикроконтроллерный обмен данными между ведущим МК и одним или несколькими ведомыми МК, для чего особым образом используется девятый бит данных. Когда ведущий МК хочет передать данные одному или нескольким ведомым МК, он прежде всего посылает байт адреса, чтобы выбрать конкретное(-ые) устройство(-а). Адресный байт отличается от байта данных тем, что его девятый бит равен лог.1; в байте данных девятый бит всегда равен лог.0.

Установка в 1 бита MCE1 (SCON1.5) ведомого МК настраивает его модуль УАПП1 таким образом, что при получении стопового бита УАПП1 будет генерировать прерывание только в том случае, если принятый девятый бит равен лог.1 ($RB81 = 1$), уведомляя тем самым систему о том, что принят адресный байт. В процедуре обработки прерывания от УАПП1 необходимо сравнить принятый адрес с собственным 8-разрядным адресом ведомого. Если эти адреса совпадают, ведомый МК должен сбросить в 0 свой бит MCE, чтобы разрешить генерацию прерываний при получении следующих байтов данных. Ведомые МК, которые не были адресованы, оставляют свои биты MCE равными 1 и не генерируют запросов прерываний при получении следующих байтов данных, т.е. игнорируют их. После того, как все сообщение получено, адресованный ведомый МК устанавливает в 1 бит MCE, чтобы игнорировать все послыки до получения следующего адресного байта.

Одному ведомому устройству можно назначить несколько адресов и/или один адрес можно назначить нескольким ведомым устройствам, поэтому возможна “широковещательная” передача данных более чем одному ведомому устройству одновременно. Ведущий процессор можно настроить на прием всех сообщений или протокол обмена можно реализовать таким образом, чтобы временно менять местами ведущего и ведомого, обеспечив тем самым полудуплексный обмен данными между истинным ведущим и ведомым(-и).

Рисунок 22.6. Пример использования УАПП в многопроцессорном режиме

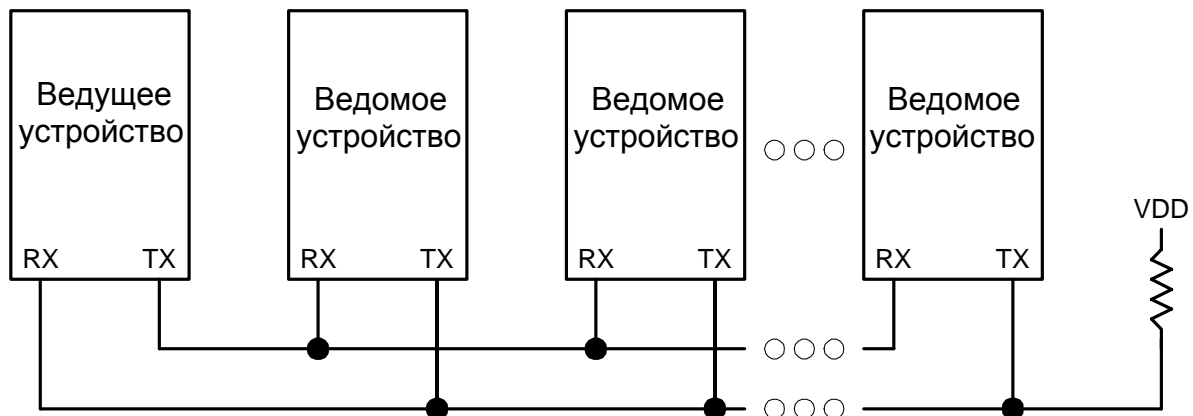


Рисунок 22.7. SCON1: Регистр управления УАПП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
S1MODE	-	MCE1	REN1	TB81	RB81	TI1	RI1	01000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x98 SFR страница: 1

Бит 7: S1MODE: Режим работы УАПП1.
Этот бит выбирает режим работы УАПП1.
0: Режим 0: 8-разрядный УАПП с изменяемой скоростью передачи данных.
1: Режим 1: 9-разрядный УАПП с изменяемой скоростью передачи данных.

Бит 6: Не используется. Читается как 1b. Запись не имеет значения.

Бит 5: MCE1: Разрешение поддержки мультимикроконтроллерного взаимодействия.
Функционирование этого бита зависит от режима работы УАПП1.
S1MODE = 0: Проверка корректности стопового бита.
0: Логический уровень стопового бита игнорируется.
1: Флаг RI1 будет установлен только в том случае, если стоповый бит равен лог.1.
S1MODE = 1: Разрешение поддержки мультипроцессорного взаимодействия.
0: Логический уровень девятого бита игнорируется.
1: Флаг RI1 устанавливается и прерывание генерируется только в том случае, если
девятый бит равен лог.1.

Бит 4: REN1: Разрешение приема.
Этот бит включает/отключает приемник УАПП1.
0: Прием данных модулем УАПП1 запрещен.
1: Прием данных модулем УАПП1 разрешен.

Бит 3: TB81: Девятый бит передаваемых данных.
Значение этого бита будет передано в качестве девятого бита данных в 9-разрядном режиме работы УАПП1. В 8-разрядном режиме работы УАПП1 этот бит не используется. Бит TB81 устанавливается и сбрасывается программно.

Бит 2: RB81: Девятый бит принимаемых данных.
Этот бит принимает значение полученного стопового бита в режиме 0. В режиме 1 бит RB81 принимает значение девятого бита данных.

Бит 1: TI1: Флаг прерывания от передатчика УАПП1.
Устанавливается в 1 аппаратно по окончании передачи байта данных (после передачи 8-го бита в режиме 0, или в начале передачи стопового бита в режиме 1). Если прерывание от УАПП1 разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАПП1. Этот бит должен сбрасываться программно.

Бит 0: RI1: Флаг прерывания от приемника УАПП1.
Устанавливается в 1 аппаратно при приеме байта данных (Устанавливается в момент выборки стопового бита). Если прерывание от УАПП1 разрешено, то установка этого бита вызовет переход на процедуру обслуживания прерывания от УАПП1. Этот бит должен сбрасываться программно.

Рисунок 22.8. SBUF1: Регистр буфера данных УАПП1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
								SFR Адрес: 0x99 SFR страница: 1
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: SBUF1.[7:0]: Биты (7-0) буфера данных УАПП1 (СЗР - МЗР)

На самом деле именем SBUF1 обозначаются два регистра: буфер передатчика и буфер приемника. Когда данные помещаются в регистр SBUF1, они записываются в буфер передатчика и сохраняются для последовательной передачи. Запись данных в SBUF1 инициирует передачу. Когда данные извлекаются из регистра SBUF1, они считываются из буфера приемника.

Таблица 22.1. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внутреннего генератора

Частота: 24.5 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффи- циент деления генератора	Частота сигнала тактиро- вания	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внутреннего генератора	230400	-0,32%	106	SYSCLK	XX	1	0xCB
	115200	-0,32%	212	SYSCLK	XX	1	0x96
	57600	0,15%	426	SYSCLK	XX	1	0x2B
	28800	-0,32%	848	SYSCLK/4	01	0	0x96
	14400	0,15%	1704	SYSCLK/12	00	0	0xB9
	9600	-0,32%	2544	SYSCLK/12	00	0	0x96
	2400	-0,32%	10176	SYSCLK/48	10	0	0x96
	1200	0,15%	20448	SYSCLK/48	10	0	0x2B

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 23.1.

Таблица 22.2. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 25.0 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	-0,47%	108	SYSCLK	XX	1	0xCA
	115200	0,45%	218	SYSCLK	XX	1	0x93
	57600	-0,01%	434	SYSCLK	XX	1	0x27
	28800	0,45%	872	SYSCLK/4	01	0	0x93
	14400	-0,01%	1736	SYSCLK/4	01	0	0x27
	9600	0,15%	2608	EXTCLK/8	11	0	0x5D
	2400	0,45%	10464	SYSCLK/48	10	0	0x93
	1200	-0,01%	20832	SYSCLK/48	10	0	0x27
SYSCLK от внутреннего генератора	57600	-0,47%	432	EXTCLK/8	11	0	0xE5
	28800	-0,47%	864	EXTCLK/8	11	0	0xCA
	14400	0,45%	1744	EXTCLK/8	11	0	0x93
	9600	0,15%	2608	EXTCLK/8	11	0	0x5D

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 23.1.

Таблица 22.3. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от внешнего генератора

Частота: 22.1184 МГц							
	Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
SYSCLK от внешнего генератора	230400	0,00%	96	SYSCLK	XX	1	0xD0
	115200	0,00%	192	SYSCLK	XX	1	0xA0
	57600	0,00%	384	SYSCLK	XX	1	0x40
	28800	0,00%	768	SYSCLK/12	00	0	0xE0
	14400	0,00%	1536	SYSCLK/12	00	0	0xC0
	9600	0,00%	2304	SYSCLK/12	00	0	0xA0
	2400	0,00%	9216	SYSCLK/48	10	0	0xA0
	1200	0,00%	18432	SYSCLK/48	10	0	0x40
SYSCLK от внутреннего генератора	230400	0,00%	96	EXTCLK/8	11	0	0xFA
	115200	0,00%	192	EXTCLK/8	11	0	0xF4
	57600	0,00%	384	EXTCLK/8	11	0	0xE8
	28800	0,00%	768	EXTCLK/8	11	0	0xD0
	14400	0,00%	1536	EXTCLK/8	11	0	0xA0
	9600	0,00%	2304	EXTCLK/8	11	0	0x70

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 23.1.



Таблица 22.4. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от системы ФАПЧ

Частота: 50.0 МГц						
Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
230400	0,45%	218	SYSCLK	XX	1	0x93
115200	-0,01%	434	SYSCLK	XX	1	0x27
57600	0,45%	872	SYSCLK/4	01	0	0x93
28800	-0,01%	1736	SYSCLK/4	01	0	0x27
14400	0,220%	3480	SYSCLK/12	00	0	0x6F
9600	-0,01%	5208	SYSCLK/12	00	0	0x27
2400	-0,01%	20832	SYSCLK/48	10	0	0x27

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 23.1.

Таблица 22.5. Параметры настройки таймера для стандартных скоростей передачи данных при тактировании от системы ФАПЧ

Частота: 100.0 МГц						
Требуемая скорость передачи данных (бит/сек)	Погрешность установки скорости передачи данных	Коэффициент деления генератора	Частота сигнала тактирования	SCA1-SCA0 (выбор коэффициента предварительного деления)*	T1M*	Значение перезагрузки Таймера 1
230400	-0,01%	434	SYSCLK	XX	1	0x27
115200	0,45%	872	SYSCLK/4	01	0	0x93
57600	-0,01%	1736	SYSCLK/4	01	0	0x27
28800	0,22%	3480	SYSCLK/12	00	0	0x6F
14400	-0,47%	6912	SYSCLK/12	10	0	0xB8
9600	0,45%	10464	SYSCLK/48	10	0	0x93

X – Не имеет значения

* Определения бит SCA1 – SCA0 и T1M приведены в разделе 23.1.

23. ТАЙМЕРЫ

Каждый МК содержит пять таймеров/счетчиков (Т/С). Таймер 0 и Таймер 1 представляют собой 16-разрядные Т/С, совместимые с Т/С стандартной архитектуры 8051. Таймер 2, Таймер 3 и Таймер 4 представляют собой 16-разрядные Т/С с режимами автоперезагрузки и захвата, предназначенные для генерации прямоугольных импульсов, для использования совместно с модулями АЦП, ЦАП, а также в качестве Т/С общего назначения. Эти Т/С можно использовать для измерения временных интервалов, подсчета внешних событий, а также для генерации периодических запросов прерываний. Таймер 0 и Таймер 1 почти идентичны и имеют четыре основных режима работы. Таймер 3 позволяет реализовать 16-разрядные режимы автоперезагрузки и захвата. Таймеры 2 и 4 одинаковы и обеспечивают не только 16-разрядные режимы автоперезагрузки и захвата, но позволяют также генерировать прямоугольный сигнал с 50% скважностью на внешнем выводе порта (переключаемый выход).

Режимы Таймера 0 и Таймера 1:	Режимы Таймеров 2, 3 и 4:
13-разрядный Т/С	16-разрядный Т/С с автоперезагрузкой
16-разрядный Т/С	16-разрядный Т/С с захватом
8-разрядный Т/С с автоперезагрузкой	Переключаемый выход (только Таймеры 2 и 4)
Два 8-разрядных Т/С (только Таймер 0)	

Таймеры 0 и 1 могут тактироваться от одного из пяти источников, выбор которых осуществляется с помощью битов выбора режима таймера (T1M – T0M) и битов выбора коэффициента деления тактовой частоты (SCA1 – SCA0). Биты выбора коэффициента деления тактовой частоты настраивают предварительный делитель тактовой частоты, сигнал с выхода которого может использоваться для тактирования Таймера 0 и/или Таймера 1 (см. рис. 23.6). В качестве сигнала тактирования Таймеров 0 и 1 можно выбрать либо сигнал с выхода предварительного делителя тактовой частоты, либо системный тактовый сигнал. Таймеры 2, 3 и 4 могут тактироваться либо системным тактовым сигналом, либо системным тактовым сигналом, деленным по частоте на 12, либо сигналом от внешнего генератора тактовых импульсов, деленным по частоте на 8.

Таймер 0 и Таймер 1 могут также функционировать как счетчики. В этом случае регистр таймера/счетчика инкрементируется под воздействием каждого перехода внешнего сигнала на выбранном входном выводе из состояния лог. 1 в состояние лог. 0. Могут подсчитываться импульсы с частотой до 1/4 системной тактовой частоты. Входной сигнал не обязательно должен быть периодическим, однако он должен удерживаться на заданном уровне как минимум в течение двух полных системных тактовых циклов, чтобы гарантировать его корректную выборку.

23.1. Таймер 0 и Таймер 1

Каждый таймер реализован в виде 16-разрядного регистра, доступного как два отдельных SFR-регистра: младший байт (TL0 или TL1) и старший байт (TH0 или TH1). Регистр управления Т/С (TCON) используется для включения Таймера 0 и Таймера 1, а также для индикации их состояния. Прерывания от Таймера 0 можно включить установкой в 1 бита ET0 в регистре IE (см. раздел «11.7.5 Описание регистра прерываний»); прерывания от Таймера 1 можно включить установкой в 1 бита ET1 в регистре IE (см. раздел 11.7.5). Оба таймера/счетчика работают в одном из четырех основных режимов, задаваемых битами выбора режима T1M1-T0M0 в регистре режима Т/С (TMOD). Каждый Т/С может быть настроен независимо от другого.

23.1.1. Режим 0: 13-разрядный таймер/счетчик

В режиме 0 Таймеры 0 и 1 работают как 13-разрядный таймер/счетчик. Ниже приводится описание настройки и функционирования Таймера 0. Однако, оба таймера идентичны, и Таймер 1 настраивается точно так же, как и Таймер 0.

Регистр TH0 содержит восемь старших бит 13-разрядного значения регистра Т/С. Регистр TL0 содержит в разрядах TL0.4-TL0.0 пять младших бит 13-разрядного значения регистра Т/С. Три старших бита регистра TL0 (TL0.7-TL0.5) не определены и должны маскироваться или игнорироваться при чтении регистра TL0. При инкрементировании 13-разрядного таймера и переполнении его из состояния 0x1FFF (все единицы) в состояние 0x0000 устанавливается в 1 флаг переполнения таймера TF0 (TCON.5) и будет сгенерировано прерывание, если оно разрешено.

Бит C/T0 (TMOD.2) выбирает источник сигнала тактирования Т/С0. Если бит C/T0 установлен в 1, то инкрементирование регистра таймера осуществляется под воздействием перехода внешнего сигнала на выбранном входном выводе (T0) из состояния лог. 1 в состояние лог. 0. (Подробная информация о выборе и настройке внешних выводов приведена в разделе 18.1.). Если бит C/T0 сброшен в 0, то в качестве источника тактирования Т/С0 будет использоваться сигнал, определяемый битом T0M (CKCON.3). Если бит T0M

C8051F120/1/2/3/4/5/6/7

C8051F130/1/2/3

установлен в 1, то Таймер 0 тактируется системным тактовым сигналом. Если бит T0M сброшен в 0, то в качестве источника тактирования T/C0 будет использоваться сигнал, определяемый битами настройки предварительного делителя в регистре CKCON (см. рис. 23.6).

Установка в 1 бита TR0 (TCON.4) включит таймер, если либо бит GATE0 (TMOD.3) равен нулю, либо на внешнем выводе /INT0 присутствует сигнал с высоким логическим уровнем. После установки в 1 бита GATE0 управление таймером передается внешнему сигналу /INT0 (см. раздел 11.7.5), что позволяет легко осуществлять измерение ширины импульсов.

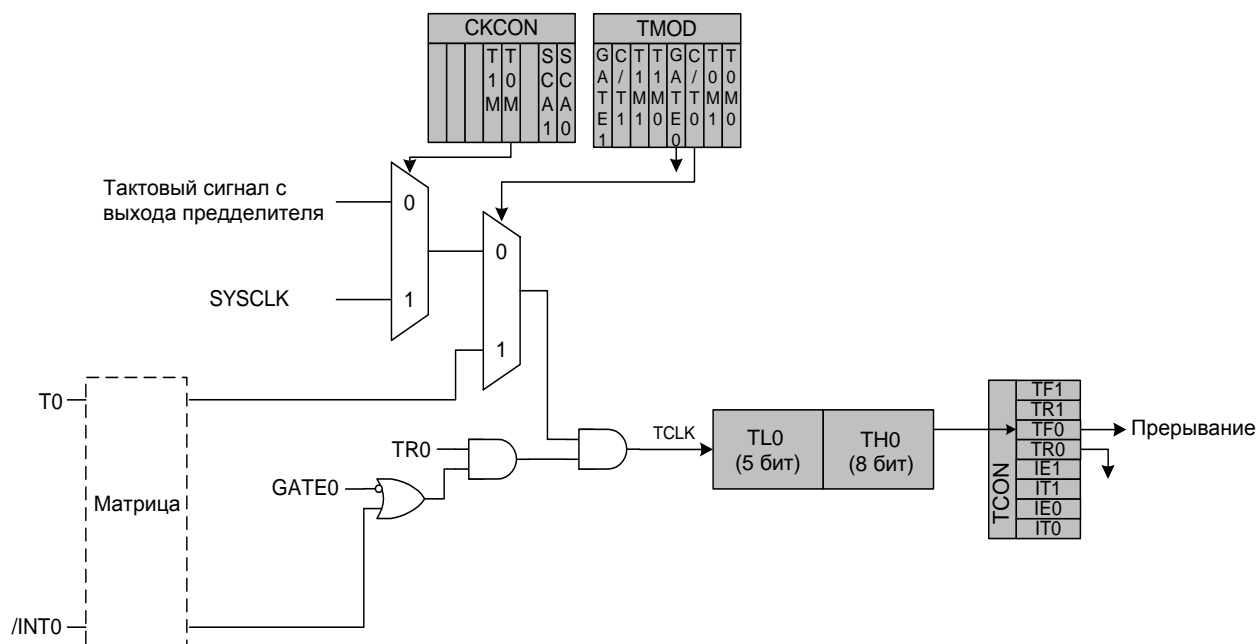
TR0	GATE0	/INT0	Таймер/Счетчик
0	X	X	Отключен
1	0	X	Включен
1	1	0	Отключен
1	1	1	Включен

X = не имеет значения

Установка TR0 не сбрасывает регистр таймера. Регистры таймера следует инициализировать необходимыми значениями до включения таймера.

TL1 и TH1 образуют 13-разрядный регистр Таймера 1 точно так же, как описано выше для регистров TL0 и TH0. Для настройки Таймера 1 и управления им используются соответствующие биты регистров TCON и TMOD таким же образом, как и для Таймера 0. Входной сигнал /INT1 используется совместно с Таймером 1.

Рисунок 23.1. Структурная схема Таймера 0 в режиме 0



23.1.2. Режим 1: 16-разрядный Таймер/Счетчик

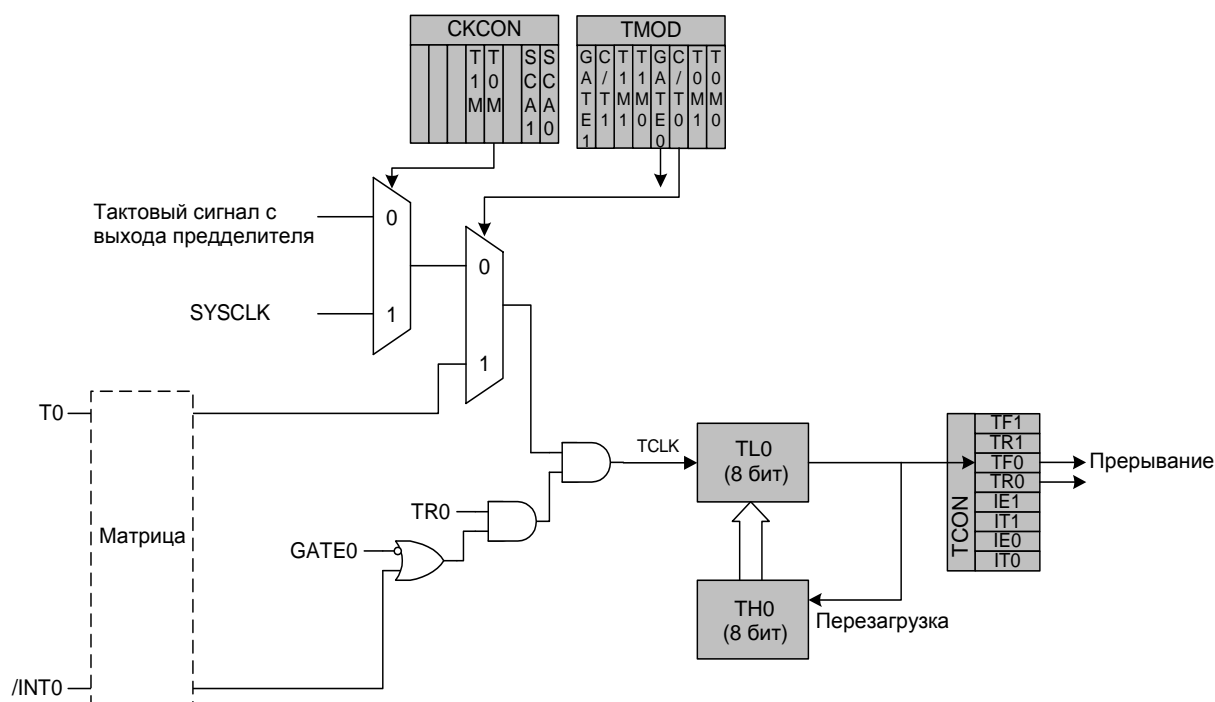
Режим 1 аналогичен режиму 0 с тем лишь исключением, что регистры Т/С используют все 16 бит. Таймеры/счетчики включаются и настраиваются в режиме 1 точно так же, как в режиме 0.

23.1.3. Режим 2: 8-разрядный таймер/счетчик с перезагрузкой

В режиме 2 Таймеры 0 и 1 настраиваются для работы в качестве 8-разрядных таймеров/счетчиков с автоматической перезагрузкой начального значения. Регистр TL0 содержит значение счетчика, а регистр TH0 содержит перезагружаемое значение. Когда счетчик в регистре TL0 переполняется (переходит из состояния 0xFF в состояние 0x00), флаг переполнения таймера TF0 (TCON.5) устанавливается в 1 и значение регистра TH0 загружается в регистр TL0. При установке флага TF0 будет сгенерировано прерывание, если оно разрешено. Перезагружаемое значение в регистре TH0 не изменяется. Чтобы первый отсчет был корректным, необходимо проинициализировать регистр TL0 требуемым значением до включения таймера. Таймер 1 в режиме 2 работает точно так же, как Таймер 0.

В режиме 2 оба Т/С включаются и настраиваются точно так же, как и в режиме 0. Установка в 1 бита TR0 (TCON.4) включит таймер, если либо бит GATE0 (TMOD.3) равен нулю, либо на внешнем выводе /INT0 присутствует сигнал с низким логическим уровнем.

Рисунок 23.2. Структурная схема Таймера 0 в режиме 2



23.1.4. Режим 3: Два 8-разрядных таймера/счетчика (только Таймер 0)

В режиме 3 Таймер 0 функционирует как два отдельных 8-разрядных таймера/счетчика TL0 и TH0. Для управления таймером/счетчиком TL0 используются биты управления/состояния Таймера 0 (в регистрах TCON и TMOD): TR0, C/T0, GATE0 и TF0. В качестве источника тактирования TL0 может использовать либо системный тактовый сигнал, либо внешний входной сигнал. Таймер/счетчик TH0 может использовать для тактирования либо системный тактовый сигнал, либо сигнал с выхода предварительного делителя. Для включения таймера/счетчика TH0 используется управляющий бит запуска Таймера 1 (TR1). Таймер/счетчик TH0 при переполнении устанавливает флаг переполнения Таймера 1 TF1 и, таким образом, управляет прерыванием от Таймера 1.

В режиме 3 Таймер 1 не активен. Если Таймер 0 функционирует в режиме 3, то Таймер 1 может работать в режимах 0, 1 или 2, но не может тактироваться внешними сигналами, устанавливать флаг TF1 и генерировать прерывание. Однако, переполнение Таймера 1 можно использовать для генерации скорости передачи данных для модулей SMBus и/или УАПЧ, а также для запуска АЦП. Пока Таймер 0 функционирует в режиме 3, управление запуском Таймера 1 осуществляется путем настройки режима его работы. Чтобы запустить Таймер 1 в то время, когда Таймер 0 функционирует в режиме 3, необходимо установить для Таймера 1 режим работы 0, 1 или 2. Чтобы отключить Таймер 1, необходимо настроить его на работу в режиме 3.

Рисунок 23.3. Структурная схема Таймера 0 в режиме 3

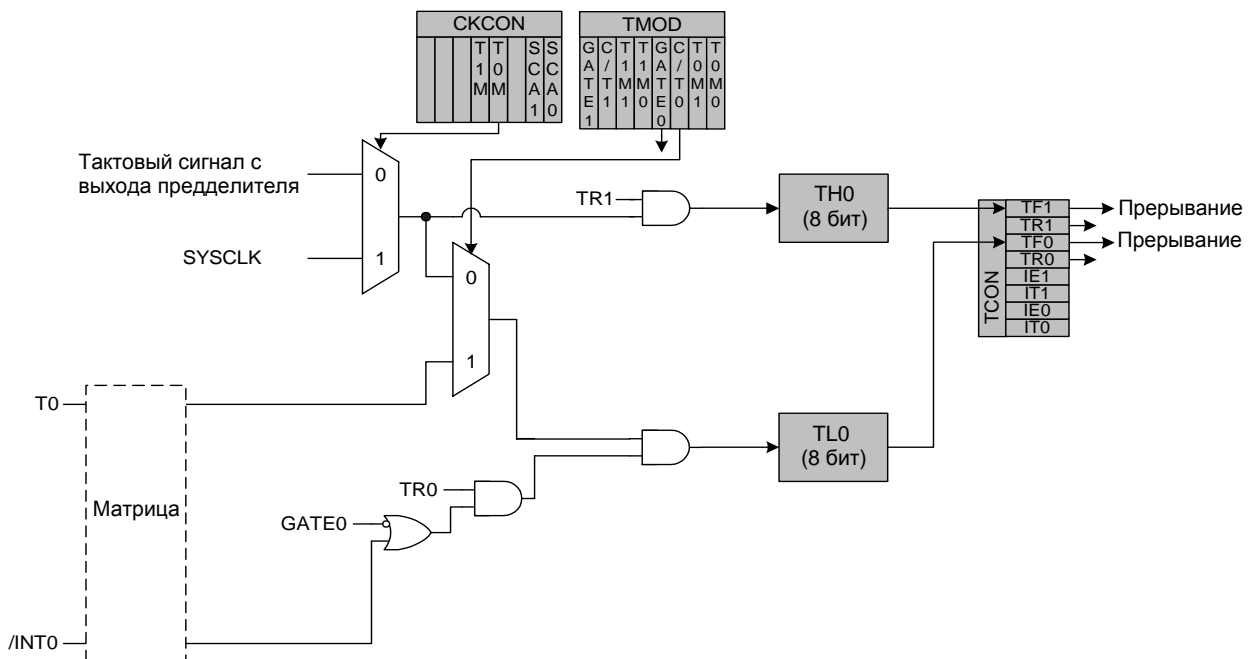


Рисунок 23.4. TCON: Регистр управления Таймерами 0 и 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0x88 SFR страница: 0
<p>Бит 7: TF1: Флаг переполнения Таймера 1. Устанавливается аппаратно при переполнении Таймера 1. Сбрасывается аппаратно при переходе к процедуре обслуживания прерывания от Таймера 1, но может быть сброшен и программно. 0: Переполнения Таймера 1 не обнаружено. 1: Таймер 1 переполнился.</p> <p>Бит 6: TR1: Управление запуском Таймера 1. 0: Таймер 1 отключен. 1: Таймер 1 включен.</p> <p>Бит 5: TF0: Флаг переполнения Таймера 0. Устанавливается аппаратно при переполнении Таймера 0. Сбрасывается аппаратно при переходе к процедуре обслуживания прерывания от Таймера 0, но может быть сброшен и программно. 0: Переполнения Таймера 0 не обнаружено. 1: Таймер 0 переполнился.</p> <p>Бит 4: TR0: Управление запуском Таймера 0. 0: Таймер 0 отключен. 1: Таймер 0 включен.</p> <p>Бит 3: IE1: Внешнее прерывание 1. Этот флаг аппаратно устанавливается в 1 при обнаружении активного фронта/уровня (определяется битом IT1) внешнего сигнала. Может быть сброшен программно, но при переходе к процедуре обслуживания внешнего прерывания 1 сбрасывается аппаратно, если IT1=1. При IT1=0 этот флаг является инверсией логического уровня входного внешнего сигнала /INT1.</p> <p>Бит 2: IT1: Выбор типа внешнего прерывания 1. Этот бит определяет, какое событие будет вызывать внешнее прерывание 1: срез или низкий уровень внешнего сигнала /INT1. 0: Внешнее прерывание 1 вызывается низким уровнем сигнала /INT1. 1: Внешнее прерывание 1 вызывается срезом сигнала /INT1.</p> <p>Бит 1: IE0: Внешнее прерывание 0. Этот флаг аппаратно устанавливается в 1 при обнаружении активного фронта/уровня (определяется битом IT0) внешнего сигнала. Может быть сброшен программно, но при переходе к процедуре обслуживания внешнего прерывания 0 сбрасывается аппаратно, если IT0=1. При IT0=0 этот флаг является инверсией логического уровня входного внешнего сигнала /INT0.</p> <p>Бит 0: IT0: Выбор типа внешнего прерывания 0. Этот бит определяет, какое событие будет вызывать внешнее прерывание 0: срез или низкий уровень внешнего сигнала /INT0. 0: Внешнее прерывание 0 вызывается низким уровнем сигнала /INT0. 1: Внешнее прерывание 0 вызывается срезом сигнала /INT0.</p>								

Рисунок 23.5. TMOD: Регистр режима Таймеров 0 и 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
GATE1	C/T1	T1M1	T1M0	GATE0	C/T0	T0M1	T0M0	SFR Адрес: 0x89 SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Бит 7: GATE1: Управление блокировкой Таймера 1.
 0: Таймер 1 включен, если TR1 = 1, независимо от логического уровня на входе /INT1.
 1: Таймер 1 включен только тогда, когда TR1 = 1 и на входе /INT1 высокий уровень.

Бит 6: C/T1: Выбор режима таймера или счетчика для T/C1.
 0: T/C1 работает как таймер: Таймер 1 инкрементируется от внутреннего сигнала тактирования, который задается битом T1M (СКCON.4).
 1: T/C1 работает как счетчик: Таймер 1 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T1).

Биты 5-4: T1M1-T1M0: Выбор режима работы Таймера 1.
 Эти биты определяют режим работы Таймера 1.

T1M1	T1M0	Режим
0	0	Режим 0: 13-разрядный таймер/счетчик
0	1	Режим 1: 16-разрядный таймер/счетчик
1	0	Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой
1	1	Режим 3: Таймер 1 не активен/остановлен

Бит 3: GATE0: Управление блокировкой Таймера 0.
 0: Таймер 0 включен, если TR0 = 1, независимо от логического уровня на входе /INT0.
 1: Таймер 0 включен только тогда, когда TR0 = 1 и на входе /INT0 высокий уровень.

Бит 2: C/T0: Выбор режима таймера или счетчика для T/C0.
 0: T/C0 работает как таймер: Таймер 0 инкрементируется от внутреннего сигнала тактирования, который задается битом T0M (СКCON.3).
 1: T/C0 работает как счетчик: Таймер 0 инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала (T0).

Биты 1-0: T0M1-T0M0: Выбор режима работы Таймера 0.
 Эти биты определяют режим работы Таймера 0.

T0M1	T0M0	Режим
0	0	Режим 0: 13-разрядный таймер/счетчик
0	1	Режим 1: 16-разрядный таймер/счетчик
1	0	Режим 2: 8-разрядный таймер/счетчик с автоперезагрузкой
1	1	Режим 3: Два 8-разрядных таймера/счетчика

Рисунок 23.6. CKCON: Регистр управления тактированием

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
-	-	-	T1M	T0M	-	SCA1	SCA0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8E SFR страница: 0

Бит 7-5: Не используются. Читается как 000b. Запись не имеет значения.

Бит 4: T1M: Выбор источника тактирования для Таймера 1.
Этот бит определяет, какой тактовый сигнал будет подаваться на Таймер 1. Бит T1M игнорируется, если C/T1 = 1.
0: Для тактирования Таймера 1 используется сигнал, определяемый битами настройки предварительного делителя (SCA1 – SCA0).
1: Таймер 1 тактируется системным тактовым сигналом.

Бит 3: T0M: Выбор источника тактирования для Таймера 0.
Этот бит определяет, какой тактовый сигнал будет подаваться на Таймер 0. Бит T0M игнорируется, если C/T0 = 1.
0: Для тактирования Таймера 0 используется сигнал, определяемый битами настройки предварительного делителя (SCA1 – SCA0).
1: Таймер 0 тактируется системным тактовым сигналом.

Бит 2: Не используется. Читается как 0b. Запись не имеет значения.

Биты 1-0: SCA1–SCA0: Биты выбора коэффициента деления для частоты тактирования Таймеров 0 и 1.
Эти биты управляют делением частоты сигнала тактирования, подаваемого на Таймер 0 и/или Таймер 1, если они настроены на использование предварительного делителя.

SCA1	SCA0	Тактовый сигнал
0	0	SYSCLK/12
0	1	SYSCLK/4
1	0	SYSCLK/48
1	1	EXTCLK/8*

*Примечание: Для работы таймера в этом режиме необходимо, чтобы внешний сигнал с частотой EXTCLK/8 был синхронизирован с системным тактовым сигналом и выполнялось условие $EXTCLK/8 \leq SYSCLK$.

Рисунок 23.7. TL0: Младший байт Таймера 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0x8A SFR страница: 0

Биты 7-0: TL0: Младший байт Таймера 0.
Регистр TL0 является младшим байтом 16-разрядного Таймера 0.

Рисунок 23.8. TL1: Младший байт Таймера 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8B SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TL1: Младший байт Таймера 1.
Регистр TL1 является младшим байтом 16-разрядного Таймера 1.

Рисунок 23.9. TH0: Старший байт Таймера 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8C SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TH0: Старший байт Таймера 0.
Регистр TH0 является старшим байтом 16-разрядного Таймера 0.

Рисунок 23.10. TH1: Старший байт Таймера 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 SFR Адрес: 0x8D SFR страница: 0
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Биты 7-0: TH1: Старший байт Таймера 1.
Регистр TH1 является старшим байтом 16-разрядного Таймера 1.

23.2. Таймер 2, Таймер 3 и Таймер 4

Таймеры 2, 3, 4 представляют собой 16-разрядные таймеры/счетчики, образованные двумя SFR регистрами: TMRnL (младший байт) и TMRnH (старший байт), где $n = 2, 3, 4$ для Таймеров 2, 3, 4 соответственно. Таймеры 2 и 4 поддерживают режимы автоперезагрузки, захвата и переключаемого выхода с возможностью реверсивного счета. Таймер 3 поддерживает режимы автоперезагрузки и захвата с возможностью реверсивного счета. Режимы захвата и автоперезагрузки выбираются с помощью соответствующих битов в регистрах управления Таймерами 2, 3 и 4 (TMRnCN). Режим переключаемого выхода выбирается с помощью регистров конфигурации Таймеров 2 или 4 (TMRnCF). Эти таймеры можно также использовать для генерации прямоугольного сигнала на внешнем выводе. В качестве источника сигнала тактирования Таймеров 2, 3, 4 можно использовать либо системный тактовый сигнал (деленный по частоте на 1, 2 или 12), либо внешний тактовый сигнал (деленный по частоте на 8), либо фронт входного сигнала на внешнем выводе. Таймеры 2 и 3 можно использовать для запуска АЦП. Переполнение Таймеров 2, 3 и 4 можно использовать для определения момента обновления выходного сигнала ЦАП. Таймеры 1, 2, 3 и 4 можно использовать для генерации скорости передачи данных УАППО. Только Таймер 1 можно использовать для генерации скорости передачи данных УАППИ.

Бит выбора режима Таймер/Счетчик C/Tn (TMRnCN.1) настраивает соответствующий периферийный модуль на работу в режиме таймера или счетчика. Если C/Tn = 0, то Таймер n будет работать в режиме таймера (т.е. на вход таймера будет подаваться системный тактовый сигнал или фронт внешнего сигнала). Если C/Tn = 1, то Таймер n будет работать в режиме счетчика (т.е. регистр таймера/счетчика будет инкрементироваться (или декрементироваться) по срезу внешнего сигнала на выводе Tn). Информация о выборе и настройке внешних выводов портов (в том числе и выводов Tn) приведена в разделе 18.1.

Если Таймер n функционирует как таймер/счетчик с режимом захвата, то в качестве сигнала тактирования можно использовать либо SYSCLK, либо SYSCLK/2, либо SYSCLK/12, либо внешний тактовый сигнал, деленный по частоте на 8, либо срез внешнего сигнала на входе Tn. Если бит C/Tn (TMRnCN.1) сброшен в 0, то на вход Таймера n будет подан системный/внешний тактовый сигнал. Биты TnM0 и TnM1 в регистре TMRnCF определяют коэффициент деления этого тактового сигнала: SYSCLK, SYSCLK/2, SYSCLK/12, либо EXTCLK/8 (см. рис. 23.14). Если бит C/Tn установлен в 1, то переход внешнего сигнала на выводе Tn из состояния лог.1 в состояние лог.0 (т.е. срез) будет вызывать инкремент регистра таймера/счетчика (т.е. Таймер n функционирует как счетчик).

23.2.1. Работа Таймеров 2, 3 и 4 в режиме обратного отсчета

Таймеры 2, 3, 4 могут функционировать в режиме обратного отсчета. Если бит разрешения декрементирования (DCEN) соответствующего таймера в регистре конфигурации таймера (см. рис. 23.14) установлен в 1, то этот таймер может считать в обоих направлениях. Если DCEN = 1, то направление отсчета таймера определяется логическим уровнем на внешнем выводе TnEX (Таймеры 2 и 3 используют общий вывод T2EX). Если TnEX = 1, то таймер/счетчик будет считать в прямом направлении; если TnEX = 0, то таймер/счетчик будет считать в обратном направлении. Чтобы использовать эту функцию, необходимо подключить вывод TnEX с помощью цифровой матрицы и настроить его как цифровой вход.

Примечание: Если DCEN = 1, то другие функции входа TnEX (т.е. захват и автоперезагрузка) недоступны. Если DCEN = 0, то TnEX будет только управлять направлением отсчета таймера.

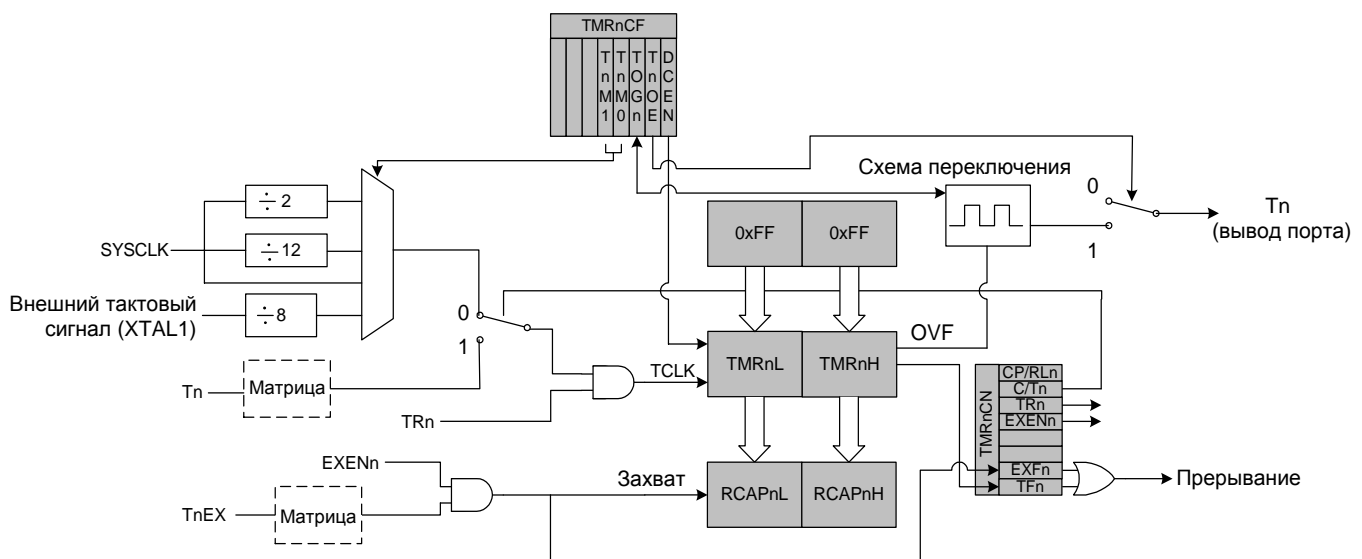
23.2.2. Режим захвата

В режиме захвата Таймеры 2, 3 и 4 функционируют как 16-разрядные таймеры/счетчики с возможностью захвата. Если бит разрешения внешнего сигнала таймера в регистре TMRnCN установлен в 1, то при переходе внешнего сигнала на входном выводе TnEX (Таймеры 2 и 3 используют общий вывод T2EX) из состояния лог.1 в состояние лог.0 произойдет загрузка 16-разрядного значения из регистров Таймера n (TMRnH, TMRnL) в регистры захвата (RCAPnH, RCAPnL). При этом будет установлен в 1 флаг внешнего входного сигнала Таймера n EXFn (TMRnCN.6) и будет сгенерировано прерывание, если оно разрешено. Дополнительная информация относительно настройки источников прерываний приведена в разделе «11.7 Обработка прерываний».

Если при инкрементировании 16-разрядного регистра таймера TMRnH : TMRnL происходит его переполнение, то устанавливается в 1 флаг переполнения/опустошения таймера TFn (TMRnCN.7) и произойдет прерывание, если оно разрешено. Таймер может считать в обратном направлении, если бит разрешения декрементирования DCEN = 1. Если при декрементировании регистра таймера произойдет его опустошение (т.е. переход из состояния 0x0000 в состояние 0xFFFF), то в этом случае, как и при переполнении, устанавливается в 1 флаг переполнения/опустошения таймера TFn (TMRnCN.7) и произойдет прерывание, если оно разрешено.

Режим таймера/счетчика с захватом выбирается установкой в 1 бита выбора режима захват/перезагрузка CP/RLn (TMRnCN.0) и бита управления запуском Таймера n TRn (TMRnCN.2). Для включения захвата бит разрешения внешнего сигнала для Таймера n EXENn (TMRnCN.3) также должен быть установлен в 1. Если бит EXENn сброшен в 0, то переходы внешнего сигнала на входном выводе TnEX будут игнорироваться.

Рисунок 23.11. Структурная схема Таймеров 2, 3 и 4 в режиме захвата



23.2.3. Режим автоперезагрузки

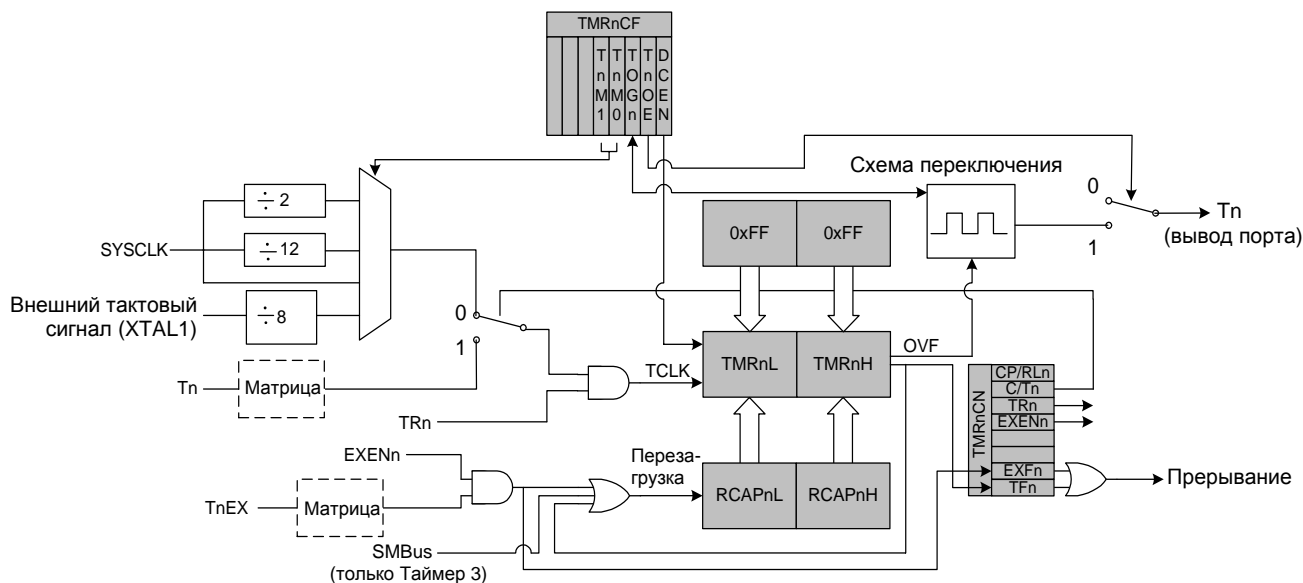
Таймер/Счетчик в режиме автоперезагрузки может считать в обоих направлениях и вызывать прерывание как при переполнении, так и при опустошении регистра таймера. В режиме прямого отсчета Таймер/Счетчик при переполнении установит соответствующий ему флаг переполнения/опустошения TFn (TMRnCN.7) и сгенерирует прерывание (если оно разрешено). При этом значение из регистров захвата/перезагрузки (RCAPnH, RCAPnL) будет загружено в регистры таймера и таймер перезапустится. Если EXENn = 1 и DCEN = 0, то переход внешнего сигнала на входном выводе TnEX (настроенном как вход) из состояния лог.1 в состояние лог.0 также вызовет перезагрузку таймера. Следует помнить, что переполнение таймера также вызовет перезагрузку. Если DCEN = 1, то логический уровень на выводе TnEX управляет направлением счета таймера и сигнал на этом выводе не будет вызывать перезагрузку или прерывание (Таймеры 2 и 3 используют общий вывод T2EX). Функционирование таймера в режиме обратного отсчета описано в разделе 23.2.1.

В режиме обратного отсчета Таймер/Счетчик установит соответствующий ему флаг переполнения/опустошения TFn (TMRnCN.7) и сгенерирует прерывание (если оно разрешено) в тот момент, когда значение регистров таймера (TMRnH, TMRnL) станет равно значению регистров захвата/перезагрузки (RCAPnH, RCAPnL). Это событие считается опустошением таймера и вызывает загрузку в регистры таймера значения 0xFFFF. При опустошении таймер автоматически перезапускается.

Режим таймера/счетчика с автоперезагрузкой выбирается сбросом в 0 бита CP/RLn. Установка в 1 бита TRn включает и запускает таймер.

В режиме автоперезагрузки флаг EXFn инвертируется при каждом переполнении или опустошении и не вызывает прерывания. Флаг EXFn можно рассматривать как старший значащий разряд (СЗР) 17-разрядного счетчика.

Рисунок 23.12. Структурная схема Таймеров 2, 3 и 4 в режиме автоперезагрузки



23.2.4. Режим инвертирования выхода (только Таймер 2 и Таймер 4)

Таймеры 2 и 4 имеют возможность переключать (инвертировать) состояние соответствующих им выходных выводов портов (T2 или T4) и таким образом генерировать на этих выводах прямоугольные импульсы с 50% скважностью. Состояние этих выводов будет изменяться при переполнении или опустошении соответствующего таймера (в зависимости от направления счета таймера). Частота переключений определяется частотой тактирования таймера и значениями, загруженными в регистры RCAPnH и RCAPnL. Если таймер считает в обратном направлении, то значением перезагрузки таймера является значение 0xFFFF и опустошение будет происходить в тот момент, когда значение регистров таймера станет равно значению регистров RCAPnH и RCAPnL. Если таймер считает в прямом направлении, то значением перезагрузки таймера является значение, содержащееся в регистровой паре RCAPnH : RCAPnL и переполнение будет происходить в тот момент, когда значение регистров таймера изменится из состояния 0xFFFF на значение перезагрузки.

Чтобы генерировать прямоугольные импульсы, таймер переводится в режим перезагрузки (бит выбора режима Захват/Перезагрузка и бит выбора режима Таймер/Счетчик сбрасываются в 0). Выход таймера подключается путем установки в 1 бита разрешения выхода таймера в регистре TMRnCF. Необходимо таким образом выбрать источник тактирования и значения перезагрузки/опустошения таймера, чтобы он переполнялся/опустошался с частотой, равной половине требуемой частоты выходного сигнала. Вывод порта, назначенный матрицей выходом таймера, следует настроить как цифровой выход (см. раздел 18). Установка в 1 бита запуска таймера (TRn) запустит процесс генерации прямоугольного сигнала на выходном выводе. Чтение/запись бита состояния переключаемого выхода таймера (TMRnCF.2) используется для считывания состояния переключаемого выхода или для принудительной установки на выходе требуемого значения. Это полезно в том случае, если требуется запустить процесс переключения выходного сигнала с определенного начального состояния или если во время остановки процесса переключения требуется перевести сигнал на выходном выводе в определенное состояние.

Уравнение 23.1 Частота прямоугольных импульсов

$$F_{sq} = F_{TCLK} / (2 \times (65535 - RCAPn))$$

Рисунок 23.13. TMRnCN: Регистры управления Таймерами 2, 3 и 4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 (доступен в битовом режиме адресации)
TFn	EXFn	-	-	EXENn	TRn	C/Tn	CP/RLn	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: TMR2CN: 0xC8; TMR3CN: 0xC8; TMR4CN: 0xC8								
SFR страница: TMR2CN: стр.0; TMR3CN: стр.1; TMR4CN: стр.2								

Бит 7: TFn: Флаг переполнения/опустошения Таймера n.
Устанавливается в 1 аппаратно, если:

- таймер переполняется из состояния 0xFFFF в состояние 0x0000;
- таймер опустошается, изменяя свое значение, равное содержимому регистров RCAPnH:RCAPnL на значение 0xFFFF (в режиме автоперезагрузки);
- таймер опустошается, изменяя свое значение, равное 0x0000 на значение 0xFFFF (в режиме захвата).

Если прерывание от Таймера разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера n. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.

Бит 6: EXFn: Флаг внешнего входного сигнала Таймеров 2, 3 или 4.
Этот бит аппаратно устанавливается в 1, если срез сигнала на входном выводе TnEX вызвал захват или перезагрузку и EXENn = 1. Если прерывание от Таймера разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от Таймера n. Этот бит не сбрасывается аппаратно, он должен быть сброшен программно.

Биты 5-4: Зарезервированы.

Бит 3: EXENn: Бит разрешения внешнего сигнала для Таймера n.
Этот бит разрешает осуществлять захват или перезагрузку по срезам сигнала на выводе TnEX и использовать этот вывод для управления направлением счета. Если DCEN = 1, то в режиме автоперезагрузки сигнал на выводе TnEX будет определять направление счета таймера. Если EXENn = 1, то TnEX следует настроить как цифровой вход.

0: Изменения состояния сигнала на выводе TnEX игнорируются.
1: Изменения состояния сигнала на выводе TnEX вызывают захват, перезагрузку, а также определяют направление счета таймера следующим образом:

Режим захвата: При переходе сигнала на выводе TnEX из ‘1’ в ‘0’ значение таймера захватывается (переписывается) в регистры RCAPnH:RCAPnL.

Режим автоперезагрузки:
DCEN = 0: При переходе сигнала из ‘1’ в ‘0’ происходит захват и устанавливается флаг EXFn.
DCEN = 1: Уровень сигнала на выводе TnEX определяет направление счета таймера.

Бит 2: TRn: Бит управления запуском Таймера n.
Этот бит включает/отключает соответствующий Таймер.

0: Таймер n отключен.
1: Таймер n включен и запущен/считает.

Бит 1: C/Tn: Выбор режима счетчика или таймера для Таймера n.

0: Режим таймера: Таймер n инкрементируется от сигнала тактирования, который определяется битами TnM1:TnM0 (TMRnCF.4: TMRnCF.3).

1: Режим счетчика: Таймер n инкрементируется под воздействием перехода из 1 в 0 внешнего входного сигнала.

Бит 0: CP/RLn: Выбор режима захвата или перезагрузки.
Этот бит определяет, в каком режиме функционирует Таймер n: в режиме захвата или в режиме автоперезагрузки.

0: Таймер n функционирует в режиме автоперезагрузки.
1: Таймер n функционирует в режиме захвата.

Примечание: Таймеры 2 и 3 используют общие выводы T2 и T2EX.

Рисунок 23.14. TMRnCF: Регистры конфигурации Таймеров 2, 3 и 4

			R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000 (доступен в битовом режиме адресации)
-	-	-	TnM1	TnM0	TOGn	TnOE	DCEN	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес:		TMR2CN: 0xC9; TMR3CN: 0xC9; TMR4CN: 0xC9						
SFR страница:		TMR2CN: стр.0; TMR3CN: стр.1; TMR4CN: стр.2						
Биты 7-5: Зарезервированы.								
Биты 4-3: TnM1 и TnM0: Биты выбора источника тактового сигнала Таймера n. Эти биты используются для выбора сигнала тактирования Таймера n. Этим сигналом могут быть: SYSCLK, SYSCLK/2, SYSCLK/12, либо сигнал от внешнего источника тактирования, подаваемый на вывод порта Tn и деленный по частоте на 8. Сигнал тактирования задается следующим образом: 00: SYSCLK/12; 01: SYSCLK; 10: EXTCLK/8 (синхронизирован с системным тактовым сигналом); 11: SYSCLK/2.								
Бит 2: TOGn: Бит состояния переключаемого выхода. Если таймер используется для переключения (инвертирования) сигнала на выводе порта, то этот бит можно использовать для чтения состояния выходного сигнала или для принудительной установки выходного сигнала в заданное состояние (только Таймер 2 и Таймер 4).								
Бит 1: TnOE: Бит разрешения выходного сигнала Таймера n. Этот бит разрешает таймеру генерировать прямоугольные импульсы с 50% скважностью на связанном с этим таймером внешнем выводе порта. <u>Примечание:</u> Таймер настраивается для генерации прямоугольных импульсов следующим образом: $CP/RLn = 0$ $C/Tn = 1$ $TnOE = 1$ Загрузить в регистры RCAPnH:RCAPnL необходимое значение (см. уравнение 23.1) Настроить вывод порта как выход прямоугольного сигнала (см. раздел 18) 0: Инвертируемый выходной сигнал недоступен на связанном с таймером выводе порта. 1: Инвертируемый выходной сигнал доступен на связанном с таймером выводе порта.								
Бит 0: DCENn: Бит разрешения декремента. Этот бит разрешает таймеру считать в обоих направлениях (в зависимости от уровня сигнала на выводеTnEX). 0: Таймер будет считать в прямом направлении независимо от уровня сигнала на выводеTnEX. 1: Таймер будет считать в прямом или обратном направлениях в зависимости от уровня сигнала на выводеTnEX как показано ниже: - если TnEX = 0, то таймер считает в обратном направлении; - если TnEX = 1, то таймер считает в прямом направлении.								
Примечание: Таймеры 2 и 3 используют общие выводы T2 и T2EX.								

Рисунок 24.15. RCAPnL: Младший байт регистра захвата Таймера 2, 3 и 4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: RCAP2L: 0xCA; RCAP3L: 0xCA; RCAP4L: 0xCA SFR страница: RCAP2L: стр.0; RCAP3L: стр.1; RCAP4L: стр.2								
Биты 7-0: RCAPnL: Младший байт регистра захвата Таймера n. Регистр RCAPnL захватывает младший байт Таймера n, если Таймер n работает в режиме захвата. Если Таймер n работает в режиме автоперезагрузки, то этот регистр содержит младший байт перезагружаемого значения.								

Рисунок 23.16. RCAPnH: Старший байт регистра захвата Таймера 2, 3 и 4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: RCAP2H: 0xCB; RCAP3H: 0xCB; RCAP4H: 0xCB SFR страница: RCAP2H: стр.0; RCAP3H: стр.1; RCAP4H: стр.2								
Биты 7-0: RCAPnH: Старший байт регистра захвата Таймера n. Регистр RCAPnH захватывает старший байт Таймера n, если Таймер n работает в режиме захвата. Если Таймер n работает в режиме автоперезагрузки, то этот регистр содержит старший байт перезагружаемого значения.								

Рисунок 23.17. TMRnL: Младший байт Таймера 2, 3 и 4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: TMR2L: 0xCC; TMR 3L: 0xCC; TMR 4L: 0xCC SFR страница: TMR 2L: стр.0; TMR 3L: стр.1; TMR 4L: стр.2								
Биты 7-0: TMRnL: Младший байт Таймера n. Регистр TMRnL содержит младший байт 16-разрядного Таймера n.								

Рисунок 23.18. TMRnL: Старший байт Таймера 2, 3 и 4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес: TMR2H: 0xCD; TMR 3H: 0xCD; TMR 4H: 0xCD SFR страница: TMR 2H: стр.0; TMR 3H: стр.1; TMR 4H: стр.2								
Биты 7-0: TMRnH: Старший байт Таймера n. Регистр TMRnH содержит старший байт 16-разрядного Таймера n.								

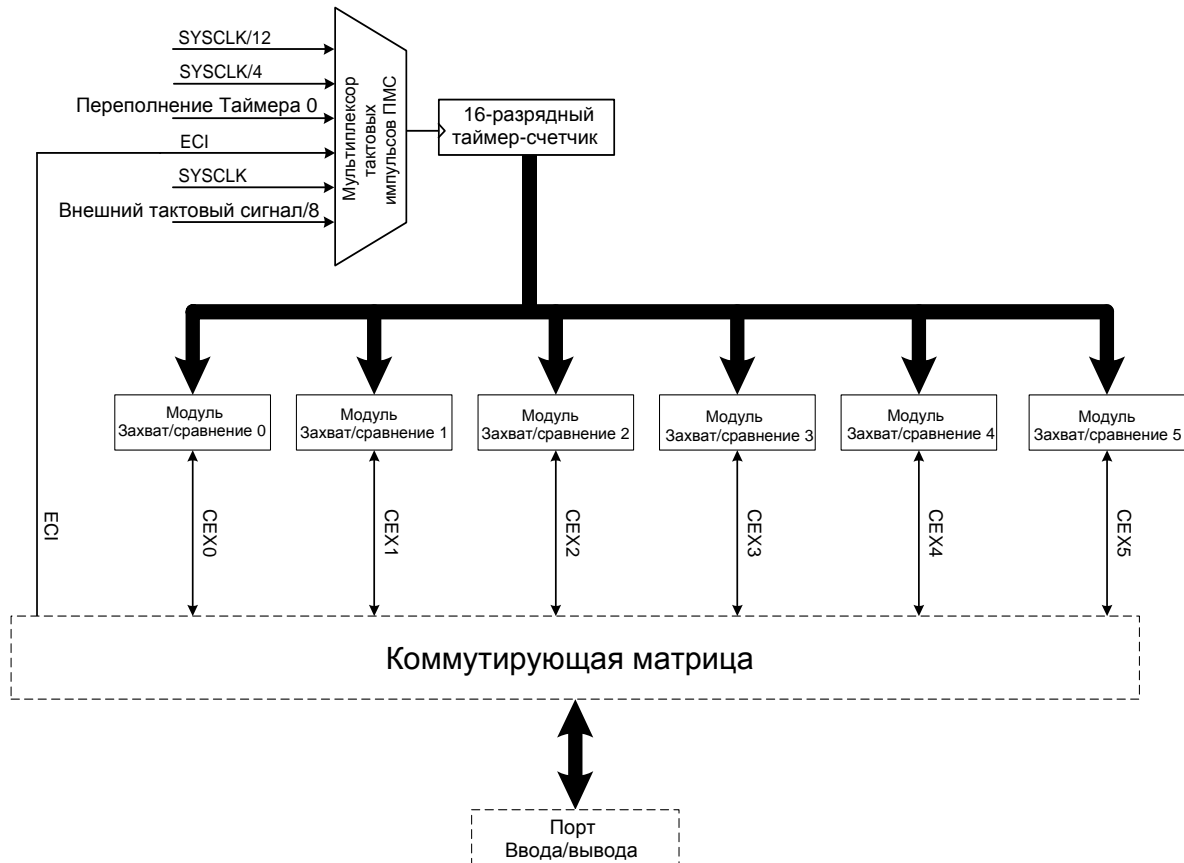
24. ПРОГРАММИРУЕМЫЙ МАССИВ СЧЕТЧИКОВ

Программируемый массив счетчиков (ПМС) реализует расширенные таймерные функции, при этом требует меньшего вмешательства со стороны процессорного ядра, чем стандартные таймеры/счетчики архитектуры 8051. ПМС состоит из специального 16-разрядного таймера/счетчика и шести 16-разрядных модулей захват/сравнение. Каждый модуль захват/сравнение имеет свою собственную линию ввода/вывода (CEXn), которая через матрицу соединяется, если разрешено, с портом ввода/вывода (подробная информация о настройке матрицы приведена в разделе 18.1). Таймер/счетчик тактируется программируемым внутренним сигналом, в качестве которого могут использоваться:

- внутренний сигнал с частотой, равной системной тактовой частоте;
- внутренний сигнал с частотой, равной 1/4 системной тактовой частоты;
- внутренний сигнал с частотой, равной 1/12 системной тактовой частоты;
- сигнал от внешнего генератора, деленный по частоте на 8;
- переполнение Таймера 0;
- входной сигнал на внешнем выводе ECI.

Каждый модуль захвата/сравнения можно независимо настроить для работы в одном из шести режимов: инициируемый по фронту сигнала захват, программный таймер, высокоскоростной выход, выход заданной частоты, 8-разрядный широтно-импульсный модулятор и 16-разрядный широтно-импульсный модулятор (описание каждого режима приведено в разделе 24.2). Для управления модулем ПМС и его настройки используются связанные с ним SFR регистры. Структурная схема модуля ПМС показана на рис.24.1.

Рисунок 24.1. Структурная схема ПМС



24.1. Таймер/счетчик модуля ПМС

16-разрядный таймер/счетчик модуля ПМС состоит из двух 8-разрядных SFR регистров: PCA0L и PCA0H. PCA0H является старшим байтом (СЗБ) 16-разрядного таймера/счетчика, а PCA0L образует младший байт (МЗБ). При чтении регистра PCA0L значение регистра PCA0H автоматически фиксируется в регистре-защелке; последующее чтение регистра PCA0H возвратит данные именно из этого регистра-защелки. Таким образом, для обеспечения точности считывания полного 16-разрядного значения таймера/счетчика ПМС необходимо сначала прочитать регистр PCA0L, а затем регистр PCA0H. Чтение регистров PCA0H или PCA0L не препятствует функционированию счетчика. Выбор внутреннего сигнала тактирования таймера/счетчика осуществляется битами CPS2 - CPS0 регистра PCA0MD, как показано в табл.24.1.

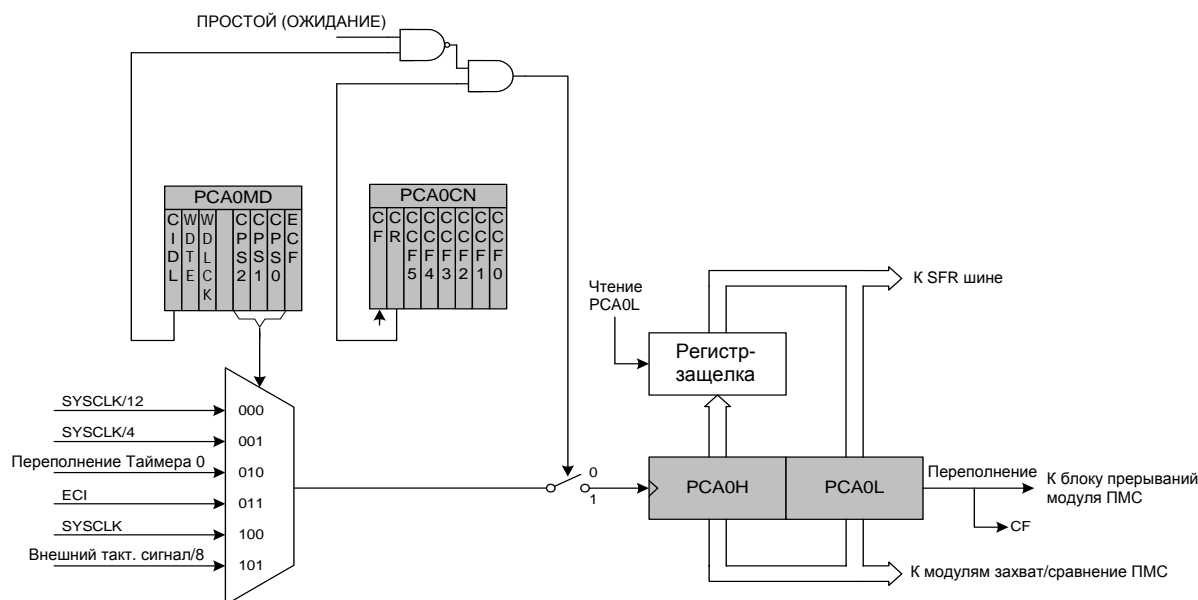
При переполнении таймера/счетчика из состояния 0xFFFF в состояние 0x0000 устанавливается в 1 флаг переполнения счетчика (CF) в регистре PCA0MD и, если прерывание от флага CF разрешено, генерируется запрос прерывания. Установка в 1 бита ECF в регистре PCA0MD разрешает генерацию запроса прерываний при установке флага CF. Бит CF не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно. Следует иметь ввиду, что прерывания от флага CF распознаются только в том случае, если прерывания от модуля ПМС разрешены глобально. Прерывания от ПМС разрешаются глобально установкой в 1 битов EA (IE.7) и EPCA0 (EIE1.3). Сброс в 0 бита CIDL регистра PCA0MD позволяет ПМС продолжать нормальное функционирование в то время, когда МК переведен в режим ожидания.

Таблица 24.1. Выбор тактового сигнала для ПМС

CPS2	CPS1	CPS0	Внутренний сигнал тактирования ПМС
0	0	0	SYSCLK/12
0	0	1	SYSCLK/4
0	1	0	Переполнение Таймера 0
0	1	1	Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI (макс. частота = SYSCLK/4)
1	0	0	SYSCLK
1	0	1	Сигнал от внешнего генератора, деленный по частоте на 8 *

* Примечание: Сигнал EXTCLK/8 синхронизирован с системным тактовым сигналом.

Рисунок 24.2. Структурная схема таймера/счетчика модуля ПМС



24.2. Модули захвата/сравнения

Каждый модуль можно независимо настроить для работы в одном из шести режимов: иницируемый по фронту сигнала захват, программный таймер, высокоскоростной выход, выход заданной частоты, 8-разрядный широтно-импульсный модулятор и 16-разрядный широтно-импульсный модулятор. Каждый модуль имеет связанные с ним регистры специального назначения, которые используются для обмена данными с модулем и для настройки режимов работы.

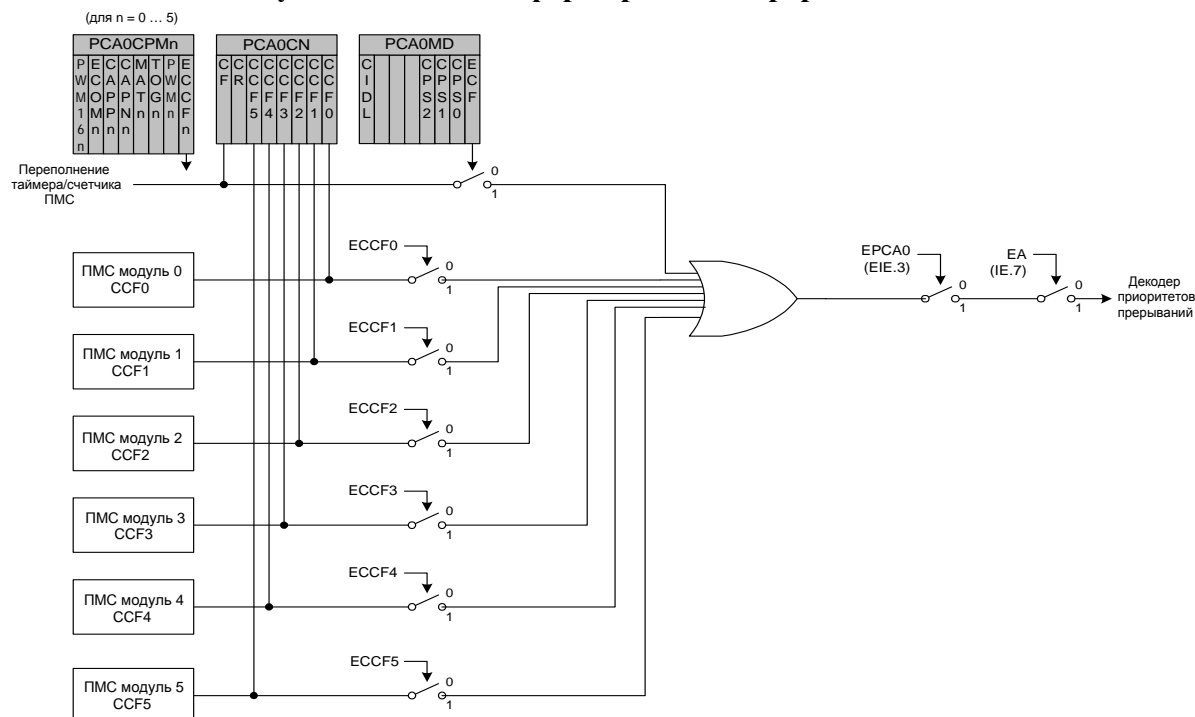
В табл.24.2 приведены комбинации бит в регистрах PCA0CPMn, используемые для перевода модулей захват/сравнение в различные режимы работы. Установка в 1 бит ECCFn в регистрах PCA0CPMn разрешает генерацию прерываний при установке в 1 флагов CCFn регистра PCA0CN. Следует иметь в виду, что индивидуальные CCFn прерывания распознаются только в том случае, если прерывания от модуля ПМС разрешены глобально. Прерывания от ПМС разрешаются глобально установкой в 1 битов EA (IE.7) и EPCA0 (EIE.3). Схема формирования прерываний от модуля ПМС приведена на рис.24.3.

Таблица 24.2. Настройка модулей захват/сравнение в регистре PCA0CPM

PWM16	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	Operation Mode
x	x	1	0	0	0	0	x	Захват иницируется положительным фронтом сигнала на линии CEXn
x	x	0	1	0	0	0	x	Захват иницируется отрицательным фронтом сигнала на линии CEXn
x	x	1	1	0	0	0	x	Захват иницируется изменением сигнала на линии CEXn
x	1	0	0	1	0	0	x	Программный таймер
x	1	0	0	1	1	0	x	Высокоскоростной выход
x	1	0	0	0	1	1	x	Выход заданной частоты
0	1	0	0	0	0	1	0	8-разр. широтно-импульсный модулятор
1	1	0	0	0	0	1	0	16-разр. широтно-импульсный модулятор

X = не имеет значения

Рисунок 24.3. Схема формирования прерывания от ПМС

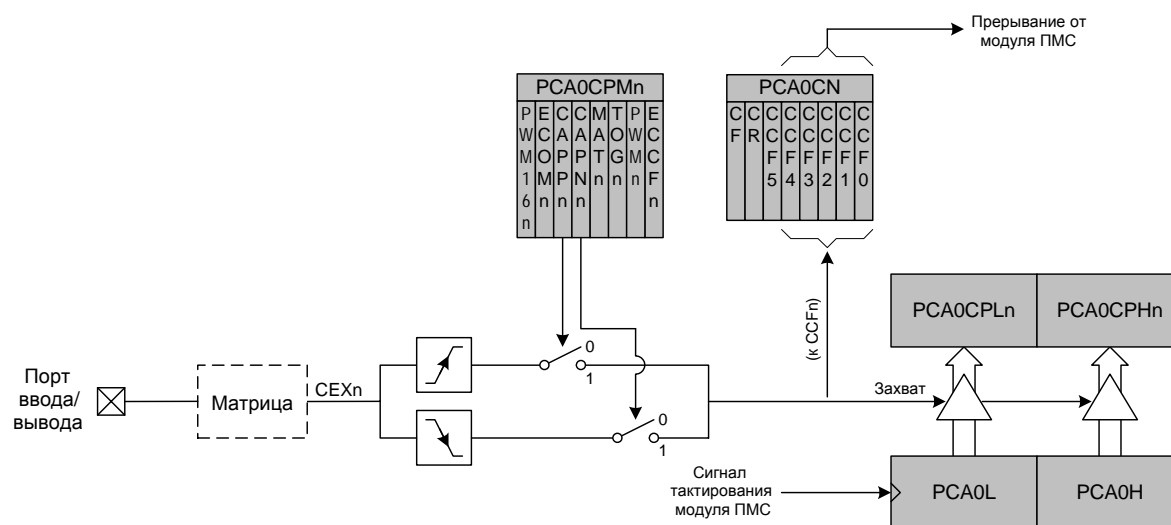


24.2.1. Режим захвата по фронту сигнала

В этом режиме активный фронт сигнала на внешнем выводе CEX_n приведет к захвату значения таймера/счетчика ПМС и загрузке его в 16-разрядный регистр захвата/сравнения (PCA0CPL_n и PCA0CPH_n) соответствующего модуля. Биты CAPP_n и CAPN_n регистра PCA0CPM_n определяют, по какому фронту будет осуществляться захват: по положительному (переход из 0 в 1), по отрицательному (переход из 1 в 0) или по любому фронту. Когда происходит захват, флаг захвата/сравнения (CCF_n) в регистре PCA0CN устанавливается в 1 и, если CCF прерывание разрешено, генерируется запрос прерывания. Бит CCF_n не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно.

Примечание: Минимальная длительность удержания высокого или низкого уровней сигнала на входе CEX_n составляет 2 системных тактовых цикла, что необходимо для обеспечения правильного функционирования модуля ПМС.

Рисунок 24.4. Структурная схема ПМС в режиме захвата



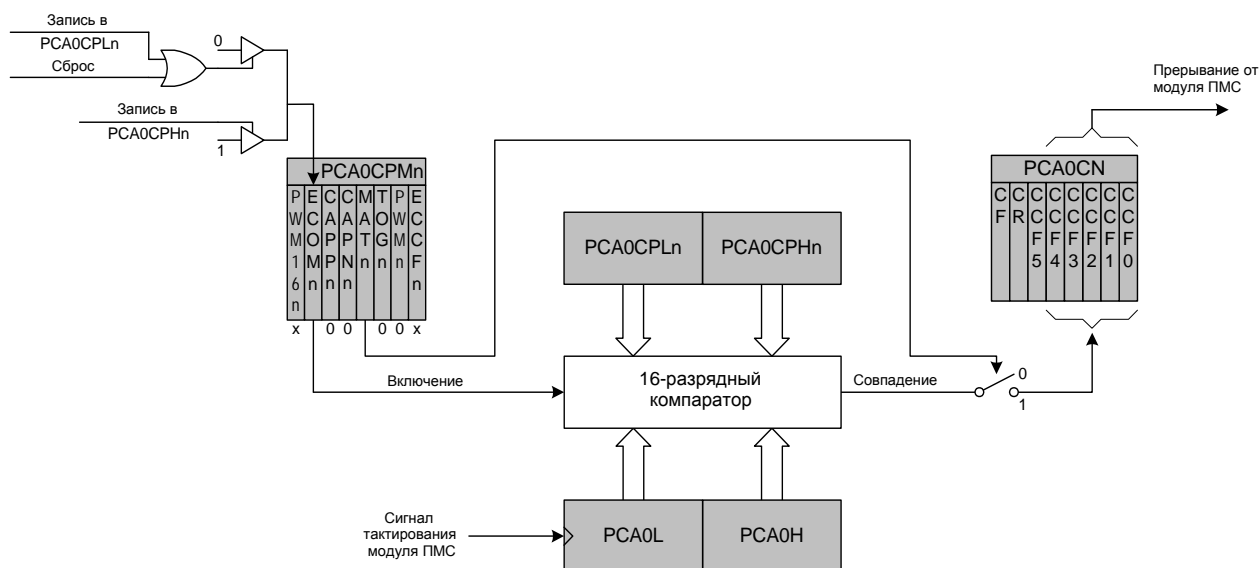
Примечание: Сигнал CEX_n должен удерживаться на высоком или низком уровне в течение не менее 2 системных тактовых циклов.

24.2.2. Режим программного таймера (сравнения)

В режиме программного таймера значение таймера/счетчика ПМС сравнивается со значением 16-разрядного регистра захвата/сравнения (PCA0CPHn и PCA0CPLn) соответствующего модуля. Когда происходит совпадение, флаг захвата/сравнения (CCFn) в регистре PCA0CN устанавливается в 1 и, если CCF прерывание разрешено, генерируется запрос прерывания. Бит CCFn не сбрасывается аппаратно при переходе к процедуре обслуживания прерывания и должен быть сброшен программно. Режим программного таймера включается установкой в 1 битов ECOMn и MATn регистра PCA0CPMn.

Примечание: при записи 16-разрядного значения в регистры захвата/сравнения всегда следует сначала записывать младший байт. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Рисунок 24.5. Структурная схема ПМС в режиме программного таймера

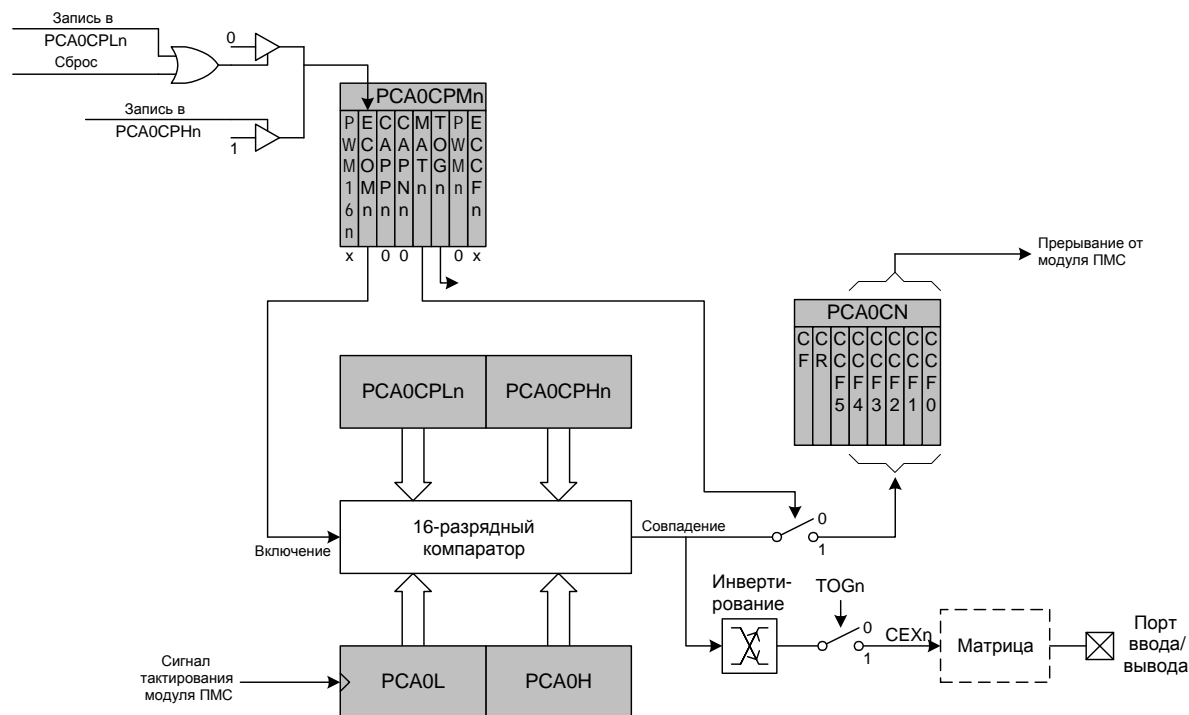


24.2.3. Режим высокоскоростного выхода

В этом режиме каждый раз, когда происходит совпадение значения таймера/счетчика ПМС и значения 16-разрядного регистра захвата/сравнения (PCA0CPHn and PCA0CPLn), логический уровень выходного сигнала на относящемся к модулю выводе CEXn будет инвертироваться. Режим высокоскоростного выхода включается установкой в 1 битов TOGn, MATn и ECOMn регистра PCA0CPMn.

Примечание: при записи 16-разрядного значения в регистры захвата/сравнения всегда следует сначала записывать младший байт. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Рисунок 24.6. Структурная схема ПМС в режиме высокоскоростного выхода



24.2.4. Режим выхода заданной частоты

В режиме выхода заданной частоты на связанном с конкретным модулем выводе CEX_n генерируется сигнал прямоугольной формы с программируемой частотой. Содержимое старшего байта регистра захвата/сравнения (PCA0CPH_n) определяет количество циклов тактирования ПМС, отсчитываемых до инвертирования состояния сигнала на выходе CEX_n. Таким образом, частота прямоугольного сигнала определяется в соответствии со следующим уравнением:

Уравнение 24.1. Частота прямоугольного сигнала в режиме выхода заданной частоты

$$F_{sqr} = F_{PCA} / (2 * PCA0CPH_n),$$

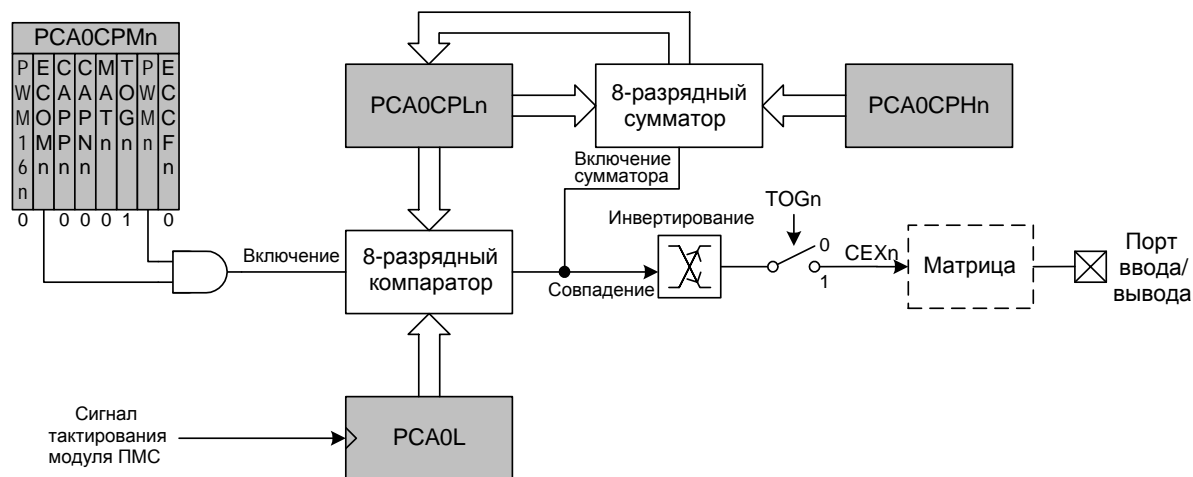
где F_{PCA} - частота сигнала тактирования, задаваемая битами CPS2 – 0 регистра режима ПМС (PCA0MD).

Примечание: значение 0x00 регистра PCA0CPH_n равно значению 256 для этого уравнения.

Содержимое младшего байта регистра захвата/сравнения (PCA0CPL_n) сравнивается с младшим байтом счетчика ПМС (PCA0L); при их совпадении сигнал на выводе CEX_n инвертируется и значение смещения, хранящееся в старшем байте (PCA0CPH_n), добавляется к значению регистра PCA0CPL_n. Режим выхода заданной частоты включается установкой в 1 битов ECOM_n, TOG_n и PWM_n и регистра PCA0CPM_n.

Примечание: при записи 16-разрядного значения в регистры захвата/сравнения всегда следует сначала записывать младший байт. Запись в регистр PCA0CPL_n сбрасывает в 0 бит ECOM_n; запись в регистр PCA0CPH_n устанавливает в 1 бит ECOM_n.

Рисунок 24.7. Структурная схема ПМС в режиме выхода заданной частоты



24.2.5. Режим 8-разрядного широтно-импульсного модулятора

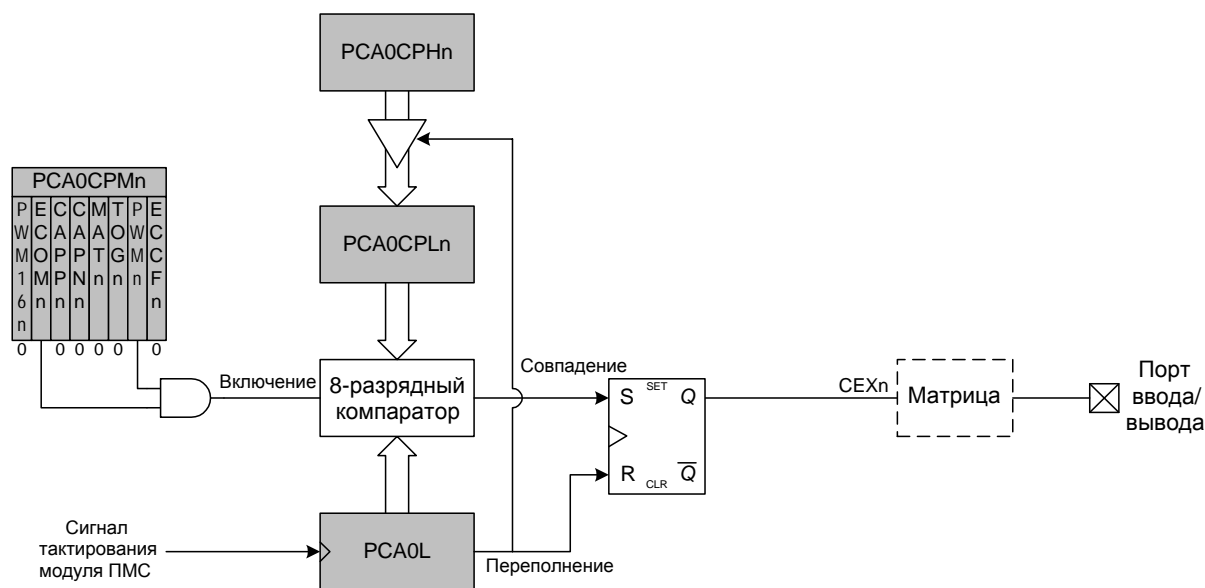
Каждый модуль захвата/сравнения можно использовать независимо от других для генерации на соответствующем ему выводе CEXn выходного сигнала с широтно-импульсной модуляцией (ШИМ). Частота этого выходного сигнала зависит от частоты сигнала тактирования таймера/счетчика ПМС. Для изменения коэффициента заполнения (скважности) выходного ШИМ сигнала используется регистр захвата/сравнения PCA0CPLn соответствующего модуля. Когда значение младшего байта таймера/счетчика ПМС (PCA0L) становится равным значению регистра PCA0CPLn, на внешнем выводе CEXn устанавливается сигнал высокого уровня. Когда регистр PCA0L переполнится, на выводе CEXn установится сигнал низкого уровня (см. рис.24.8). Кроме этого, при переполнении младшего байта таймера/счетчика (PCA0L) из состояния 0xFF в состояние 0x00 регистр PCA0CPLn автоматически перезагружается значением, хранящимся в регистре PCA0CPHn, без вмешательства со стороны программы. Во избежание сбоев в работе цифрового компаратора рекомендуется осуществлять запись в регистр PCA0CPHn, а не в регистр PCA0CPLn. Режим 8-разрядного широтно-импульсного модулятора включается установкой в 1 бит ECOMn и PWMn регистра PCA0CPMn. Скважность выходного сигнала в режиме 8-разрядного ШИМ определяется уравнением 24.2.

Примечание: при записи 16-разрядного значения в регистры захвата/сравнения всегда следует сначала записывать младший байт. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Уравнение 24.2. Скважность выходного сигнала в режиме 8-разр. ШИМ

$$DutyCycle \text{ (скважность)} = (256 - PCA0CPHn) / 256$$

Рисунок 24.8. Структурная схема ПМС в режиме 8-разр. ШИМ.



24.2.6. Режим 16-разрядного широтно-импульсного модулятора

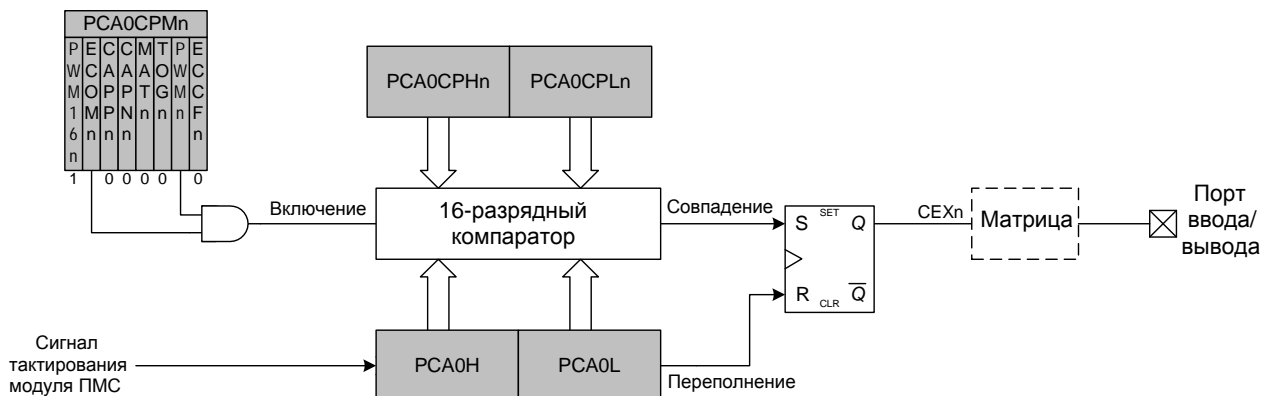
Каждый модуль захвата/сравнения можно также использовать в режиме 16-разрядного ШИМ. В этом режиме 16-разрядное значение регистров захвата/сравнения (PCA0CPHn : PCA0CPLn) определяет количество циклов тактирования ПМС, в течение которых выходной сигнал ШИМ удерживается на низком логическом уровне. Когда значение счетчика ПМС сравнивается с содержимым регистров захвата/сравнения (PCA0CPHn : PCA0CPLn), на выходе СЕХn устанавливается сигнал высокого уровня; когда счетчик ПМС переполнится, на выходе СЕХn установится сигнал низкого уровня. Чтобы выводить сигнал с изменяемой скважностью, запись новых значений необходимо синхронизировать с прерываниями от флага CCFn модуля ПМС. Режим 16-разрядного широтно-импульсного модулятора включается установкой в 1 бит ECOMn, PWMn и PWM16n регистра PCA0CPMn. Для получения сигнала с изменяемой скважностью следует также установить в 1 бит ECCFn, чтобы разрешить прерывания. Скважность выходного сигнала в режиме 16-разрядного ШИМ определяется уравнением 24.3.

Примечание: при записи 16-разрядного значения в регистры захвата/сравнения всегда следует сначала записывать младший байт. Запись в регистр PCA0CPLn сбрасывает в 0 бит ECOMn; запись в регистр PCA0CPHn устанавливает в 1 бит ECOMn.

Уравнение 24.3. Скважность выходного сигнала в режиме 16-разр. ШИМ

$$DutyCycle \text{ (скважность)} = (65536 - PCA0CPn) / 65536$$

Рисунок 24.9. Структурная схема ПМС в режиме 16-разр. ШИМ.



24.3. Описание регистров модуля ПМС

Ниже приводится описание регистров специального назначения, связанных с работой модуля ПМС.

Рисунок 24.10. PCA0CN: Регистр управления ПМС

R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	Значение при сбросе:
CF	CR	CCF5	CCF4	CCF3	CCF2	CCF1	CCF0	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0 (доступен в битовом режиме адресации)	SFR Адрес: 0xD8 SFR страница: 0

Бит 7: CF: Флаг переполнения Таймера/Счетчика ПМС.
 Устанавливается в 1 аппаратно, когда Таймер/Счетчик ПМС переполняется из состояния 0xFFFF в состояние 0x0000. Если прерывание от Таймера/Счетчика ПМС (от флага CF) разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 6: CR: Управление запуском Таймера/Счетчика ПМС.
 Этот бит включает/отключает Таймер/Счетчик ПМС.
 0: Таймер/Счетчик ПМС отключен.
 1: Таймер/Счетчик ПМС включен.

Бит 5: CCF5: Флаг захвата/сравнения модуля 5 ПМС.
 Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 4: CCF4: Флаг захвата/сравнения модуля 4 ПМС.
 Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 3: CCF3: Флаг захвата/сравнения модуля 3 ПМС.
 Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 2: CCF2: Флаг захвата/сравнения модуля 2 ПМС.
 Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 1: CCF1: Флаг захвата/сравнения модуля 1 ПМС.
 Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Бит 0: CCF0: Флаг захвата/сравнения модуля 0 ПМС.
 Этот бит устанавливается в 1 аппаратно, если происходит захват или совпадение сравниваемых значений. Если прерывание от флага CCF разрешено, то установка этого бита приведет к переходу на процедуру обслуживания прерывания от флага CCF. Этот бит не сбрасывается аппаратно и должен быть сброшен программно.

Рисунок 24.11. PCA0MD: Регистр режима ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
CIDL	-	-	-	CPS2	CPS1	CPS0	ECF	00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xD9 SFR страница: 0

Бит 7: CIDL: Управление режимом простоя (ожидания) Таймера/Счетчика ПМС.
 Это бит определяет поведение ПМС в то время, когда МК находится в режиме простоя (ожидания).
 0: ПМС продолжает нормально функционировать в то время, когда МК находится в режиме простоя (ожидания).
 1: Работа ПМС приостанавливается в то время, когда МК находится в режиме простоя (ожидания).

Биты 6-4: Не используются. Читаются как 000b. Запись не имеет значения.

Биты 3-1: CPS2-CPS0: Выбор сигнала тактирования Таймера/Счетчика ПМС.
 Эти биты определяют, какой сигнал будет использоваться для тактирования Таймера/Счетчика ПМС.

CPS2	CPS1	CPS0	Внутренний сигнал тактирования ПМС
0	0	0	SYSCLK/12
0	0	1	SYSCLK/4
0	1	0	Переполнение Таймера 0
0	1	1	Срез (переход из 1 в 0) входного сигнала на внешнем выводе ECI (макс. частота = SYSCLK/4)
1	0	0	SYSCLK
1	0	1	Сигнал от внешнего источника, деленный по частоте на 8*
1	1	0	Зарезервировано
1	1	1	Зарезервировано

* Сигнал от внешнего генератора, деленный по частоте на 8, синхронизируется с системным тактовым сигналом.

Бит 0: ECF: Разрешение прерываний от переполнения Таймера/Счетчика ПМС.
 Этот бит разрешает/запрещает прерывания от переполнения Таймера/Счетчика ПМС (от флага CF).
 0: Прерывания от флага CF (PCA0CN.7) запрещены.
 1: Прерывания от флага CF (PCA0CN.7) разрешены (если CF (PCA0CN.7) = 1).

Рисунок 24.12. PCA0CPMn: Регистры управления модулями захват/сравнение

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
PWM16n	ECOMn	CAPPn	CAPNn	MATn	TOGn	PWMn	ECCFn	
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес:	PCA0CPM0: 0xDA; PCA0CPM1: 0xDB; PCA0CPM2: 0xDC PCA0CPM3: 0xDD; PCA0CPM4: 0xDE; PCA0CPM5: 0xDF							
SFR страница:	PCA0CPM0: стр.0; PCA0CPM1: стр.0; PCA0CPM2: стр.0; PCA0CPM3: стр.0; PCA0CPM4: стр.0; PCA0CPM5: стр.0							
<p>Бит 7: PWM16n: Включение режима 16-разрядного ШИМ. Этот бит выбирает 16-разрядный режим, если режим ШИМ включен (PWMn = 1). 0: Выбран режим 8-разр. ШИМ. 1: Выбран режим 16-разр. ШИМ.</p> <p>Бит 6: ECOMn: Разрешение функции компаратора. Этот бит включает/отключает функцию компаратора модуля <i>n</i> ПМС. 0: Компаратор отключен. 1: Компаратор включен.</p> <p>Бит 5: CAPPn: Разрешение функции захвата по положительному фронту. Этот бит разрешает/запрещает захват по положительному фронту для модуля <i>n</i> ПМС. 0: Захват по положительному фронту запрещен. 1: Захват по положительному фронту разрешен.</p> <p>Бит 4: CAPNn: Разрешение функции захвата по отрицательному фронту. Этот бит разрешает/запрещает захват по отрицательному фронту для модуля <i>n</i> ПМС. 0: Захват по отрицательному фронту запрещен. 1: Захват по отрицательному фронту разрешен.</p> <p>Бит 3: MATn: Разрешение функции определения совпадения. Этот бит включает/отключает функцию определения совпадения для модуля <i>n</i> ПМС. Если MATn = 1, то совпадение значения счетчика ПМС со значением регистра захвата/сравнения соответствующего модуля приведет к установке в 1 бита CCFn в регистре PCA0MD. 0: Функция определения совпадения отключена. 1: Функция определения совпадения включена.</p> <p>Бит 2: TOGn: Разрешение функции инвертирования выхода. Этот бит включает/отключает функцию инвертирования выходного сигнала для модуля <i>n</i> ПМС. Если TOGn = 1, то совпадение значения счетчика ПМС со значением регистра захвата/сравнения соответствующего модуля приведет к инвертированию логического уровня выходного сигнала на внешнем выводе CEXn. 0: Функция инвертирования выхода отключена. 1: Функция инвертирования выхода включена.</p> <p>Бит 1: PWMn: Включение режима ШИМ. Этот бит включает/отключает функцию ШИМ для модуля <i>n</i> ПМС. Если PWMn = 1, то выходной ШИМ-сигнал появляется на внешнем выводе CEXn. Если PWM16n = 0, то используется режим 8-разр. ШИМ; если PWM16n = 1, то используется режим 16-разр. ШИМ. Если TOGn = 1, то модуль работает в режиме выхода заданной частоты. 0: Функция ШИМ отключена. 1: Функция ШИМ включена.</p> <p>Бит 0: ECCFn: Разрешение прерываний от флага захвата/сравнения (CCFn). Этот бит разрешает/запрещает прерывания от флага захвата/сравнения (CCFn). 0: Прерывания от флага CCFn запрещены. 1: Прерывания от флага CCFn разрешены.</p>								

Рисунок 24.13. PCA0L: Младший байт таймера/счетчика ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xF9 SFR страница: 0

Биты 7-0: PCA0L: Младший байт таймера/счетчика ПМС.
Регистр PCA0L содержит младший байт (МЗБ) 16-разрядного таймера/счетчика ПМС.

Рисунок 24.14. PCA0H: Старший байт таймера/счетчика ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	SFR Адрес: 0xFA SFR страница: 0

Биты 7-0: PCA0H: Старший байт таймера/счетчика ПМС.
Регистр PCA0H содержит старший байт (СЗБ) 16-разрядного таймера/счетчика ПМС.

Рисунок 24.15. PCA0CPLn: Младший байт модуля захвата ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе:
								00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

SFR Адрес: PCA0CPL0: 0xFB; PCA0CPL1: 0xFD; PCA0CPL2: 0xE9 PCA0CPL3: 0xEB; PCA0CPL4: 0xED; PCA0CPL5: 0xE1
SFR страница: PCA0CPL0: стр.0; PCA0CPL1: стр.0; PCA0CPL2: стр.0; PCA0CPL3: стр.0; PCA0CPL4: стр.0; PCA0CPL5: стр.0

Биты 7-0: PCA0CPLn: Младший байт модуля захвата ПМС.
Регистр PCA0CPLn содержит младший байт (МЗБ) 16-разрядного модуля захвата *n*.

Рисунок 24.16. PCA0CPHn: Старший байт модуля захвата ПМС

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
SFR Адрес:		PCA0CPH0: 0xFC; PCA0CPH1: 0xFD; PCA0CPH2: 0xEA PCA0CPH3: 0xEC; PCA0CPH4: 0xEE; PCA0CPH5: 0xE2						
SFR страница:		PCA0CPH0: стр.0; PCA0CPH1: стр.0; PCA0CPH2: стр.0; PCA0CPH3: стр.0; PCA0CPH4: стр.0; PCA0CPH5: стр.0						
Биты 7-0: PCA0CPHn: Старший байт модуля захвата ПМС.								
Регистр PCA0CPHn содержит старший байт (СЗБ) 16-разрядного модуля захвата <i>n</i> .								

25. ИНТЕРФЕЙС JTAG (IEEE 1149.1)

Каждый МК имеет встроенный интерфейс JTAG и логику поддержки граничного сканирования, предназначенные для производственных испытаний и внутрисистемного тестирования, выполнения операций чтения и записи Flash-памяти, а также для проведения «неразрушающей» внутрисхемной отладки. Интерфейс JTAG полностью соответствует спецификации IEEE 1149.1. Эта спецификация содержит подробную информацию об интерфейсе тестирования и архитектуре граничного сканирования. Работа с регистром команд (IR) и регистром данных (DR) интерфейса JTAG описана в разделе «Test Access Port and Operation» (порт тестового доступа и работа в режиме тестирования) спецификации IEEE 1149.1.

Для работы с интерфейсом JTAG используются четыре специальных вывода МК: TCK, TMS, TDI и TDO.

Используя 16-разрядный регистр команд интерфейса JTAG (IR), можно подавать любую из восьми команд, показанных на рис.25.1. Имеется три регистра данных (DR), связанных с работой интерфейса граничного сканирования, и четыре регистра данных, связанных с выполнением операций чтения/записи Flash-памяти МК.

Рисунок 25.1. IR: Регистр команд интерфейса JTAG

<div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div><div></div></div>																Значение при сбросе: 0x0000
Бит 15																Бит 0
Значение IR	Команда	Описание														
0x0000	EXTEST	Выбирает регистр данных интерфейса граничного сканирования для управления всеми выводами МК и наблюдения за ними.														
0x0002	SAMPLE/ PRELOAD	Выбирает регистр данных интерфейса граничного сканирования для опроса его защелок и их предварительной установки														
0x0004	IDCODE	Выбирает регистр идентификатора устройства														
0xFFFF	BYPASS	Выбирает регистр-шунт (BYPASS регистр данных)														
0x0082	Flash Control	Выбирает регистр FLASHCON для управления реакцией логики интерфейса на операции чтения/записи в регистр FLASHDAT														
0x0083	Flash Data	Выбирает регистр FLASHDAT для выполнения операций чтения/записи Flash-памяти														
0x0084	Flash Address	Выбирает регистр FLASHADR, который хранит адреса для всех операций чтения/записи/стирания Flash-памяти														
0x0085	Flash Scale	Выбирает регистр FLASHSCL, который управляет ждущим таймером модуля Flash-памяти и включает/выключает режим постоянного чтения Flash-памяти.														

25.1. Граничное сканирование

Регистр данных интерфейса граничного сканирования представляет собой 134-разрядный регистр сдвига. Этот регистр позволяет управлять всеми выводами МК, SFR шиной и слаботочковыми подтягивающими резисторами, а также определять их состояние. Для этого используются команды EXTEST и SAMPLE.

Таблица 25.1. Описание бит регистра данных интерфейса граничного сканирования

Команда EXTEST позволяет осуществлять операции как захвата, так и обновления, а команда SAMPLE выполняет только захват.

Бит	Действие	Целевой сигнал
0	Захват	Разрешение сброса от МК (МК в 64-выв. корпусе типа TQFP)
	Обновление	Разрешение сброса на вывод /RST (МК в 64-выв. корпусе типа TQFP)
1	Захват	Входной сигнал сброса с вывода /RST (МК в 64-выв. корпусе типа TQFP)
	Обновление	Выходной сигнал сброса на вывод /RST (МК в 64-выв. корпусе типа TQFP)
2	Захват	Разрешение сброса от МК (МК в 100-выв. корпусе типа TQFP)
	Обновление	Разрешение сброса на вывод /RST (МК в 100-выв. корпусе типа TQFP)
3	Захват	Входной сигнал сброса с вывода /RST (МК в 100-выв. корпусе типа TQFP)
	Обновление	Выходной сигнал сброса на вывод /RST (МК в 100-выв. корпусе типа TQFP)
4	Захват	Сигнал внешнего тактового генератора с вывода XTAL1
	Обновление	Не используется
5	Захват	Разрешение слаботочковых подтягивающих резисторов от МК
	Обновление	Разрешение слаботочковых подтягивающих резисторов к выводам портов
6, 8, 10, 12, 14, 16, 18, 20	Захват	Разрешение выхода P0.n от МК (напр., Bit6=P0.0, Bit8=P0.1, и т.д.)
	Обновление	Разрешение выхода P0.n на вывод (напр., Bit6=P0.0oe, Bit8=P0.1oe, и т.д.)*
7, 9, 11, 13, 15, 17, 19, 21	Захват	Входной сигнал P0.n с вывода (напр., Bit7=P0.0, Bit9=P0.1, и т.д.)
	Обновление	Выходной сигнал P0.n на вывод (напр., Bit7=P0.0, Bit9=P0.1, и т.д.)
22, 24, 26, 28, 30, 32, 34, 36	Захват	Разрешение выхода P1.n от МК
	Обновление	Разрешение выхода P1.n на вывод
23, 25, 27, 29, 31, 33, 35, 37	Захват	Входной сигнал P1.n с вывода
	Обновление	Выходной сигнал P1.n на вывод
38, 40, 42, 44, 46, 48, 50, 52	Захват	Разрешение выхода P2.n от МК
	Обновление	Разрешение выхода P2.n на вывод
39, 41, 43, 45, 47, 49, 51, 53	Захват	Входной сигнал P2.n с вывода
	Обновление	Выходной сигнал P2.n на вывод
54, 56, 58, 60, 62, 64, 66, 68	Захват	Разрешение выхода P3.n от МК
	Обновление	Разрешение выхода P3.n на вывод
55, 57, 59, 61, 63, 65, 67, 69	Захват	Входной сигнал P3.n с вывода
	Обновление	Выходной сигнал P3.n на вывод
70, 72, 74, 76, 78, 80, 82, 84	Захват	Разрешение выхода P4.5, P4.6, P4.7 (соответственно) от МК
	Обновление	Разрешение выхода P4.5, P4.6, P4.7 (соответственно) на вывод
71, 73, 75, 77, 79, 81, 83, 85	Захват	Входной сигнал P4.5, P4.6, P4.7 (соответственно) с вывода
	Обновление	Выходной сигнал P4.5, P4.6, P4.7 (соответственно) на вывод
86, 88, 90, 92, 94, 96, 98, 100	Захват	Разрешение выхода P5.n от МК
	Обновление	Разрешение выхода P5.n на вывод

Бит	Действие	Целевой сигнал
87, 89, 91, 93, 95, 97, 99, 101	Захват	Входной сигнал P5.n с вывода
	Обновление	Выходной сигнал P5.n на вывод
102, 104, 106, 108, 110, 112, 114, 116	Захват	Разрешение выхода P6.n от МК
	Обновление	Разрешение выхода P6.n на вывод
103, 105, 107, 109, 111, 113, 115, 117	Захват	Входной сигнал P6.n с вывода
	Обновление	Выходной сигнал P6.n на вывод
118, 120, 122, 124, 126, 128, 130, 132	Захват	Разрешение выхода P7.n от МК
	Обновление	Разрешение выхода P7.n на вывод
119, 121, 123, 125, 127, 129, 131, 133	Захват	Входной сигнал P7.n с вывода
	Обновление	Выходной сигнал P7.n на вывод

* oe = output enable (разрешение выхода)

25.1.1. Команда EXTEST

Команда EXTEST подается с помощью регистра IR. Регистр данных интерфейса граничного сканирования DR позволяет управлять всеми выводами МК и слаботочковыми подтягивающими резисторами, а также определять их состояние. Все входы к элементам встроенной логики установлены в 1.

25.1.2. Команда SAMPLE

Команда SAMPLE подается с помощью регистра IR. Регистр данных интерфейса граничного сканирования DR используется для опроса защелок пути сканирования и их предварительной установки.

25.1.3. Команда BYPASS

Команда BYPASS подается с помощью регистра IR. Она обеспечивает доступ к стандартному 1-разрядному регистру-шунту (BYPASS регистру данных) интерфейса JTAG.

25.1.4. Команда IDCODE

Команда IDCODE подается с помощью регистра IR. Она обеспечивает доступ к 32-регистру идентификатора устройства.

Рисунок 25.2. DEVICEID: Регистр JTAG идентификатора устройства

<table><tr><td>Версия</td><td>Шифр компонента</td><td>Идентификатор производителя</td><td>1</td></tr></table>				Версия	Шифр компонента	Идентификатор производителя	1	Значение при сбросе: 0хп0003243
Версия	Шифр компонента	Идентификатор производителя	1					
Бит 31	Бит 28 Бит 27	Бит 12 Бит 11	Бит 1 Бит 0					
Версия = 0000b								
Шифр компонента = 0000 0000 0000 0111b (C8051F120/1/2/3/4/5/6/7 или C8051F130/1/2/3)								
Идентификатор производителя = 0010 0100 001b (Silicon Laboratories)								

25.2. Команды программирования Flash-памяти

Flash-память можно программировать непосредственно через интерфейс JTAG, используя следующие регистры: Flash Control (регистр управления режимами чтения/записи Flash-памяти), Flash Data (регистр данных Flash-памяти), Flash Address (регистр адреса Flash-памяти) и Flash Scale (регистр делителя модуля Flash-памяти). Обращение к этим косвенным регистрам данных осуществляется через регистр команд интерфейса JTAG. Для выполнения операций чтения и записи косвенных регистров данных сначала необходимо установить адрес соответствующего регистра данных DR в регистре команд IR. Затем каждая операция чтения или записи инициируется записью соответствующего косвенного кода операции в выбранный регистр данных. Поступающие в этот регистр команды имеют следующий формат:

19:18	17:0
Косв. код операции	Записываемые данные

Косв. код операции: Эти биты определяют тип выполняемой операции в соответствии со следующей таблицей:

Косв. код операции	Операция
0x	Опрос
10	Чтение
11	Запись

Операция «Опрос» используется для проверки бита занятости, как описано ниже. Несмотря на то, что при опросе выполняется захват данных регистра DR, обновление регистра DR запрещено, поэтому опрос может быть осуществлен путем сдвига (в регистр/из регистра) одного единственного бита.

Операция «Чтение» инициирует чтение из регистра, адресуемого регистром IR. Чтение можно инициировать сдвигом лишь двух бит в косвенный регистр данных. После того, как операция чтения инициирована, необходимо выполнять опрос бита занятости, чтобы определить момент завершения операции.

Операция «Запись» инициирует запись «записываемых данных» в регистр, адресуемый регистром IR. Могут быть записаны регистры с разрядностью до 18 бит включительно. Если записываемый регистр содержит менее 18 бит, то записываемые данные должны быть выровнены влево, т.е. СЗР должен занимать бит 17. Это позволяет использовать для записи более коротких регистров меньшее число тактовых циклов интерфейса JTAG. Например, запись 8-разрядного регистра можно осуществить путем сдвига только 10 бит. После того, как операция записи инициирована, необходимо выполнять опрос бита занятости, чтобы определить момент, когда можно инициировать следующую операцию. Содержимое регистра команд IR нельзя изменять, пока выполняются операции чтения или записи.

Исходящие данные косвенного регистра данных имеют следующий формат:

19	18:1	0
0	Считываемые данные	Занято

Бит «Занято» показывает, что текущая операция не завершена. Он устанавливается в 1, когда операция инициируется, и сбрасывается в 0, когда операция завершается. Команды чтения или записи игнорируются, пока бит занятости равен единице. В действительности, если за операцией опроса бита занятости не равенство нулю следует операция чтения или записи, то запись (посредством интерфейса JTAG) следующей операции можно осуществлять во время проверки бита занятости на равенство нулю. Следующая операция (чтения или записи) будет игнорироваться до тех пор, пока бит занятости читается как ноль, и будет инициирована, как только бит занятости станет равен единице. Бит «Занято» занимает бит 0 косвенного регистра данных, что позволяет опросить его путем одноразрядного сдвига. Когда при ожидании завершения операции чтения бит занятости становится равен нулю, можно сдвигать следующие 18 бит для получения результирующих данных. Считываемые данные всегда выровнены вправо. Это позволяет для чтения регистров с разрядностью менее 18 бит использовать меньшее число сдвигов. Например, для получения результата операции чтения байта требуется 9 сдвигов (бит занятости + 8 бит данных).

Рисунок 25.3. FLASHCON: Регистр управления режимами чтения/записи Flash-памяти интерфейса JTAG.

SFLE	WRMD2	WRMD1	WRMD0	RDMD3	RDMD2	RDMD1	RDMD0	Значение при сбросе: 00000000
Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	

Этот регистр определяет, каким образом контроллер Flash-памяти будет реагировать на операции чтения и записи в регистр FLASHDAT.

Бит 7: SFLE: Разрешение доступа к области сверхоперативной Flash-памяти (CO3Y).
 Когда этот бит установлен, операции чтения/записи Flash-памяти будут относиться к двум 128-байтным секторам сверхоперативной Flash-памяти. Когда SFLE = 1, доступ к Flash-памяти по адресам за пределами диапазона 0x00 – 0xFF запрещен (за исключением адреса 0x400, который может использоваться для одновременного стирания обоих секторов CO3Y). Операции чтения/записи за пределами этого диапазона приведут к непредсказуемым результатам.
 0: Операции с Flash-памятью относятся к сектору Flash-памяти программ/данных.
 1: Операции с Flash-памятью относятся к двум 128-байтным секторам сверхоперативной Flash-памяти (CO3Y).

Биты 6-4: WRMD2-0: Биты выбора режима записи.
 Биты выбора режима записи управляют реакцией контроллера Flash-памяти на операции записи в регистр FLASHDAT. Возможны следующие варианты:
 000: Запись регистра FLASHDAT заменяет данные в регистре FLASHDAT, но во всем остальном игнорируется.
 001: Запись регистра FLASHDAT инициирует запись содержимого FLASHDAT в ячейку памяти, адресуемую регистром FLASHADR. После завершения содержимое регистра FLASHADR инкрементируется (увеличивается на 1).
 010: Запись регистра FLASHDAT инициирует стирание (установку всех байт в состояние 0xFF) той страницы Flash-памяти, которая содержит адрес, указанный в регистре FLASHADR. Чтобы стирание произошло, в регистр FLASHDAT должно быть записано значение 0xA5. FLASHADR не изменяется. Если FLASHADR = 0x1FBFE – 0x1FBFF, то будет стерто все доступное пользователю пространство памяти (т.е. вся Flash-память за исключением зарезервированной области 0x1FC00 – 0x1FFFF).
 (Все другие значения бит WRMD2-0 зарезервированы.)

Биты 3-0: RDMD3-0: Биты выбора режима чтения.
 Биты выбора режима чтения управляют реакцией контроллера Flash-памяти на операции чтения из регистра FLASHDAT. Возможны следующие варианты:
 0000: Операция чтения регистра FLASHDAT возвращает данные из регистра FLASHDAT, но во всем остальном игнорируется.
 0001: Чтение регистра FLASHDAT инициирует чтение байта, адресуемого регистром FLASHADR, если на данный момент нет активных операций. Этот режим используется для чтения блоков памяти.
 0010: Чтение регистра FLASHDAT инициирует чтение байта, адресуемого регистром FLASHADR только в том случае, если на данный момент нет активных операций и любые данные, полученные в результате предыдущей операции чтения, уже прочитаны из регистра FLASHDAT. Этот режим позволяет читать одиночные байты (или последний байт блока) без инициации дополнительного чтения.
 (Все другие значения бит RDMD3-0 зарезервированы.)

Рисунок 25.4. FLASHDAT: Регистр данных Flash-памяти интерфейса JTAG

DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0	FAIL	BUSY	Значение при сбросе: 0000000000
Бит 9	Бит 8	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	
<p>Этот регистр используется для чтения данных из Flash-памяти или записи данных во Flash-память посредством интерфейса JTAG.</p> <p>Биты 9-2: DATA7-0: Байт данных Flash-памяти.</p> <p>Бит 1: FAIL: Бит ошибки операций с Flash-памятью.</p> <p>0: Предыдущая операция с Flash-памятью была успешной.</p> <p>1: Предыдущая операция с Flash-памятью была неудачной. Обычно показывает, что соответствующая ячейка памяти была заблокирована.</p> <p>Бит 0: BUSY: Бит занятости контроллера Flash-памяти.</p> <p>0: Контроллер Flash-памяти свободен.</p> <p>1: Контроллер Flash-памяти обрабатывает запрос. Пока BUSY = 1, чтение или запись не будут инициировать другую операцию.</p>										

Рисунок 25.5. FLASHADR: Регистр адреса Flash-памяти интерфейса JTAG.

																	Значение при сбросе: 0x00000
Бит 16																Бит 0	
<p>Этот регистр содержит адрес для всех операций чтения/записи/стирания Flash-памяти интерфейса JTAG. Содержимое этого регистра автоматически инкрементируется после каждой операции чтения или записи независимо от того, была ли операция успешной или неудачной.</p> <p>Биты 16-0: 17-разрядный адрес для операций с Flash-памятью.</p>																	

25.3. Средства поддержки отладки

Каждый МК имеет встроенные интерфейс JTAG и средства отладки, которые обеспечивают «неразрушающую» внутрисхемную отладку в режиме реального времени с использованием МК, установленного в конечное изделие. Средства отладки фирмы Silicon Laboratories' поддерживают проверку и модификацию памяти и регистров, расстановку точек останова, пошаговую отладку. При этом не требуется никаких специальных дополнительных ОЗУ, памяти программ или каналов связи. Во время отладки все цифровые и аналоговые периферийные модули не отключаются и работают корректно (остаются в режиме синхронизации). При остановке МК в точке останова или при пошаговой отладке сторожевой таймер отключается.

Комплект средств разработки C8051F120DK содержит все необходимые аппаратные и программные средства для разработки программного кода и выполнения внутрисхемной отладки для любого МК семейств C8051F12x и C8051F13x. Каждый комплект включает в себя программный пакет с интегрированной средой разработки, блок-преобразователь (адаптер) RS-232/JTAG, а также демонстрационную плату с установленным МК (C8051F120). Кроме этого в комплект средств разработки входят кабели RS-232 и JTAG, а также блок питания в отдельном корпусе.

26. Список изменений.

26.1. Отличия ред. 1.3 от ред. 1.2.

- Добавлены четыре новых МК: C8051F130, C8051F131, C8051F132, C8051F133.
- Во все разделы добавлены описания функционирования четырех новых МК.
- Изменен и дополнен раздел, посвященный описанию функций защиты Flash-памяти.
- Описания всех источников опорного напряжения объединены в одну главу.
- Таблицы 3.1 и 3.2 (Основные электрические параметры): Максимальная частота внешнего входного сигнала (примечание 2 к таблицам) увеличена с 25 до 30 МГц.
- Таблицы 3.1 и 3.2 (Основные электрические параметры): Приведены значения токов потребления для различных режимов работы.
- Глава «12-разр. АЦП0»: Внесены изменения в рис.5.2. Внесены изменения в текст, которые отражают изменения рис.5.2.
- Глава «12-разр. АЦП0»: Таблица 5.1 «Электрические характеристики АЦП0»: Для датчика температуры указаны смещение нуля, погрешность смещения нуля, крутизна характеристики и погрешность крутизны характеристики.
- Глава «10-разр. АЦП0»: Рис.6.11: Для средней точки шкалы в однофазном режиме при LJST = 0 код «0x0800» заменен кодом «0x0200».
- Глава «10-разр. АЦП0»: Внесены изменения в рис.6.2. Внесены изменения в текст, которые отражают изменения рис.6.2.
- Глава «10-разр. АЦП0»: Таблица 6.1 «Электрические характеристики АЦП0»: Для датчика температуры указаны смещение нуля, погрешность смещения нуля, крутизна характеристики и погрешность крутизны характеристики.
- Глава «8-разр. АЦП2»: Таблица 7.1 «Электрические характеристики АЦП2»: Максимальное значение частоты дискретизации изменено на 6 МГц.
- Глава «8-разр. АЦП2»: Описание регистра ADC2CF: Максимальное значение частоты дискретизации изменено на 6 МГц.
- Глава «8-разр. АЦП2»: 7.1 «Электрические характеристики АЦП2»: Изменены значения параметров «Температурный коэффициент смещения нуля» и «Отношение сигнал/шум плюс искажение».
- Глава «CIP-51», раздел 11.8.1: Добавлено примечание относительно функционирования в режиме ожидания.
- Глава «CIP-51», таблица 11.2: Изменено положение регистров MAC0RNDL и MAC0RNDH (MAC0RNDL = 0xCE, MAC0RNDH = 0xCF на странице SFRPAGE = 3).
- Глава MAC0, Раздел 12.3: Изменено описание бита MAC0CA. Бит MAC0CA будет немедленно сбрасывать содержимое аккумулятора модуля MAC0 и регистра MAC0STA. Бит MAC0CA сбрасывается в 0 при завершении операции.
- Глава MAC0, Раздел 12.5: Добавлен текст, указывающий что после завершения операции сдвига бит MAC0SC сбрасывается в 0.
- Глава MAC0, Описание регистра MAC0STA: Изменено описание бита MAC0SO: Этот бит устанавливается в 1 в том случае, если в результате выполнения операции умножения с накоплением произошло переполнение в знаковый разряд (бит 31) аккумулятора MAC0, а не в регистр MAC0OVR, как было ранее.
- Глава «Таймеры»: Все ссылки «DCEN» и «DECEN» изменены на «DCENn».
- Глава «Таймеры», уравнение 23.1: Уравнение было исправлено и приняло вид $F_{sq} = F_{TCLK} / (2 \times (65535 - RCAPn))$. Это уравнение действительно для прямого и обратного направлений счета таймера.
- Глава «Таймеры», рисунок 23.14 «TMRnCF»: Исправлено описание бита 1. Для режима генерации прямоугольных импульсов CP/RLn = 0, C/Tn = 0, TnOE = 1.
- Глава «Таймеры», рисунок 23.12: «SMBus (только Таймер 4)» исправлено на «SMBus (только Таймер 3)».
- Глава «ЦАП», таблица 8.1 «Электрические характеристики ЦАП»: «Погрешность коэффициента усиления» изменено на «Погрешность полной шкалы».
- Глава «Источники сброса», описание регистра RSTSRC: Тип доступа к биту PORSF изменен с «R» на «R/W».
- Глава «Источники сброса», раздел 13.1: Добавлен текст, поясняющий, каким образом бит PORSF разрешает/запрещает использование монитора питания в качестве источника сброса.
- Глава «Порты ввода/вывода», раздел 18.2: К тексту добавлено примечание о том, что все регистры портов 4 – 7 расположены на SFR странице F.

- Глава «Порты ввода/вывода», примеры использования матрицы: Все ссылки на «АЦП1» и «AIN1» заменены на «АЦП2» и «AIN2».
- Глава «Порты ввода/вывода», рисунок 18.12 «Регистр данных Порта 1»: Ссылки на «AIN1» заменены на «AIN2».
- Глава «УАПП0», раздел 21.3: Биты FE0, TXCOL0 и RXOV0 расположены в регистре SSTA0, а не в регистре SCON0, и не являются битами двойного назначения (изменены соответствующие описания).
- Глава «УАПП0»: изменены и сделаны более понятными уравнения для расчета скорости передачи данных.
- Глава «Генераторы», таблица 14.1 «Электрические характеристики генератора»: Максимальная частота внешнего тактового сигнала увеличена до 30 МГц.
- Глава «Генераторы», таблица 14.1 «Электрические характеристики генератора»: Минимальное значение параметров T_{XCH} и T_{XCL} изменено на «15 нс».
- Глава «Генераторы», раздел 14.7.3: Добавлено примечание о том, что при изменении состояния бит FLRT на значения, соответствующие более низким частотам, чтение кэш-памяти, запись кэш-памяти и механизм упреждающей выборки должны быть запрещены.
- Глава «Flash-память», описание регистра FLSCl: Добавлено примечание о том, что при изменении состояния бит FLRT на значения, соответствующие более низким частотам, чтение кэш-памяти, запись кэш-памяти и механизм упреждающей выборки должны быть запрещены.
- Глава «Источник опорного напряжения», таблица 9.1: Добавлены параметры «Нестабильность по напряжению питания», «Ток потребления генератора напряжения смещения» и «Ток потребления буферного усилителя».

Contact Information

Silicon Laboratories Inc.

4635 Boston Lane

Austin, TX 78735

Tel: 1+(512) 416-8500

Fax: 1+(512) 416-9669

Toll Free: 1+(877) 444-3032

Email: productinfo@silabs.com

Internet: www.silabs.com

The information in this document is believed to be accurate in all respects at the time of publication but is subject to change without notice. Silicon Laboratories assumes no responsibility for errors and omissions, and disclaims responsibility for any consequences resulting from the use of information included herein. Additionally, Silicon Laboratories assumes no responsibility for the functioning of undescribed features or parameters. Silicon Laboratories reserves the right to make changes without further notice. Silicon Laboratories makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Silicon Laboratories assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. Silicon Laboratories products are not designed, intended, or authorized for use in applications intended to support or sustain life, or for any other application in which the failure of the Silicon Laboratories product could create a situation where personal injury or death may occur. Should Buyer purchase or use Silicon Laboratories products for any such unintended or unauthorized application, Buyer shall indemnify and hold Silicon Laboratories harmless against all claims and damages.

Silicon Laboratories and Silicon Labs are trademarks of Silicon Laboratories Inc. Other products or brandnames mentioned herein are trademarks or registered trademarks of their respective holder.