

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
МОСКОВСКИЙ ЭНЕРГЕТИЧЕСКИЙ ИНСТИТУТ
(ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ)

А.Т. КОБЯК

ТРИГГЕРЫ

Методическое пособие к лабораторной работе

ТРИГГЕРЫ

Триггером называется устройство, способное формировать два устойчивых значения выходного сигнала (логического 0 и логической 1) и скачкообразно изменять эти значения под действием внешнего управляющего сигнала.

Триггеры классифицируются на несколько типов в зависимости от принципа их работы и целевого назначения.

По способу управления триггеры подразделяют на два класса: синхронизируемые и несинхронизируемые (асинхронные). Синхронизируемый триггер снабжен вспомогательным входом синхронизации, который разрешает переключение триггера при наличии на этом входе соответствующего сигнала.

По способу организации логических связей триггеры классифицируют на следующие типы:

- *RS* – с отдельной установкой состояний 1 и 0;
- *D* – с приемом информации по одному входу;
- *T* – со счетным входом;
- *JK* – универсальный триггер, совмещающий свойства *D*, *RS* и *T*-триггеров.

Триггер является простейшей ячейкой памяти, способной при включенном питании хранить один бит информации.

RS-триггеры

Асинхронный RS-триггер

Триггер типа RS имеет два информационных входа: вход установки S (Set) и вход сброса R (Reset). Схема триггера строится на двух элементах ИЛИ-НЕ или И-НЕ, охваченных перекрестными обратными связями. На рис. 1 изображена схема триггера на элементах ИЛИ-НЕ.

Режимы работы триггера задаются состояниями его входов R и S. При этом выходы триггера Q и \bar{Q} изменяются в соответствии с табл. 1.

Таблица 1

Таблица переходов триггера типа RS на элементах ИЛИ-НЕ

| Режим | <i>R</i> | <i>S</i> | <i>Q</i> | \bar{Q} |
|-----------|----------|----------|---------------|-----------|
| запись 1 | 0 | 1 | 1 | 0 |
| запись 0 | 1 | 0 | 0 | 1 |
| хранение | 0 | 0 | не изменяется | |
| запрещено | 1 | 1 | 0 | 0 |

Последнее состояние считается запрещенным, так как оно не сохраняется при переводе триггера в режим хранения; триггер попадает в так называемое неопределенное состояние, когда на его выходах сигналы с равной вероятностью могут быть как нулевыми, так и единичными. По этой причине запрещенный режим использовать не рекомендуется.

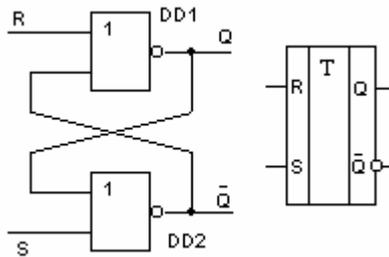


Рис. 1. RS-триггер на элементах ИЛИ-НЕ: схема и условное обозначение

На рис. 2 изображен RS-триггер на элементах И-НЕ. В качестве входных сигналов этого триггера используются инверсные переменные \bar{R} и \bar{S} .

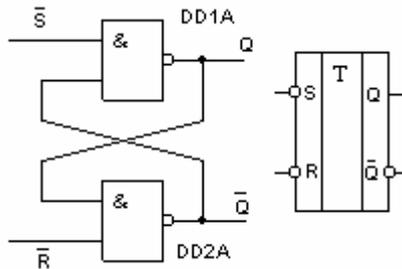


Рис. 2. RS-триггер на элементах И-НЕ: схема и условное обозначение

Работа триггера описывается несколько измененной таблицей переходов (табл. 2).

Таблица 2

Таблица переходов RS-триггера на элементах И-НЕ

| Режим | \bar{R} | \bar{S} | Q | \bar{Q} |
|-----------|-----------|-----------|---------------|-----------|
| запись 1 | 1 | 0 | 1 | 0 |
| запись 0 | 0 | 1 | 0 | 1 |
| хранение | 1 | 1 | не изменяется | |
| запрещено | 0 | 0 | 1 | 1 |

В любом случае выходная переменная Q зависит не только от состояния входов R и S , но и от предыдущего состояния триггера Q_{t-1} . Если считать состояние триггера в запрещенном режиме безразличным, то таблицы истинности 1 и 2. равноценны.

В карте Карно (рис. 3), соответствующей таблицам, запрещенное состояние обозначено символом "x".

| RS | 00 | 01 | 11 | 10 |
|-------------|----|----|----|----|
| Q_{t-1} 0 | 0 | 1 | x | 0 |
| Q_{t-1} 1 | 1 | 1 | x | 0 |

Рис. 3. Карта Карно для RS-триггера

Зависимость выходной переменной Q от входных R и S называется характеристическим уравнением триггера. На основании карты рис. 3 характеристическое уравнение RS-триггера принимает вид:

$$Q = S \vee (Q_{t-1} \bar{R}) \quad \text{при} \quad RS = 0.$$

Синхронный RS-триггер

RS-триггер может быть выполнен синхронным (рис. 4). В этом случае он будет реагировать на входные сигналы только в определенные моменты времени. Эти моменты задаются с помощью дополнительного сигнала синхронизации C (Clock).

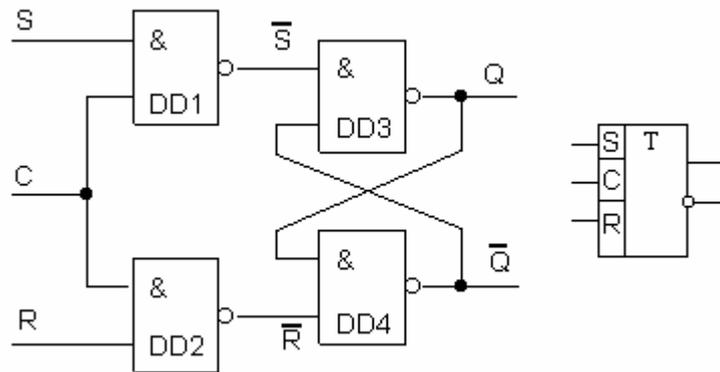


Рис. 4. Синхронный RS-триггер: схема и условное обозначение

При сигнале $C=0$ на входах триггера, выполненном на элементе D2, переменные R^* и S^* равны 0, и триггер D2 находится в режиме хранения. При $C=1$ схема работает как обычный RS-триггер.

Синхронный двухступенчатый RS-триггер

Синхронный двухступенчатый RS-триггер типа M-S (Master-Slave) содержит два обычных последовательно включенных синхронных триггера.

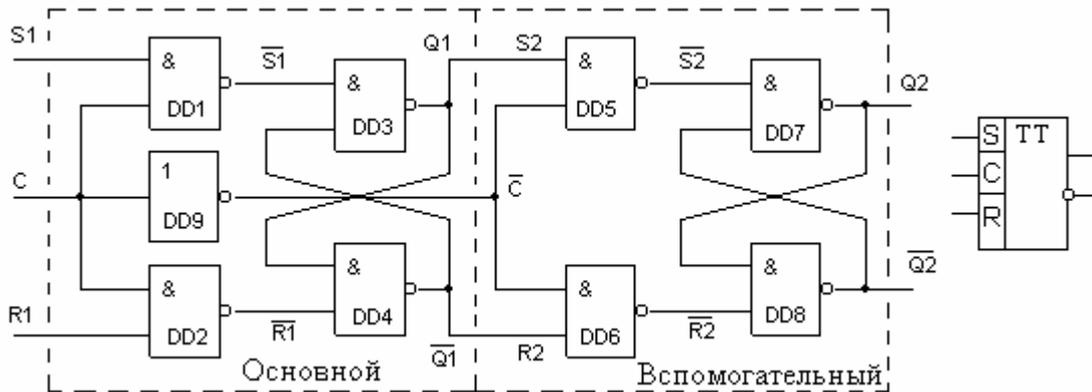


Рис. 5. RS-триггер типа M-S: схема, условное обозначение триггера

Первый триггер (D1) считается ведущим (Master), а второй (D2) – ведомым (Slave). Сигнал синхронизации для второго триггера снимается с инвертора D3 (рис. 5). Поэтому при единичном сигнале синхронизации C запись осуществляется в ведущий RS-триггер (D1), а ведомый триггер D2 хранит Ранее записанную информацию. При установке на входе синхронизации нулевого сигнала ведущий триггер D1 переходит в режим хранения, а ведомый D2 перезаписывает информацию из триггера D1. Таким образом, изменение сигналов

на выходах ведомого триггера возможно только в момент перехода импульса синхронизации из единичного состояния в нулевое (по заднему фронту импульса).

RS-триггер типа M-S является основой для построения триггеров других типов.

D-триггеры

Синхронный одноступенчатый D-триггер

Синхронный одноступенчатый D-триггер имеет вход данных D (Data) и вход синхронизации C (Clock) и строится на базе синхронного одноступенчатого RS-триггера (рис. 6).

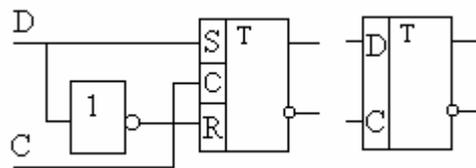


Рис. 6. Синхронный D-триггер: схема и условное обозначение

В данной схеме при $C=0$ триггер D3 находится в режиме хранения, а при $C=1$ записывает входную переменную D . Характеристическое уравнение D-триггера имеет вид:

$$Q = D.$$

Двухступенчатый D-триггер

Двухступенчатый D-триггер строится на основе RS-триггера типа M-S (рис. 7). С этой целью перед R-входом триггера подключен инвертор.

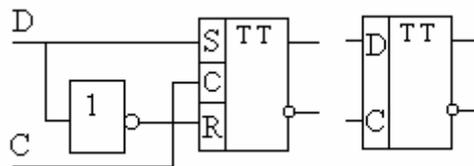


Рис.7.7. D-триггер типа M-S: схема и условное обозначение

Динамический D-триггер

Динамический D-триггер осуществляет запись информации либо по переднему, либо по заднему фронту импульса синхронизации. Одна из таких схем динамического D-триггера, управляемого передним фронтом импульса синхронизации C , изображена на рис. 8.

При $C = 1$ независимо от состояния входа D сигналы $x_2 = x_3 = 0$ и выходной триггер D4 находится в режиме хранения. При этом $x_1 = \overline{D}$ и, следовательно, один из двух входных триггеров D2 или D3 находится в запрещенном режиме, которое не может быть сохранено при переходе импульса синхронизации в нулевое состояние. По заднему фронту сигнала C этот триггер из запрещенно-

го режима переходит в режим записи и при $D=0$ получаем $x_3=1$, $x_2=0$, а при $D=1$ получаем $x_2=1$, $x_3=0$. В результате на выходе триггера устанавливается сигнал $Q = D$.

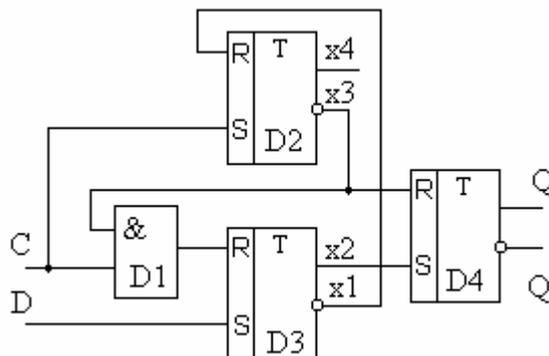


Рис. 8. Динамический D-триггер

Все последующие изменения сигнала D при $C = 0$ не влияют на состояния входных триггеров $D2$, $D3$. Новая информация в них будет записана только при $C = 1$, когда один из триггеров вновь перейдет в запрещенный режим.

JK-триггеры

JK-триггер всегда имеет структуру типа M-S. У триггера два информационных входа J (Jump) и K (Keep), а также необходимый при такой структуре вход синхронизации C (Clock) (рис. 9).

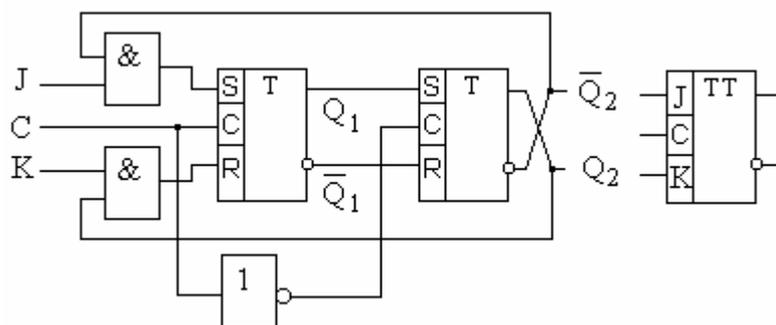


Рис. 9. JK-триггер: схема и условное обозначение

JK-триггер функционирует подобно двухступенчатому RS-триггеру. Он изменяет своё состояние по отрицательному фронту импульса синхронизации в соответствии с таблицей переходов 3.

Таблица 3

Таблица переходов JK-триггера

| Режим | J | K | Q | Q |
|----------|---|---|-------------------------------|---|
| запись 1 | 1 | 0 | 1 | 0 |
| запись 0 | 0 | 1 | 0 | 1 |
| хранение | 0 | 0 | не изменяется | |
| счетный | 1 | 1 | Изменяется на противоположное | |

Таблица переключений верна, если состояние JK-входов не изменяется при $C=1$. Ведущий триггер схемы может быть опрокинут только один раз и из-

за наличия в схеме обратных связей не может быть возвращен в исходное состояние.

В отличие от RS-триггера режим $J=K=1$ приводит к переходу JK-триггера в новое состояние, противоположное исходному и называется счетным режимом.

Карта Карно JK-триггера изображена на рис. 10.

| | | | | | |
|-----------|---|----|----|----|----|
| JK | | 00 | 01 | 11 | 10 |
| Q_{t-1} | 0 | 0 | 0 | 1 | 1 |
| | 1 | 1 | 0 | 0 | 1 |

Рис. 10. Карта Карно JK-триггера

На основании рис. 10 получаем характеристическое уравнение JK-триггера:

$$Q = J \cdot \overline{Q_{t-1}} \vee \overline{K} \cdot Q_{t-1}.$$

T-триггеры

T-триггер, или счетный триггер, изменяет свое состояние на противоположное под воздействием сигнала синхронизации на входе C. Кроме входа синхронизации T-триггер может иметь ещё разрешающий вход T. Изменение состояния триггера под действием импульса синхронизации разрешается при $T=1$. Характеристическое уравнение триггера в этом случае имеет вид:

$$Q = T \cdot \overline{Q_{t-1}} \vee \overline{T} \cdot Q_{t-1}$$

Для построения счетного триггера можно использовать JK-триггер, включенный по схеме рис. 11. При $J=K=1$ JK-триггер работает в счетном режиме (см. табл. 3).

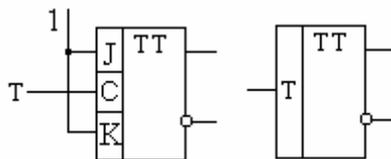


Рис. 11. Счетный T-триггер: схема и условное обозначение

T-триггер можно построить также и на двухступенчатых RS- и D-триггерах (рис. 12).

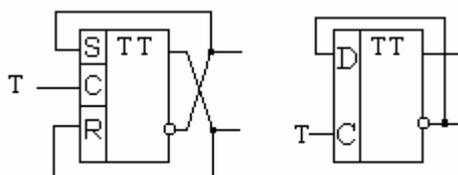


Рис. 11. Счетный T-триггер на двухступенчатых RS- и D-триггерах

Практические схемы триггера

На рис. 13 изображены наиболее распространенные микросхемы TTL-триггеров.

Микросхема 155ТМ5 содержит две пары синхронных D-триггеров, каждая из которых имеет общий вход синхронизации С. Информация записывается в триггеры при С=1.

Каждый триггер микросхемы 1533ТМ2 может работать как в асинхронном, так и в синхронном режимах. В асинхронном режиме триггер управляется по входам R и S. При S = R = 1 запись информации с входа D происходит по переднему фронту сигнала С.

Запись информации во все триггеры микросхемы 1533ТМ9 происходит одновременно на положительном фронте импульса синхронизации С. Асинхронное обнуление всех триггеров наступает при #R=0.

Запись информации со входов J и K микросхемы 1533ТВ9 производится по заднему фронту тактового импульса на входе С, а смена информации на входах J и K разрешается производить только при С = 1. У микросхемы 155ТВ1 входы J и входы K объединены логикой ЗИ. Асинхронные входы #R и S #8-триггеров 1533ТВ9 и 155ТВ1 предназначены для установки триггеров соответственно в нулевое и единичное состояния. Установка производится сигналами низкого уровня.

Микросхема 1533ТР2. содержит четыре RS-триггера. Каждый из триггеров имеет установочные входы #R и #S. Причем два триггера имеют по два входа #S1 и #S2, объединенных логикой ИЛИ.

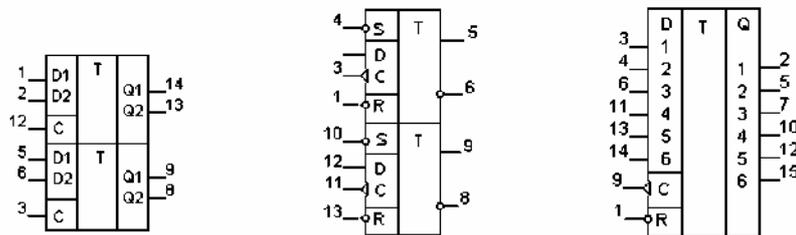


Рис. 12. Микросхемы D-триггеров: 155ТМ5 (четыре D-триггера) 1533ТМ2 (два динамических D-триггера) 1533ТМ9 (шесть D-триггеров)

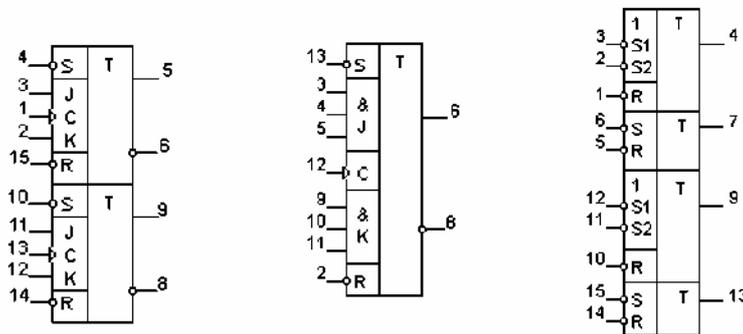


Рис. 13. Интегральные JK- и RS-триггеры 1533ТВ9 (два JK-триггера) 155ТВ1 (JK-триггер) 1533ТР2 (четыре RS-триггера)

ОГЛАВЛЕНИЕ

| | |
|--|---|
| ТРИГГЕРЫ..... | 2 |
| RS-триггеры | 2 |
| Асинхронный RS-триггер | 2 |
| Синхронный RS-триггер..... | 4 |
| Синхронный двухступенчатый RS-триггер..... | 4 |
| D-триггеры..... | 5 |
| Синхронный одноступенчатый D-триггер..... | 5 |
| Двухступенчатый D-триггер..... | 5 |
| Динамический D-триггер | 5 |
| JK-триггеры..... | 6 |
| T-триггеры | 7 |
| Практические схемы триггера..... | 7 |