

TRC102 - приёмопередатчик в диапазоне частот 400 - 1000 МГц

Версия перевода - 1 от 18.09.2009

Данный документ является неофициальным черновым вариантом перевода на русский язык технического описания на трансивер TRC102 (RFM – www.rfm.com). Документ предоставляется по принципу «как есть» без каких-либо подразумеваемых или иных гарантий и может содержать неточности в терминологии и смысловые ошибки. Если у вас есть пожелания по улучшению качества перевода, просьба присылать свои замечания на адрес электронной почты picozoid@mail.ru. Последнюю версию документа можно бесплатно загрузить с сайта <http://piclist.ru>.

Введение.....	2
Характеристики устройства.....	2
Популярные применения.....	3
1. Расположение выводов.....	3
Описание выводов.....	3
2. Описание функциональных возможностей.....	5
Типичная схема применения TRC102.....	5
Согласование радиочастотного передатчика.....	5
Рекомендации по проектированию антенны.....	6
Рекомендации по разводке печатной платы.....	6
3. Функциональные характеристики TRC102.....	8
Входной/выходной усилитель.....	8
Данные и фильтрация при немодулированной передаче.....	8
Передающий регистр.....	9
Приёмный FIFO-буфер.....	10
Программируемый синхробайт.....	10
Автоподстройка частоты.....	11
Кварцевый генератор.....	11
Управление частотой (ФАПЧ) и синтез частоты.....	11
Детектор обнаружения качества данных.....	12
Детектор обнаружения действительных данных (DDet).....	12
Индикация уровня принимаемого сигнала (RSSI).....	12
Амплитудная модуляция.....	13
Режим пробуждения.....	13
Режим рабочего цикла (duty cycle).....	14
Детектор обнаружения разряда батареи.....	14
Интерфейс SPI.....	14
4. Регистры управления и настройки.....	15
Регистр состояния (Status Register) (доступен только для чтения).....	15
Регистр конфигурации (Configuration Register) [POR=8008h].....	17
Регистр автоматической подстройки частоты (Automatic Frequency Adjust Register) [POR=C4F7h].....	18
Регистр настройки передачи (Transmit Configuration Register) [POR=9800h].....	19
Передающий регистр (Transmit Register) [POR=B8AAh].....	20
Способ записи последовательности байтов (рекомендуется).....	21
Регистр установки частоты (Frequency Setting Register) [POR=A680h].....	22
Регистр управления приёмником (Receiver Control Register) [POR=9080h].....	22
Регистр фильтра немодулированной передачи (Baseband Filter Register) [POR=C22Ch].....	24
Регистр чтения FIFO-буфера (FIFO Read Register) [POR=B000h].....	25
Альтернативный метод чтения.....	26
Регистр настройки FIFO-буфера и режима сброса (FIFO and RESET Mode Configuration Register) [POR=CA80h].....	26
Регистр настройки синхробайта (Synch Byte Configuration Register) [POR=CED4h].....	28
Регистр настройки скорости передачи данных (Data Rate Setup Register) [POR=C623h].....	28

Регистр управления питанием (Power Management Register) [POR=8208h].....	29
Регистр периода таймера пробуждения (Wake-up Timer Period Register) [POR=E196h].....	30
Регистр установки рабочего цикла (Duty Cycle Set Register) [POR=C80Eh].....	30
Регистр порога обнаружения разрядки батареи и настройки выхода тактового генератора (Battery Detect Threshold and Clock Output Register) [POR=C000h].....	31
Регистр настройки ФАПЧ (PLL Configuration Register) [POR=CC67h].....	32
5. Максимально допустимые значения.....	33
Общие максимально допустимые значения.....	33
Рекомендуемые рабочие значения.....	33
6. Статические электрические характеристики.....	33

Введение

TRC102 - многоканальный, малопотребляющий радиочастотный приёмопередатчик с нулевой ПЧ (*zero-IF*), интегрированный в одну микросхему. Он подходит для приложений беспроводной связи с двусторонним обменом в не лицензируемой полосе частот 400...1000 МГц. TRC102 сертифицирован FCC¹ и ETSI² и превосходит по качеству TRC101 благодаря уменьшенному фазовому шуму и повышенной выходной мощности. Все необходимые радиочастотные функции интегрированы в микросхему, благодаря чему минимизировано число внешних компонентов (кварц на 10 МГц и микроконтроллер). Кроме того, TRC102 поддерживает различные режимы "сна", позволяющие уменьшить общее потребление и тем самым продлить время жизни батареи.

Характеристики устройства

- Частотная модуляция (*FSK*) с возможностью расширения спектра скачкообразной перестройкой частоты (*FHSS – Frequency Hopping Spread Spectrum*)³;
- Диапазон частот: 400 - 1000 МГц;
- Чувствительность: -112 дБ/м;
- Скорость передачи данных: до 256 Кбит/с;
- Потребление тока в режиме приёма: ~11 мА;
- Диапазон рабочего напряжения: 2.2 – 3.8 В;
- Ток в режиме ожидания: 0.3 мА;
- Возможность программно задавать значение синхробайта;
- Встроенные схемы ФАПЧ (*PLL*), ПЧ (*IF*), немодулированной передачи (*Baseband*);
- Автоподстройка частоты (подстройка частот приёма/передачи);
- Возможность выбора аналогового/цифрового фильтра немодулированной передачи;
- Программируемая выходная мощность;
- Программируемое усиление входного малошумящего усилителя (*LNA*);
- Встроенное распознавание достоверности данных;
- FIFO-буфер для приёма/передачи;
- Стандартный интерфейс SPI;
- Линии ввода/вывода, совместимые с ТТЛ/КМОП;
- Программируемый выход тактовой частоты;
- Автоматическая подстройка антенного контура;
- Возможность применять обычный кварцевый резонатор на 10 МГц;
- Встроенный программируемый детектор обнаружения разрядки батареи;
- Программируемый таймер пробуждения с возможностью настройки;
- Возможность выбора аналоговой/цифровой индикации уровня принимаемого сигнала (*RSSI*);
- Встроенный кварцевый генератор;

¹ Federal Communication Commission - Федеральная комиссия связи (США) - прим. пер.

² European Telecommunication Standards Institute - Европейский институт стандартов связи - прим. пер.

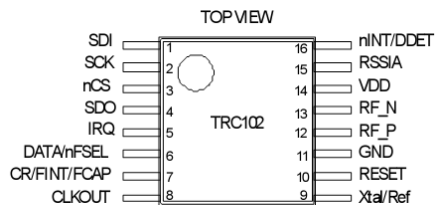
³

- Вывод прерывания внешнего процессора;
- Программируемая ёмкостная нагрузка кварцевого резонатора (*Crystal Load Capacitance*);
- Программируемая скорость передачи данных;
- Встроенное восстановление тактовой синхронизации и данных;
- Программируемая полярность сдвига частотной модуляции;
- Режим "сна" для энергосбережения, пробуждение по внешним событиям;
- Поддержка нескольких каналов:
 - [433 МГц диапазон] 95 каналов (100 КГц);
 - [868 МГц диапазон] 190 каналов (100 КГц);
 - [915 МГц диапазон] 285 каналов (100 КГц);

Популярные применения

- Активные RFID-метки;
- Считывание данных с автоматизированных счётчиков;
- Домашняя и промышленная автоматизация;
- Системы безопасности;
- Удалённое открывание дверей;
- Автомобильный блокиратор;
- Наблюдения за спортивными результатами;
- Беспроводные игрушки;
- Медицинское оборудование;
- Телеметрические системы;
- Беспроводная сеть датчиков;
- Беспроводные модули.

1. Расположение выводов



Описание выводов

№ вывода	Обозначение	Описание
1	SDI	Вход данных SPI (<i>SPI Data In</i>)
2	SCK	Синхронизация данных SPI (<i>SPI Data Clock</i>)
3	nCS	Вход выбора микросхемы (<i>Chip Select</i>) - выбирает микросхему, с которой будет осуществляться обмен данными по линиям SPI. Для использования 16-разрядных функций чтения или записи этот вывод необходимо притянуть к низкому уровню. Временная диаграмма приведена на Рис. 6.
4	SDO	Выход данных SPI (<i>SPI Data Output</i>)
5	nIRQ	Выход запроса прерывания (<i>Interrupt Request Output</i>) - при следующих событиях приёмник генерирует на данном выводе активный низкий уровень запроса прерывания для внешнего микроконтроллера: 1) Передающий регистр готов к приёму следующего байта; 2) В буфер FIFO принято заданное количество битов; 3) Сброс по включению питания; 4) Переполнение FIFO / недогрузка данных в передающий регистр; 5) Переполнение таймера пробуждения; 6) Импульс низкого уровня на выводе входа прерывания nINT; 7) Обнаружено напряжение питания ниже запрограммированного уровня.

6	Data/nFSel	Вход данных (Data In) - если внутренний передающий регистр не используется, этот вывод можно задействовать для «ручного» модулирования данных внешним ведущим процессором. Если внутренний передающий регистр включен, этот вывод можно оставить неподключенным или притянуть к высокому уровню. При использовании внутреннего приёмного FIFO-буфера этот вывод необходимо притянуть к низкому уровню. Этот вывод используется для выбора внутренних регистров при чтении и записи. Выход данных (Data Out) - если внутренний FIFO-буфер не используется, этот вывод используется в совокупности с выводом 7 (Восстановленная тактовая синхронизация (<i>Recovered Clock</i>)) для приёма данных. Выбор FIFO (FIFO Select) - при чтении приёмного FIFO-буфера этот вывод выбирает использование FIFO, причём первый бит данных появляется при следующем тактовом импульсе. Используйте этот вывод в совокупности с выводом 7. При доступе к передающему регистру этот вывод внутренне притянут к высокому уровню. Если передающий регистр включен, оставьте на нём высокий уровень. Для минимального потребления тока НЕ притягивайте этот вывод к низкому уровню в режиме <i>Sleep</i>.
7	CR/FINT/FCAP	Выход восстановленной тактовой синхронизации (Recovered Clock Output) - если используется цифровой фильтр (см. Регистр фильтра немодулированной передачи (<i>Baseband Filter Register</i>), бит 4), а FIFO выключен (см. Регистр конфигурации (<i>Configuration Register</i>), бит 6), на этот вывод подаётся восстановленная частота от входящих данных. Прерывание от FIFO (FIFO INT) - если включен внутренний FIFO-буфер (Регистр конфигурации, бит 6), этот вывод работает как выход прерывания по заполнению FIFO, указывая, что FIFO-буфер заполнился до заданного предела (Регистр настройки FIFO (<i>FIFO Configuration Register</i>), биты 7 - 4). Внешний конденсатор фильтра данных (External Data Filter Capacitor) - если используется аналоговый фильтр (Регистр фильтра немодулированной передачи, бит 4), на этот вывод выдаются необработанные данные немодулированной передачи, которые могут использоваться ведущим процессором для восстановления данных. Внешний конденсатор с подключенным последовательно резистором в 10 КОм образует простой фильтр нижних частот. Значение конденсатора можно выбрать исходя из максимальной скорости передачи данных вплоть до 256 Кбит/с.
8	ClkOut	Дополнительный выход тактовой частоты для ведущего процессора.
9	Xtal/Ref	Xtal - вывод для подключения кварцевого резонатора с частотой 10 МГц, либо внешнего генератора. Схема содержит встроенный нагрузочный конденсатор (см. Регистр конфигурации), чтобы минимизировать число внешних компонентов. Кварцевый резонатор используется в качестве опоры для ФАПЧ, которая генерирует частоту внутреннего генератора. Требования точности для допуска выдаваемой частоты, температурного сдвига и старения можно определить из максимально допустимой погрешности частоты. Если же даже небольшая погрешность частоты для приложения существенна, то, изменяя номинал нагрузочного конденсатора, возможно "подтянуть" кварцевый резонатор, и сделать частоту более точной. Ext Ref - В качестве опорного источника частоты можно подключить внешний генератор. Подключайте его через конденсатор номиналом 0.01 мкФ.
10	nRESET	Вход сброса (Reset Input) - спустя 100 мс после подачи питания становится входом сброса устройства с активным низким уровнем (с внутренней подтяжкой).
11	GND	Общий минус (System Ground).
12	RF_P	Дифференциальный радиочастотный вывод ввода/вывода (RF Diff I/O)
13	RF_N	Дифференциальный радиочастотный вывод ввода/вывода (RF Diff I/O)
14	VDD	Напряжение питания (Supply Voltage)
15	RSSIA	Выход аналоговой индикации уровня принимаемого сигнала (Analog RSSI Output) - для определения фактической силы сигнала можно использовать аналоговую индикацию уровня принимаемого сигнала (<i>RSSI</i>). Время ответа и установления сигнала зависит от конденсатора внешнего фильтра. Как правило, для большинства приложений оптимальное время ответа обеспечивается при помощи конденсатора 1000 пФ.
16	nINT/DDet	nINT - этот вывод можно настроить как внешнее прерывание с активным низким уровнем. Когда на этом выводе появляется логический "0", это приводит к переключению вывода nIRQ (5), подавая прерывание внешнему процессору. Источник прерывания можно узнать, считав первые 4 бита регистра состояния. Этот вывод можно использовать в качестве события, пробуждающего из режима <i>Sleep</i>. Выход детектора действительных данных (Valid Data Detector Output) – этот вывод можно настроить на активность при обнаружении действительных данных, когда схема распознавания шаблона синхронизации указывает на потенциально настоящие входящие данные.

2. Описание функциональных возможностей

TRC102 – это многоканальный приёмопередатчик с частотной модуляцией, предназначенный для использования в полосах частот 433, 868 и 916 МГц. Функциональные возможности:

- синтезатор ФАПЧ;
- усилитель мощности;
- малошумящий усилитель (*LNA*);
- I/Q-микшеры;
- I/Q-демодуляторы;
- фильтры немодулированной передачи;
- усилители немодулированной передачи;
- индикация уровня принимаемого сигнала;
- детектор разряда батареи;
- режим таймера пробуждения/рабочего цикла;
- обнаружение действительных данных/качества данных.

Типичная схема применения TRC102

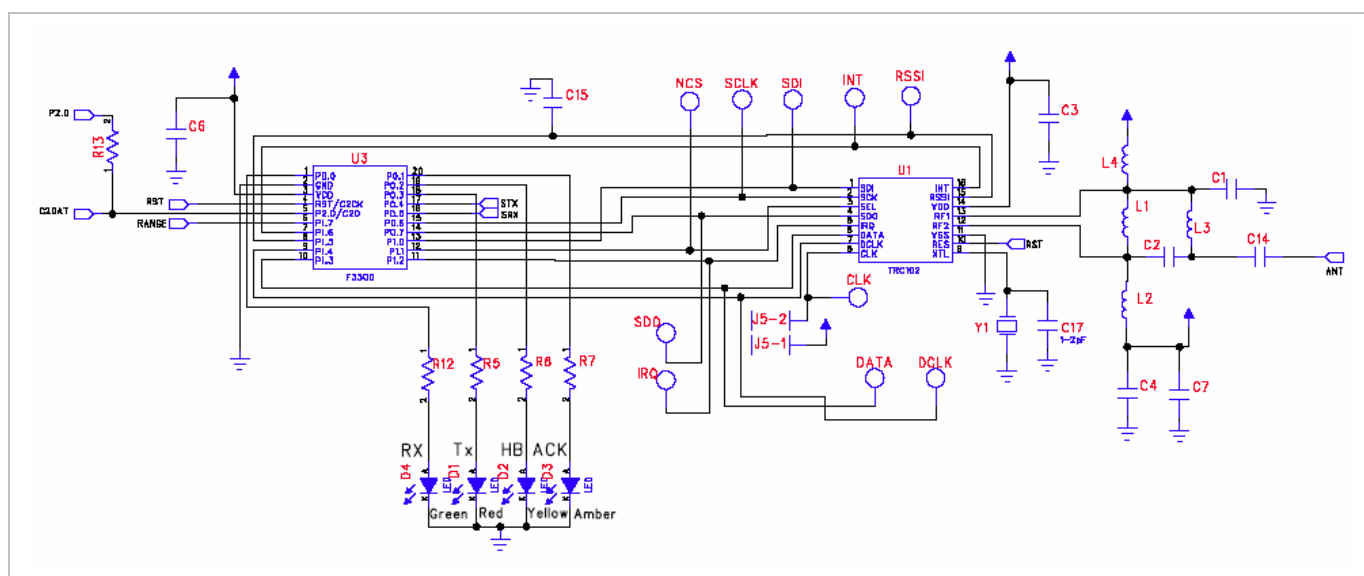


Рис. 1. Схема типичного приложения с несимметричным вибратором (нагрузка 50 Ом)

Согласование радиочастотного передатчика

Радиочастотные (*RF*) выводы являются высокоимпедансными и дифференциальными. Оптимальная дифференциальная нагрузка для радиочастотного порта на заданной полосе частот показана в **Таблице 1**.

Таблица 1

TRC102	Проводимость	Импеданс (Ом)	Индуктивность
433 МГц	$1.4e-3 - j7.1e-3$	$27 + j136$	52 нГн
868 МГц	$2e-3 - j1.5e-2$	$8.7 + j66$	12.5 нГн
916 МГц	$2.2e-3 - j1.55e-2$	$9 + j63$	11.2 нГн

Эти значения являются рекомендуемой антенной нагрузкой для выводов RF-порта для достижения максимальной мощности передатчика. Для этих целей идеально подошли бы такие антенны, как симметричный вибратор (диполь), петлевой симметричный вибратор и рамочная антенна. Для всех

приложений с передающей антенной необходимо добавить смещающую или фильтрующую катушку индуктивности, поскольку RF-выходы с открытым коллектором. TRC102 также может управлять и несимметричной нагрузкой в 50 Ом, такой как несимметричный вибратор, если применить согласующую схему, представленную на **Рис. 1**. Передачу оптимальной мощности можно обеспечить с помощью применения симметрирующего устройства, но схема согласования на **Рис. 1** оптимизирована для использования с дискретными компонентами, что в итоге дает меньшую стоимость, чем при применении симметрирующего устройства. Значения согласующих компонентов для нагрузки 50 Ом для каждой полосы пропускания приведены в **Таблице 2**.

Таблица 2

Компонент	433	868	916
C1	5.1pF	2.7pF	2.7pF
C2	2.7pF	1.2pF	1.2pF
C4	.1uF	.1uF	.1uF
C7	100pF	100pF	100pF
L1	36nH	8.7nH	8.7nH
L2	390nH	100nH	100nH
L3	47nH	22nH	22nH

Рекомендации по проектированию антенны

TRC102 разработан для управления дифференциальным выходом, таким, как антенна диполь или рамочная антенна. Рамочная антенна идеально подходит для приложений, в которых требуется компактный размер. Диполь же, как правило, не совсем подходит для компактного дизайна из-за его габаритов и расстояния от земляного слоя, которое необходимо выдержать, чтобы он эффективно работал. Также можно использовать несимметричный вибратор в совокупности с симметрирующим устройством или согласующей схемой, приведённой на **Рис. 1**.

Рекомендации по разводке печатной платы

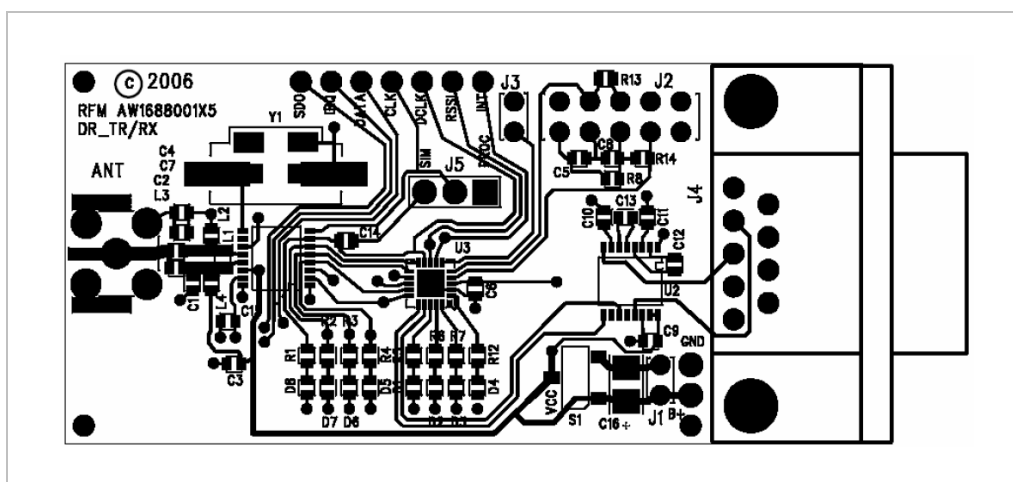
Очень важно правильно развести плату. Для оптимальной производительности приёма и передачи длины трасс на RF-выводах должны быть настолько короткими, насколько это возможно. Использование небольших SMD-компонентов, таких, как 0402 или 0603, даст лучшую производительность при сохранении компактных размеров RF-порта. Делайте все подключения к RF-выводам короткими и прямыми (каждые 2,5мм печатной дорожки добавляют последовательную индуктивность в 1 нГн).

На кварцевый генератор дополнительная длина дорожек также оказывает влияние, поскольку добавляет паразитную ёмкость к общей нагрузке кристалла. Чтобы минимизировать этот эффект, поместите кварц как можно ближе к микросхеме и сделайте все соединяющие дорожки короткими и прямыми. Это уменьшит эффект "подтягивания частоты", который появляется из-за этой паразитной ёмкости.

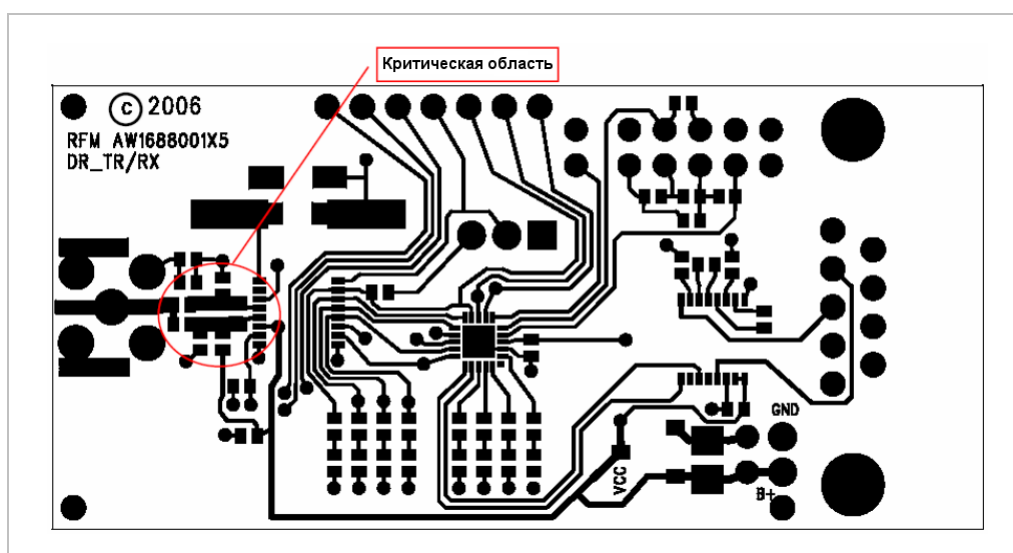
Если вы используете внешний процессор, для его тактирования можно воспользоваться встроенным тактовым генератором TRC102. Несмотря на то, что эта функция является встроенной, долгая работа по выдаче тактового сигнала может привести к излучению помех. Это может привести к ухудшению качества приёма и передачи. Сохраняйте соединяющие дорожки как можно более короткими и окружите тактовые дорожки близко расположенным земляным залитым контуром. Это поможет уменьшить любое излучение и перекрёстные помехи.

Также важно обеспечить хорошее шунтирование питания. В точке подаче питания на плату необходимо разместить конденсаторы большой емкости. Кроме того, необходимо разместить конденсаторы более мелкой емкости поблизости у выводов питания микросхемы, а также на точках смещения (*bias nodes*) для RF-порта. Плохое шунтирование само по себе вызывает помехи, которые

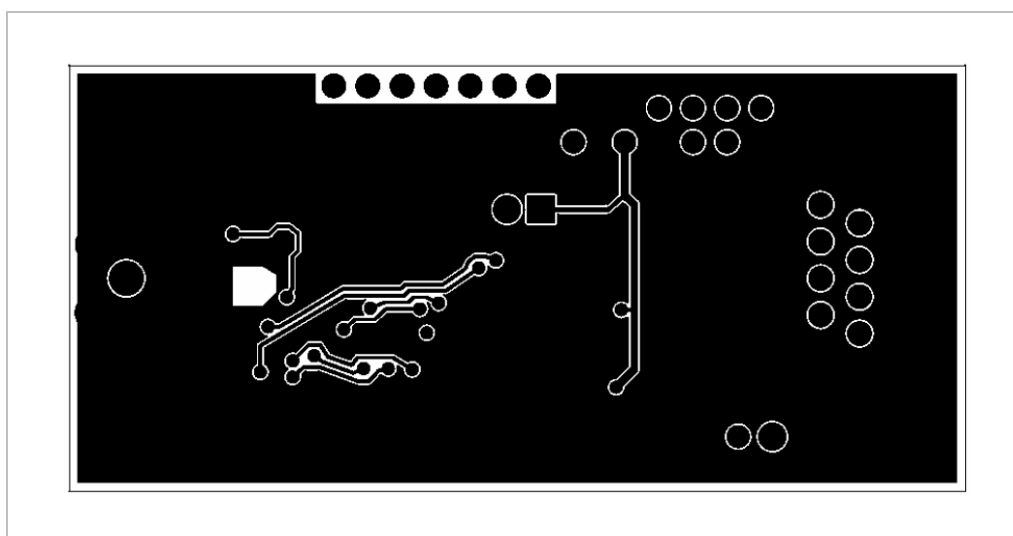
приводят к возникновению шума и фиктивных сигналов в RF-модуле, существенно снижая качество приема.



Сборка



Вид сверху



Вид снизу

3. Функциональные характеристики TRC102

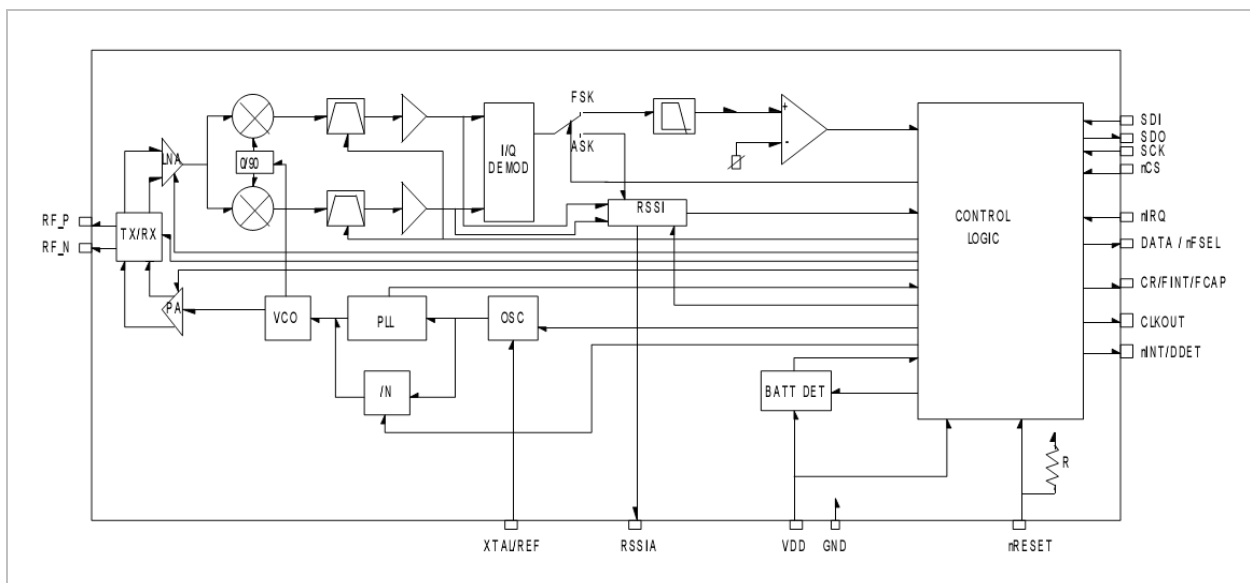


Рис. 2. Функциональная блок-схема

Входной/выходной усилитель

Выходной усилитель мощности представляет собой дифференциальный выход с открытым коллектором с программируемой выходной мощностью, который может напрямую управлять рамочной антенной или антенной-диполем, а при правильном согласовании, ещё и несимметричным вибратором. Схема автоподстройки антенны, встроенная в усилитель мощности, освобождает от необходимости ручной настройки во время ведения передачи и позволяет компенсировать "эффект касания руками". С усилителем мощности связаны следующие регистры:

- Регистр управления питанием (*Power Management Register*);
- Регистр настройки передачи (*Transmit Configuration Register*).

Входной малошумящий усилитель (МШУ) (*LNA*) имеет выбираемое усиление (0 дБ, -6 дБ, -14 дБ, -20 дБ), что может оказаться полезным в среде с сильными излучателями. Усилитель имеет полное сопротивление дифференциального входа 250 Ом, что требует применения согласующей схемы при подключении устройств 50 Ом. С МШУ связаны следующие регистры:

- Регистр управления питанием (*Power Management Register*);
- Регистр управления приёмником (*Receiver Control Register*).

Данные и фильтрация при немодулированной передаче⁴

Приёмник немодулированной передачи имеет несколько программируемых возможностей, которые позволяют оптимизировать канал передачи данных для широкого диапазона применений:

- приёмная полоса пропускания;
- приёмная скорость данных;
- аналоговый фильтр немодулированной передачи;
- цифровой фильтр немодулированной передачи;
- восстановление тактовой синхронизации (*clock recovery - CR*);
- приёмный FIFO-буфер;
- детектор качества данных;

⁴ Немодулированная передача (*baseband*) - способ передачи данных, при котором каждый бит кодируется отдельным электрическим импульсом. При немодулированной передаче ширина полосы пропускания используется как один канал связи. - прим. пер.

- детектор действительных данных.

Приёмная полоса пропускания задаётся от 67 кГц до 400 кГц для подстройки под различные отклонения частотной модуляции. Если для заданного передатчика отклонение известно, лучший результат достигается при полосе пропускания как минимум в два раза большей отклонения частотной модуляции передатчика.

Приёмная скорость данных программируется от 337 бит/с до 256 Кбит/с. При установке скорости для получения лучшего разрешения используется внутренний предделитель. Предделитель не является обязательным, его можно отключить с помощью **Регистра настройки скорости передачи** данных (*Data Rate Setup Register*).

Тип фильтрации немодулированной передачи выбирается либо аналоговый, либо цифровой. Аналоговый фильтр представляет собой простой RC-фильтр нижних частот. Внешний конденсатор можно выбрать в зависимости от фактической скорости обмена данными. Микросхема имеет встроенный резистор в 10 кОм, подключенный последовательно, который образует RC-цепочку фильтра нижних частот. При использовании аналогового фильтра, можно достигнуть максимальной скорости обмена данными 256 Кбит/с. Цифровой фильтр используется при тактовой частоте, равной $(29 * \text{скорость передачи данных})$. В этом режиме применяется схема восстановления тактовой синхронизации, которая обеспечивает источник внешних тактовых импульсов для восстановления данных внешним процессором. Восстановление тактовой синхронизации работает в трёх режимах: быстром, медленном и автоматическом, - которые задаются с помощью **Регистра фильтра немодулированной передачи** (*Baseband Filter Register*). Схема восстановления синхронизации частоты срабатывает по выборке преамбулы входящих данных. Преамбула должна содержать последовательность единиц (1) и нулей (0), чтобы схема восстановления тактовой синхронизации правильно извлекла синхронизацию данных. В медленном режиме схеме восстановления синхронизации требуется больше выборок (от 12 до 16 битов) и, соответственно, более долгое время установления перед фиксацией (*locking*). В быстром режиме работы требуется меньшее количество выборок (от 6 до 8 битов) перед фиксацией, а, значит, время установления не так велико, в этом случае точность синхронизации не считается важной. В автоматическом режиме схема восстановления синхронизации начинает работать в быстром режиме, чтобы приблизительно захватить период синхронизации с помощью малого количества выборок, а затем после фиксации меняет режим на медленный. Более подробную информацию по схеме восстановления тактовой синхронизации и синхронизации скорости передачи см. в описании **Регистра фильтра немодулированной передачи**. Схема восстановления синхронизации используется только совместно с цифровым фильтром и синхронизацией скорости передачи данных. С аналоговым фильтром она не применяется.

Передающий регистр

Передающий регистр сконфигурирован в виде двух 8-разрядных сдвиговых регистров, подключенных последовательно для образования одного 16-разрядного регистра. После сброса по включению питания (*POR*) регистры заполнены значением AAh. Этим свойством можно воспользоваться для генерации преамбулы перед передачей значимых данных, однако имейте в виду, что при повторном включении передатчика эти значения заново в регистр не загружаются. Передача начинается немедленно после включения передатчика посредством **Регистра управления питанием** (*Power Management Register*), и сразу же начинается выдача данных, находящихся в передающем регистре. Если в регистр ничего не было записано, то он выдаст значение по умолчанию AAh. Следующий байт данных можно загрузить в передающий регистр по шине SPI, наблюдая за наличием логической '1' на выводе **SDO** или ожидая прерывание от вывода **nIRQ**. Если требуется выключить передатчик, то после загрузки данных в передающий регистр внешний процессор должен дождаться следующего прерывания, перед тем как выполнить выключение передатчика, иначе оставшиеся в передающем регистре данные будут утеряны. В качестве последнего байта загруженных данных рекомендуется вставить фиктивный байт, состоящий только из нулей (0).

Приёмный FIFO-буфер

Приёмный FIFO-буфер сконфигурирован как один 16-разрядный регистр. Можно настроить FIFO-буфер на генерацию прерывания после приёма заданного количества битов. Этот порог настраивается от 1 до 16 битов. Рекомендуется задавать порог как минимум в половину длины регистра (8 битов), чтобы гарантировать, что у ведущего процессора будет достаточно времени для подготовки к забору принятых данных. Тактовая частота чтения FIFO (SCK) должна быть $< f_{XTAL}/4$ (< 2.5 МГц для кварца 10 МГц).

Также приёмный буфер можно настроить на заполнение только по обнаружению действительных данных. TRC102 имеет детектор шаблона синхронизации (*synchronous pattern*), который просматривает входящие данные на соответствие специфическому шаблону. При обнаружении соответствия он начинает сохранять любые последующие данные. В то же время, если вывод 16 настроен в качестве выхода детектора действительных данных (см. **Регистр управления приёмником (Receiver Control Register)**), на этом выводе появится высокий уровень, означающий наличие действительных данных. Эту возможность можно использовать для подготовки ведущего процессора к извлечению данных. Внутренний шаблон синхронизации, а также длина шаблона доступны для программирования пользователем (см. **Регистр настройки режимов FIFO и сброса (FIFO and RESET Mode Configuration Register)**).

При использовании шаблона синхронизации структура принимаемого пакета должна быть следующей:



Любой передаваемый пакет независимо от того, применяется шаблон синхронизации или нет, всегда должен начинаться с преамбулы - последовательности чередующихся единиц (1) и нулей (0), т.е. 1-0-1-0-1-0 и т.д. Это соответствует передаче значений 0xAA или 0x55. Преамбула может состоять из одного байта (быстрый режим восстановления синхронизации) или двух байтов (медленный режим восстановления синхронизации). Следующие один или два байта, в зависимости от заданной длины шаблона, представляют собой шаблон синхронизации. В этом случае данные начинаются сразу же за синхробайтом (*synch byte*). Все следующие далее байты трактуются как данные.

Приёмный FIFO-буфер можно прочитать по выводу SPI только при условии, что вывод **nFSEL** (6) подтянут к низкому уровню (это соответствует выбору FIFO для чтения), после чего чтение данных начнётся по следующему тактовому импульсу SPI. Вывод **FINT** (7) будет оставаться в активном состоянии (логическая '1') пока не будет считан последний бит данных, затем он перейдёт в состояние низкого уровня. Этот вывод можно опрашивать для наблюдения за наличием действительных данных. Когда число принятых в FIFO-буфер битов будет соответствовать предварительно запрограммированному порогу, этот вывод перейдёт в активное состояние (логическая '1') и останется активным, пока не будет считан последний бит. Альтернативным способом является чтение FIFO-буфера через чтение регистра состояния (*Status Register*) посредством шины SPI. Недостаток этого способа состоит в том, что прежде чем на шину поступят биты FIFO, сначала нужно будет принять все биты прерывания и состояния. Это может создать проблемы при приёме большого объёма данных. Лучший способ – использовать вывод **SDO** и выходы, связанные с функционированием FIFO.

Программируемый синхробайт

TRC102 можно настроить на использования символа синхронизации для обозначения действительных входящих данных. Этот символ делится на два байта, SB1 и SB0. SB1 имеет фиксированное значение 2Dh, недоступное для программирования. SB0 задаётся пользователем. Кроме того, можно задать размер символа синхронизации в байт или в слово. Байтовый символ использует только SB0, задаваемый пользователем. Символ размером в слово использует и SB1, и SB0, из которых

младший байт SB0 может задаваться пользователем. Это даёт преимущество при работе рядом с другими излучателями или для идентификации определённых передатчиков.

Автоподстройка частоты

ФАПЧ (PLL) обладает возможностью автоматически выполнять высококачественную подстройку несущей частоты. Благодаря этому приёмник может минимизировать смещение между передающей и приёмной частотами. Эта функция включается/выключается с помощью **Регистра автоподстройки частоты** (*Automatic Frequency Adjustment Register*). Диапазон смещения можно запрограммировать, равно как и значение смещения, которое вычисляется и добавляется к слову управления частотой в PLL для пошагового изменения несущей частоты. Микросхему можно запрограммировать на автоматическую подстройку частоты, либо на ручной запуск этой функции по стробирующему сигналу. Эта функция даёт преимущество, позволяя:

- применять дешёвые кварцевые резонаторы с меньшей точностью тактовой частоты;
- увеличивать чувствительность приёмника, сужая приёмную полосу частот;
- достигать более высоких скоростей передачи данных.

Кварцевый генератор

TRC102 содержит схему встроенного кварцевого генератора, обеспечивающую опорную частоту 10 МГц, а также встроенные нагрузочные конденсаторы. Это существенно сокращает требуемое количество внешних компонентов. Номинал внутренних нагрузочных конденсаторов можно задавать программно от 8.5 пФ до 16 пФ с шагом 0.5 пФ. Это позволяет применять широкий диапазон кварцевых резонаторов от различных производителей, имеющих разные требования к нагрузочной ёмкости. Возможность изменения нагрузочной ёмкости также помогает производить высококачественную настройку окончательной несущей частоты, поскольку кварцевый генератор поставляет ФАПЧ опорную частоту для формирования несущей. *Схема кварцевого генератора особо чувствительна к наличию паразитной ёмкости. Поэтому рекомендуется обеспечить вокруг кварцевого резонатора земляной контур и сделать дорожки, ведущие к TRC102 более широкими. Если это невозможно, то для инициации запуска параллельно кварцевому резонатору необходимо припаять небольшой конденсатор 0.5 - 1 пФ.*

Кроме того, встроенный генератор TRC102 генерирует внешний тактовый сигнал, который можно использовать для тактирования внешнего процессора. Тактовую частоту можно задать программно из набора восьми предварительно заданных частот, каждая из которых является значением, полученным предделением опорной тактовой частоты кварцевого резонатора 10 МГц. Эти значения задаются с помощью **Регистра порога обнаружения разрядки батареи и настройки выхода тактового генератора** (*Battery Detect Threshold and Clock Output Register*). Внутренний тактовый генератор можно отключить, что также отключит выход тактового сигнала для ведущего процессора. При отключении генератора, TRC102 выдаёт 196 дополнительных тактовых импульсов, что позволяет ведущему процессору выполнить необходимые действия перед переходом в режим "сна". При переводе устройства в спящий режим выход тактовой частоты необходимо выключить. Если же он выключен не будет, кварцевый генератор продолжит работу, что приведёт к чрезмерному потреблению тока.

Управление частотой (ФАПЧ) и синтез частоты

Синтезатор ФАПЧ может настраиваться программно и является полностью интегрированным, обеспечивая все функции, необходимые для генерации несущих частот и возможности настройки для каждой полосы пропускания. ФАПЧ требуется только один кварцевый резонатор 10 МГц в качестве источника опорной частоты. Стабильность радиочастоты управляется выбором кварцевого резонатора со специфическими характеристиками, удовлетворяющими конкретному приложению.

ФАПЧ позволяет выполнять ручную и автоматическую калибровку для компенсации влияния изменений температуры или питающего напряжения. При смене полосы частот необходимо

производить перекалибровку. Это действие можно выполнить путём выключения и последующего включения синтезатора с помощью **Регистра управления питанием** (*Power Management Register*). Регистры, связанные с ФАПЧ:

- **Регистр управления питанием** (*Power Management Register*);
- **Регистр настройки** (*Configuration Register*);
- **Регистр настройки частоты** (*Frequency Setting Register*);
- **Регистр автоподстройки частоты** (*Automatic Frequency Adjust Register*);
- **Регистр настройки передачи** (*Transmit Configuration Register*).

Детектор обнаружения качества данных

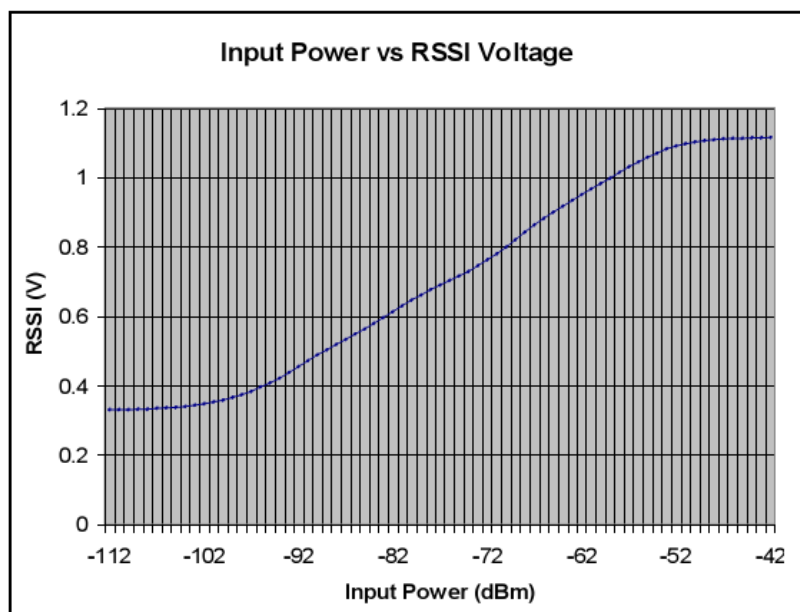
Детектор обнаружения качества данных (*Data Quality Detector - DQD*) - уникальная функция TRC102. Схема детектора просматривает предварительно отфильтрованные входящие данные и подсчитывает шумовые "всплески" ("пики") в течение предопределённого периода времени, чтобы получить представление о качестве связи. Этот параметр программируется посредством **Регистра фильтра немодулированной передачи** (*Baseband Filter Register*). Порог счётчика детектора программируется от 0 до 7 отсчётов. Чем выше значение счётчика, тем ниже качество канала передачи данных. Это означает, что чем выше содержание шумовых всплесков в потоке данных, тем труднее будет восстановить информацию о тактовой частоте, а также сами данные.

Детектор обнаружения действительных данных (*DDet*)

Детектор обнаружения действительных данных является расширением функции DQD. Если обнаружены входящие данные, то для определения, являются ли эти данные действительными, он использует сигналы от DQD, защёлки восстановления тактовой синхронизации (*Clock Recovery Lock*) и цифровой индикации уровня принимаемого сигнала (*Digital RSSI*). DDET ищет переходы действительных данных на ожидаемой скорости передачи. Желаемая скорость передачи данных и критерий приёма для действительных данных задаются пользователем посредством порта SPI. Сигнал DDET является действительным, если для захвата данных используется либо внутренний приёмный FIFO-буфер, либо внешний вывод. DDET имеет три режима работы: медленный, средний и быстрый. Каждый режим зависит от того, какой сигнал используется детектором для определения действительных данных, а также от количества битов преамбулы, содержащейся в начале входящего пакета. Пользователь может отключить DDET, после чего из компаратора будут выходить только необработанные данные, либо установить приём только на текущий диапазон скоростей передачи данных и качества данных. DDET позволяет экономно расходовать заряд батарейного питания и время ведущего процессора, т.к. не пробуждает ведущий процессор, пока не появятся действительные данные. Подробное описание настроек для детектора действительных данных см. в описании **Регистра управления приёмником** (*Receiver Control Register*).

Индикация уровня принимаемого сигнала (*RSSI*)

TRC102 обеспечивает аналоговую и цифровую индикацию уровня принимаемого сигнала (*RSSI*). Порог цифровой *RSSI* задаётся посредством **Регистра управления приёмником** (*Receiver Control Register*) и читается только через регистр состояния (*Status Register*). Если уровень входящего сигнала выше предварительно запрограммированного порога, в регистре состояния устанавливается бит цифровой *RSSI*.



Аналоговая RSSI доступна через внешний вывод **RSSIA** (15). На этом выводе необходим внешний конденсатор, который устанавливает время стабилизации. Аналоговую RSSI можно использовать для восстановления амплитудно-модулированных данных. Уровень RSSI линеен при уровнях входного сигнала от -100 дБ/м до -55 дБ/м (см. рис. выше). Значение внешнего конденсатора управляет дозволёнными скоростями принимаемых амплитудно-модулированных данных, так что выбор меньшего значения конденсатора разрешает восстановление более быстрых данных за счёт амплитуды. Использование вывода (15) с чувствительным компаратором даст хорошие результаты.

Амплитудная модуляция

RSSI можно использовать для восстановления сигналов амплитудной модуляции с помощью внешнего компаратора, подключенного к выходу RSSI через ёмкость. Как правило, для уменьшения уровня входного сигнала при насыщенности RSSI в присутствии сильного АМ-сигнала, используется автоматическое управление усилением (*Automatic Gain Control - AGC*). У TRC102 нет функции AGC, однако имеется входной МШУ с программируемым усилением. Выходной уровень сигнала RSSI может опрашиваться по включению приёмника, чтобы проверить, является ли уровень сигнала насыщенным. Если насыщенность подтверждается, входное усиление МШУ можно уменьшать, пока уровень выходного сигнала RSSI не упадёт до диапазона отклонения RSSI.

Режим пробуждения

TRC102 имеет внутренний таймер пробуждения, обладающий очень малым потреблением (порядка 1.5 мкА) с программируемым периодом от 1 мс до нескольких дней. Калибровка по кварцевому резонатору выполняется при запуске, и затем каждые 30 секунд (даже в режиме "сна"). Если генератор выключен, схема калибровки принудительно включит её на короткий промежуток времени, чтобы выполнить калибровку для поддержания точности хронометража, а затем вернёт в режим "сна".

Помимо таймера пробуждения, TRC102 имеет другие режимы сохранения энергии.

Возвращение в активный режим может инициироваться несколькими внешними событиями:

- подача логического '0' на вывод **nINT/DDET** (16);
- обнаружение пониженного напряжения питания;
- заполнение приёмного FIFO-буфера;
- запрос SPI.

Если возникают эти пробуждающие события, включая и таймер пробуждения, TRC102 генерирует внешнее прерывание на выводе **nIRQ** (5), которое можно использовать в качестве пробуждающего

сигнала для ведущего процессора. Источник прерывания можно узнать, прочитав **Регистр состояния** (*Status Register*) по шине SPI.

Режим рабочего цикла (*duty cycle*)

Регистр рабочего цикла можно использовать в совокупности с таймером пробуждения для уменьшения среднего потребления тока приёмника. Регистр рабочего цикла можно настроить так, чтобы в момент, когда таймер пробуждения выводит микросхему из режима "сна", приёмник включался на короткий промежуток времени для выполнения выборки на предмет наличия сигнала, а затем возвращается в режим "сна", и процесс начинался заново. См. **Регистр установки рабочего цикла** (*Duty Cycle Set Register*). Для работы в этом режиме необходимо выключить приёмник (сбросить бит RXEN - бит 7 **Регистра управления питанием** (*Power Management Register*)), а таймер пробуждения включить (установить бит WKUPEN - бит 1 **Регистра управления питанием**). На Рис. 6 приведена временная диаграмма для режима рабочего цикла.

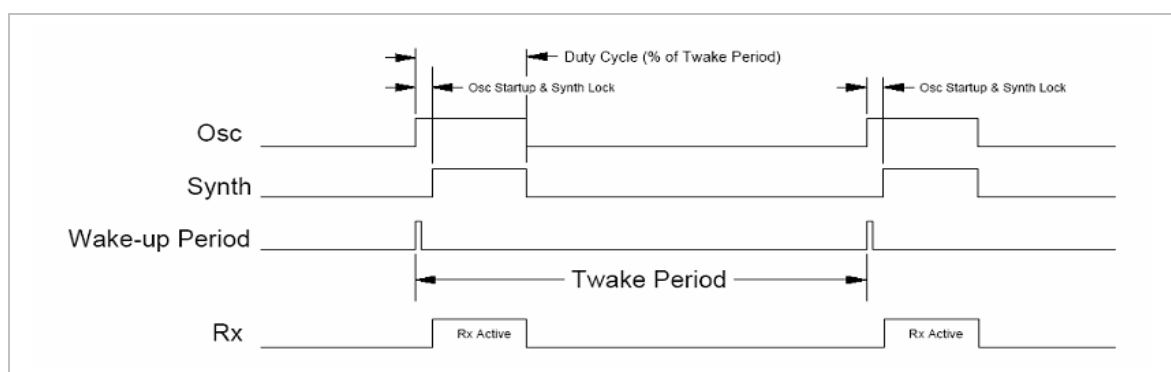


Рис. 6. Временная диаграмма режима рабочего цикла

Детектор обнаружения разряда батареи

Встроенный детектор обнаружения разряда батареи наблюдает за напряжением питания, сравнивает его величину с предварительно запрограммированным значением и генерирует прерывание, если напряжение питания падает ниже запрограммированного уровня. Схема детектора имеет встроенный гистерезис 50 мВ.

Интерфейс SPI

TRC102 оснащён стандартной шиной SPI, которая совместима почти со всеми устройствами, поддерживающими SPI. Все функциональные возможности и состояние микросхемы доступны по шине SPI. Обычно устройства SPI настроены на операцию побайтовой записи. TRC102 использует **пословную** запись, поэтому вывод **nCS** (3) необходимо сохранять притянутым к низкому уровню в течение 16 битов. Максимальная тактовая частота для шины SPI составляет 20 МГц.

Обозначение	Описание	Минимальное значение (нс)
t_{CH}	Время удержания высокого уровня синхроимпульса	25
t_{CL}	Время удержания низкого уровня синхроимпульса	25
t_{SS}	Время установления сигнала выбора ведомого (время между задним фронтом сигнала nCS и передним фронтом сигнала SCK)	10
t_{SH}	Время удержания сигнала выбора ведомого (время между задним фронтом сигнала SCK и передним фронтом сигнала nCS)	10
t_{SHI}	Время удержания сигнала выбора ведомого в состоянии высокого уровня	25
t_{DS}	Время установления данных (время между изменением сигнала на линии SDI и передним фронтом на линии SCK)	5

t_{DH}	Время удержания данных (время между передним фронтом на линии SCK и изменением сигнала на линии SDI)	5
t_{CD}	Время задержки данных	10

Временная диаграмма:

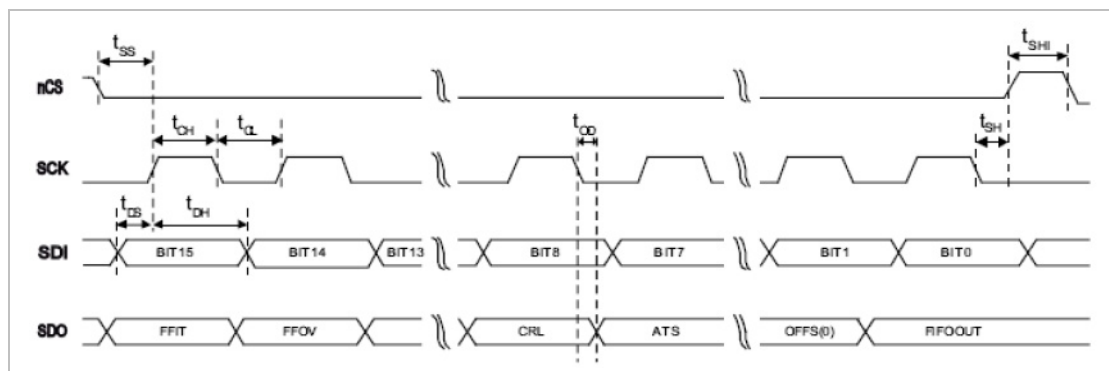


Рис. 7. Временная диаграмма интерфейса SPI

4. Регистры управления и настройки

	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR Value
STATUS	FIFTRRX	POR	FIFOV/UR	WKINT	INTRST	LB	FIFEMP	RSSI/AT	GDQD	CRLK	AFATGL	OFFSGN	OFF3	OFF2	OFF1	OFF0	--
CONFIG	1	0	0	0	0	0	0	0	DATEN	FIFEN	BAND1	BAND0	CAP3	CAP2	CAP1	CAP0	8008h
AFA	1	1	0	0	0	1	0	0	AUTO1	AUTO0	RNG1	RNG0	STRB	ACCF	OFFEN	AFEN	C4F7h
TX CONFIG	1	0	0	1	1	0	0	MODP	DEV3	DEV2	DEV1	DEV0	0	PWR2	PWR1	PWR0	9800h
TX REG	1	0	1	1	1	0	0	0	TX7	TX6	TX5	TX4	TX3	TX2	TX1	TX0	B8AAh
FREQ SET	1	0	1	0	Freq11	Freq10	Freq9	Freq8	Freq7	Freq6	Freq5	Freq4	Freq3	Freq2	Freq1	Freq0	A680h
RECV CTRL	1	0	0	1	0	INT/VDI	VDIR1	VDIR0	BB2	BB1	BB0	GAIN1	GAIN0	RSSI2	RSSI1	RSSI0	9080h
BASEBAND	1	1	0	0	0	0	1	0	CRLK	CRLC	1	FILT	1	DQLVL2	DQLVL1	DQLVL0	C22Ch
FIFO READ	1	0	1	1	0	0	0	0	RX7	RX6	RX5	RX4	RX3	RX2	RX1	RX0	B000h
FIFO/RESET CONFIG	1	1	0	0	1	0	1	0	FINT3	FINT2	FINT1	FINT0	0	FIFST	FILLEN	RSTEN	CA80h
SYNCH CHAR	1	1	0	0	1	1	1	0	SYNC7	SYNC6	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	CED4h
DATA RATE SET	1	1	0	0	0	1	1	0	PRE	BITR6	BITR5	BITR4	BITR3	BITR2	BITR1	BITR0	C623h
POWER MANAGEMENT	1	0	0	0	0	0	1	0	RXEN	BBEN	TXEN	SYNEN	OSCEN	LBEN	WKUPEN	CLKEN	8208h
WAKE-UP PERIOD	1	1	1	R4	R3	R2	R1	R0	MUL7	MUL6	MUL5	MUL4	MUL3	MUL2	MUL1	MUL0	E196h
DUTY CYCLE SET	1	1	0	0	1	0	0	0	DC6	DC5	DC4	DC3	DC2	DC1	DC0	DCEN	C80Eh
BATT DETECT	1	1	0	0	0	0	0	0	CLK2	CLK1	CLK0	LBD4	LBD3	LBD2	LBD1	LBD0	C000h
PLL CONFIG	1	1	0	0	1	1	0	0	0	BUF1	BUF0	XSU	PDD	DITH	1	PLLBW	CC67h

Регистр состояния (*Status Register*) (доступен только для чтения)

Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FIFTRRX	POR	FIFOV/UR	WKINT	INTRST	LB	FIFEMP	RSSI/AT	GDQD	CRLCK	AFATGL	OFFSGN	OFF3	OFF2	OFF1	OFF0

Регистр состояния обеспечивает обратную связь для:

- определения состояния FIFO-буфера: готов/заполнен/пустой/недогрузка данных/перезаписан;
- сброс по включению питания (*POR*);

- состояние прерывания;
- разрядка батареи;
- хорошее качество данных;
- уровень сигнала цифровой RSSI;
- восстановление таковой синхронизации;
- значение и знак смещения частоты;
- автоподстройка частоты (АПЧ) (AFA).

Примечание: команда чтения регистра состояния начинается с логического "0", в отличие от других регистровых команд, которые начинаются с логической "1".

Бит [15]:FIFTXRX – установленный бит показывает, что передающий регистр готов принять для передачи следующий байт (режим передачи) или что приёмный FIFO-буфер достиг предварительно заданного порога (режим приема). Этот бит мультиплексирован и зависит от того, в каком режиме вы находитесь – приема или передачи. Бит сбрасывается при чтении FIFO-буфера.

Бит [14]:POR – устанавливается, если произошел сброс по включению питания. Сбрасывается после чтения регистра состояния.

Бит [13]:FIFOV/UR – установленный бит показывает, что регистр передачи находится в состоянии недогрузки или перезаписи данных (режим передачи), или приемный FIFO-буфер переполнен (режим приема). Бит сбрасывается после чтения регистра состояния.

Бит [12]:WKINT – установленный бит показывает, что произошло переполнение таймера пробуждения. Сбрасывается после чтения регистра состояния.

Бит [11]:EXINT – установленный бит показывает, что на выводе прерывания (вывод 16) произошел переход с высокого уровня на низкий. Бит сбрасывается после чтения регистра состояния.

Бит [10]:LB – установленный бит показывает, что напряжение питания опустилось ниже заданного порога. См. также **Регистр порога обнаружения разрядки батареи и настройки выхода тактового генератора (Battery Detect Threshold and Clock Output Register)**.

Бит [9]:FIFEMP – бит установлен, если FIFO-буфер пуст.

Бит [8]:RSSI (режим приёма) – в режиме приема установленный бит показывает, что уровень принимаемого радиосигнала находится выше заданного RSSI.

АТ (режим передачи) – в режиме передачи установленный бит показывает, что антенный контур обнаружил достаточно сильный радиосигнал.

Бит [7]:GDQD – установлен при хорошем качестве данных.

Бит [6]:CRLCK – установленный бит показывает, что восстановление тактовой синхронизации зафиксировано.

Бит [5]:AFATGL – этот бит переключается между 1 и 0 при каждом цикле АПЧ.

Бит [4]:OFFSGN – бит показывает частотную разницу с частотой микросхемы: "1" - частота выше, "0" - частота ниже.

Бит [3]:OFF[3..0] – значение смещения, которое будет прибавлено к слову управления частотой (внутренняя ФАПЧ). Для получения точных значений во время операции чтения АПЧ необходимо выключать путем сброса бита AFEN в регистре АПЧ (бит 0).

Примечание: Для чтения регистра состояния необходимо выдать на линию SDI любую команду, начинающуюся с "0" (напр., команду, состоящую только из "0"), и считать с линии SDO выданные в ответ биты. См. временную диаграмму чтения регистра состояния на **Рис. 4**:

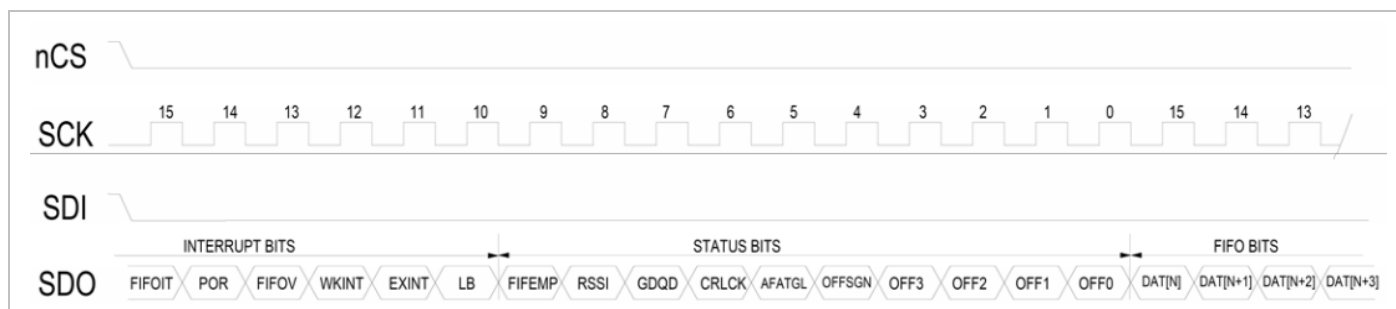


Рис. 4. Временная диаграмма чтения регистра состояния

Регистр конфигурации (*Configuration Register*) [POR=8008h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	0	0	0	0	0	0	DATEN	FIFEN	BAND1	BAND0	CAP3	CAP2	CAP1	CAP0

Регистр конфигурации позволяет настроить следующее:

- внутренний регистр данных;
- внутренний FIFO-буфер;
- используемый радиочастотный диапазон;
- нагрузочную емкость кварцевого резонатора.

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр конфигурации.

Бит [7] – бит разрешения передачи данных. Установленный бит включает внутренний передающий регистр, при этом вывод 6 (**DATA/nFSEL**) должен быть подтянут к высокому уровню.

Бит [6] – бит разрешения FIFO-буфера. Установленный бит включает внутренний FIFO-буфер, при этом вывод 6 (**DATA/nFSEL**) должен быть подтянут к низкому уровню. FIFO-буфер используется для накопления данных во время приёма. Если FIFO-буфер выключен путем сброса бита, вывод 6 (данные) и вывод 7 (восстановленная синхронизация) используются для приема данных.

Бит [5..4] – выбор диапазона. Эти биты задают используемый радиочастотный диапазон. Всего поддерживаются 3 диапазона (см. **Таблицу 3**).

Таблица 3

Диапазон частот	BAND1	BAND0
433	0	1
868	1	0
916	1	1

Бит [3..0] – выбор нагрузочной ёмкости. Эти биты устанавливают нагрузочную ёмкость для используемого резонатора (от 8.5 пФ до 16 пФ с шагом 0.5 пФ) (см. **Таблицу 4**). Эта возможность позволяет подстраиваться под кварцевые резонаторы различных производителей, а также компенсировать паразитную ёмкость, которая может возникнуть из-за особенностей разводки печатной платы.

Таблица 4

CAP3	CAP2	CAP1	CAP0	Нагрузочная ёмкость
0	0	0	0	8.5

0	0	0	1	9
0	0	1	0	9.5
0	0	1	1	10
0	1	0	0	10.5
0	1	0	1	11
0	1	1	0	11.5
0	1	1	1	12
1	0	0	0	12.5
1	0	0	1	13
1	0	1	0	13.5
1	0	1	1	14
1	1	0	0	14.5
1	1	0	1	15
1	1	1	0	15.5
1	1	1	1	16

Регистр автоматической подстройки частоты (*Automatic Frequency Adjust Register*) [POR=C4F7h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	0	0	0	1	0	0	AUTO1	AUTO0	RNG1	RNG0	STRB	ACCF	OFFEN	AFEN

Регистр АПЧ задает:

- ручную или автоматическую частотную компенсацию;
- вычисление значения смещения и запись в регистр состояния;
- высококачественное управление точностью компенсации.

Регистр АПЧ управляет и настраивает диапазон и режим подстройки частоты, необходимые для фиксации частоты передатчика и приёмника, обеспечивая оптимальную связь. АПЧ может управляться вручную внешним процессором путём подачи стробирующего сигнала для инициации выборки, либо можно задать автоматический режим работы, который использует сигнал детектора действительных данных (*VDI*) для инициации подстройки частоты. Когда сигнал детектора действительных данных переходит в активное состояние, схема АПЧ выполняет выборку и автоматически обновляет регистр смещения. Окончание выполнения АПЧ определяется установкой бита восстановления тактовой синхронизации (*clock recovery - CR*) в Регистре фильтра немодулированной передачи (*Baseband Filter Register*). АПЧ вычисляет смещение и для частоты передатчика, и для частоты приёмника. Это значение смещения доступно при чтении регистра состояния, но на это время нужно отключать функцию АПЧ, чтобы получить хорошую точность смещения.

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр АПЧ.

Бит [7..6] – выбор режима. Этими битами выбирается автоматический или ручной режим работы. Если установлен ручной режим, TRC102 будет производить выборку по записи стробирующего сигнала (см. **Бит[3]**) в регистр. Существует четыре режима работы (см. **Таблицу 5**).

Таблица 5

Автоматический режим f_{OFFSET}	AUTO1	AUTO0
Автоподстройка выключена	0	0
Запуск только один раз после подачи питания	0	1
Поддерживать смещение только во время приёма	1	0
Поддерживать смещение независимо от состояния VDI	1	1

Режим (0,1) – схема выполнит измерение только один раз после включения питания.

Режим (1,0) – если вывод детектора действительных данных (*VDI*) в состоянии низкого уровня, что указывает на плохие условия приёма, регистр смещения автоматически сбрасывается. Используйте эту установку при приёме данных от нескольких различных передатчиков, которые работают примерно на одинаковой частоте, так чтобы приёмник мог сам подстраиваться под каждую передачу от разных передатчиков.

Режим (1,1) – эта установка является лучшим выбором при приёме от одиночного передатчика. Измеренное значение смещения сохраняется независимо от состояния сигнала детектора действительных данных. Как только канал настроен, пользователь может вручную переключать его.

Бит [5..4] - допустимое смещение частоты. Эти биты выбирают массив допустимых смещений между частотами передатчика и приёмника. Допустимые диапазоны приведены в **Таблице 6**.

Таблица 6

Диапазон смещения частоты	RNG1	RNG0
Без ограничений	0	0
$+15 \cdot f_{res} / -16 \cdot f_{res}$	0	1
$+7 \cdot f_{res} / -8 \cdot f_{res}$	1	0
$+3 \cdot f_{res} / -4 \cdot f_{res}$	1	1

где f_{res} - разрешение подстройки для каждой полосы частот, как показано ниже:

f_{res} : для полосы 433 МГц = 2.5 кГц
 для полосы 868 МГц = 5 кГц
 для полосы 916 МГц = 7.5 кГц

Бит [3] – строб ручной подстройки частоты. Этот бит является стробирующим сигналом, который инициирует ручную выборку подстройки частоты. Если он установлен, выборка принимаемого сигнала сравнивается с сигналом гетеродина приёмника, и вычисляется смещение. Если включено, это значение записывается в Регистр смещения (*Offset Register*) (см. **Бит [1]**) и прибавляется к слову управления частотой ФАПЧ. Этот бит НЕОБХОДИМО СБРАСЫВАТЬ перед инициацией очередной выборки.

Бит [2] – режим высокой точности (высококачественный режим). Этот бит, будучи установленным, переключает подстройку частоты в режим высокой точности. В этом режиме время обработки удваивается по сравнению с обычным режимом, но неопределённость измерения значительно сокращается.

Бит [1] – включение регистра смещения частоты. Этот бит, будучи установленным, разрешает прибавлять значение смещения, вычисленное выборкой, к слову управления частотой ФАПЧ, которая подстраивает желаемую несущую частоту.

Бит [0] – разрешение смещения частот. Если этот бит установлен, он разрешает TRC102 вычислять смещение частоты выборкой, полученной от схемы АПЧ.

Регистр настройки передачи (*Transmit Configuration Register*) [POR=9800h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	0	1	1	0	0	MODP	DEV3	DEV2	DEV1	DEV0	0	PWR2	PWR1	PWR0

Регистр настройки передачи используется для конфигурации:

- полярности модуляции;
- полосы пропускания модуляции;
- выходной мощности передатчика.

Бит [15..9] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр настройки передачи.

Бит [8] – полярность модуляции. Если этот бит сброшен, то логический "0" определяется как более низкая частота канала, а логическая "1" - как более высокая (положительный сдвиг). Если же он установлен, то логический "0" определяется как более высокая частота канала, а логическая "1" - как более низкая (отрицательный сдвиг).

Бит [7..4] – полоса пропускания модуляции. Эти биты устанавливают сдвиг частоты ЧМ для передачи логической "1" и логического "0". Сдвиг программируется от 15 кГц до 240 кГц с шагом 15 кГц. Установки сдвига см. в **Таблице 7**.

Таблица 7

Полоса пропускания модуляции	Hex	DEV3	DEV2	DEV1	DEV0
15 kHz	0	0	0	0	0
30 kHz	1	0	0	0	1
45 kHz	2	0	0	1	0
60 kHz	3	0	0	1	1
75 kHz	4	0	1	0	0
90 kHz	5	0	1	0	1
105 kHz	6	0	1	1	0
120 kHz	7	0	1	1	1
135 kHz	8	1	0	0	0
150 kHz	9	1	0	0	1
165 kHz	A	1	0	1	0
180 kHz	B	1	0	1	1
195 kHz	C	1	1	0	0
210 kHz	D	1	1	0	1
225 kHz	E	1	1	1	0
240 kHz	F	1	1	1	1

Бит [3] – не используется. Записывайте в него логический "0".

Бит [2..0] – выходная мощность передачи. Эти биты устанавливают выходную мощность передачи. Выходная мощность программируется от максимума до -21 дБ с шагом -3 дБ. Установки выходной мощности приведены в **Таблице 8**.

Таблица 8

Выходная мощность (относительная)	PWR2	PWR1	PWR0
Max	0	0	0
-3dB	0	0	1
-6dB	0	1	0
-9dB	0	1	1
-12dB	1	0	0
-15dB	1	0	1
-18dB	1	1	0
-21dB	1	1	1

Передающий регистр (*Transmit Register*) [POR=B8AAh]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	1	1	1	0	0	0	TX7	TX6	TX5	TX4	TX3	TX2	TX1	TX0

Передающий регистр содержит 8 битов для передачи. Чтобы его использовать, необходимо установить бит [7] **Регистра конфигурации** (*Configuration Register*). Если же этот бит не установлен, используйте вывод 6 для ручной модуляции данных.

Начальное значение при подаче питания AAh. Его можно использовать для передачи преамбулы установкой бита [5] в **Регистре управления питанием** (*Power Management Register*) (см. **Рис. 5**). Если установить этот бит, то передача начнётся немедленно, и будет передано начальное значение AAh. Можно наблюдать за выводом (4) **SDO**, чтобы понять, когда можно записать в регистр следующий байт (на **SDO** появится логическая "1"). Рекомендуется предварительно загружать регистр значением преамбулы независимо от значения при POR.

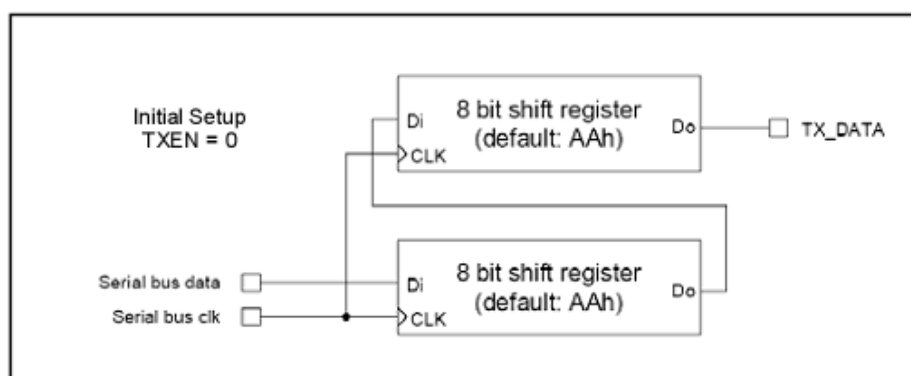


Рис. 5. Состояние передающего регистра при включении питания

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в передающий регистр.

Бит [7..0] – передаваемый байт. В эти биты записывается байт, который необходимо передать. Этот байт данных посылается, как только включается усилитель мощности. Можно наблюдать за выводом (4) **SDO**, чтобы определить, что байт отправлен.

Способ записи последовательности байтов (рекомендуется)

Доступ к передающему регистру можно осуществлять непрерывно, удерживая на выводе (3) **nCS** низкий уровень в течение всего потока данных.

По первому заднему фронту на выводе **nCS** необходимо, как и обычно, выдать регистровую команду. Затем можно выполнять последовательную запись байтов в регистр без необходимости повтора команды. Вывод (4) **SDO** можно использовать в качестве флага, означающего "передающий регистр пуст", перед тем как записать следующий байт.

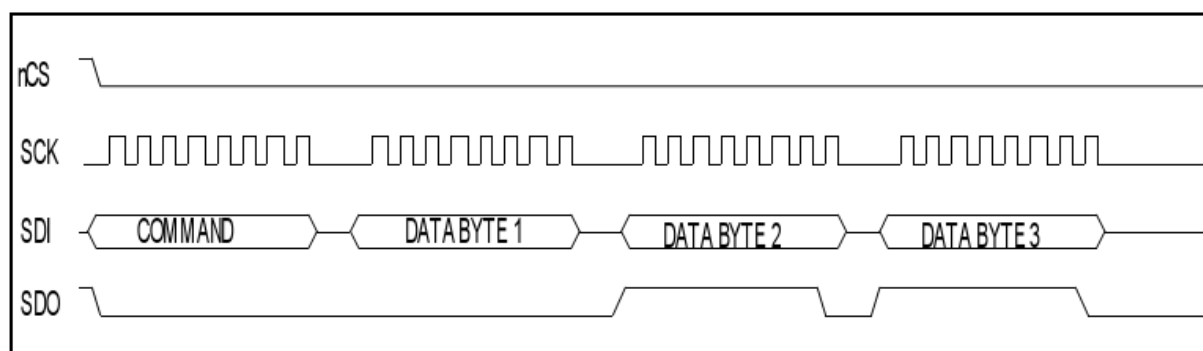


Рис. 6. Временная диаграмма записи последовательности байтов

Регистр установки частоты (*Frequency Setting Register*) [POR=A680h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	1	0	Freq11	Freq10	Freq9	Freq8	Freq7	Freq6	Freq5	Freq4	Freq3	Freq2	Freq1	Freq0

Регистр установки частоты задаёт точную частоту передачи или приёма внутри выбранного диапазона. Каждый диапазон имеет интервал доступных частот для канализирования⁵ или скачкообразной перестройки частоты. Выбираемые частоты для каждого диапазона:

Диапазон частот	Мин. (МГц)	Макс. (МГц)	Разрешающая способность настройки
400 MHz	430.24	439.75	2.5 kHz
800 MHz	860.48	879.51	5.0 kHz
900 MHz	900.72	929.27	7.5 kHz

Бит [15..12] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр установки частоты.

Бит [11..0] – установка частоты. Эти биты задают среднюю частоту, которая будет использоваться во время передачи или приёма. Значение битов [11..0] должно находиться в десятичном диапазоне от 96 до 3903. Любое значение, выходящее за пределы этого диапазона, приведёт к тому, что будет сохранено предыдущее значение частоты, то есть изменение частоты не произойдёт. Чтобы вычислить центральную частоту, воспользуйтесь **Таблицей 9** и следующим уравнением:

$$f_c = 10 \cdot B1 \cdot (B0 + f_{VAL}/4000) \text{ МГц},$$

где f_{VAL} = десятичное значение частоты [11..0] = $96 < f_{VAL} < 3903$.

Таблица 9

Диапазон	B1	B0
433 МГц	1	43
868 МГц	2	43
916 МГц	3	30

Регистр управления приёмником (*Receiver Control Register*) [POR=9080h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	0	1	0	INT/VDI	VDIR1	VDIR0	BB2	BB1	BB0	GAIN1	GAIN0	RSSI2	RSSI1	RSSI0

Регистр управления приёмником используется для настройки следующих параметров:

- усиление МШУ приёмника;
- порог цифровой индикации уровня принимаемого сигнала (*RSSI*);
- диапазон частот приёма немодулированной передачи;
- время отклика детектора действительных данных;
- функция вывода 16.

Бит [15..12] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр управления приёмником.

Бит [10] – функция вывода 16. Выбирает функцию вывода 16 (см. **Таблицу 10**).

⁵ Разделение полосы частот на отдельные каналы. – прим. пер.

Таблица 10

Функция вывода 16	INT/VDI
Вход прерывания	0
Выход детектора действительных данных	1

Бит [9..8] – время отклика детектора действительных данных (VDI). Если вывод 16 выбран в качестве выхода VDI, эти биты устанавливают время отклика, в течение которого TRC102 обнаружит входящий битовый шаблон синхронизации и выдаст прерывание ведущему процессору. Установки времени отклика приведены в **Таблице 11**.

Таблица 11

Время отклика VDI	VDIR1	VDIR0
Быстрый режим	0	0
Средний режим	0	1
Медленный режим	1	0
Непрерывный режим	1	1

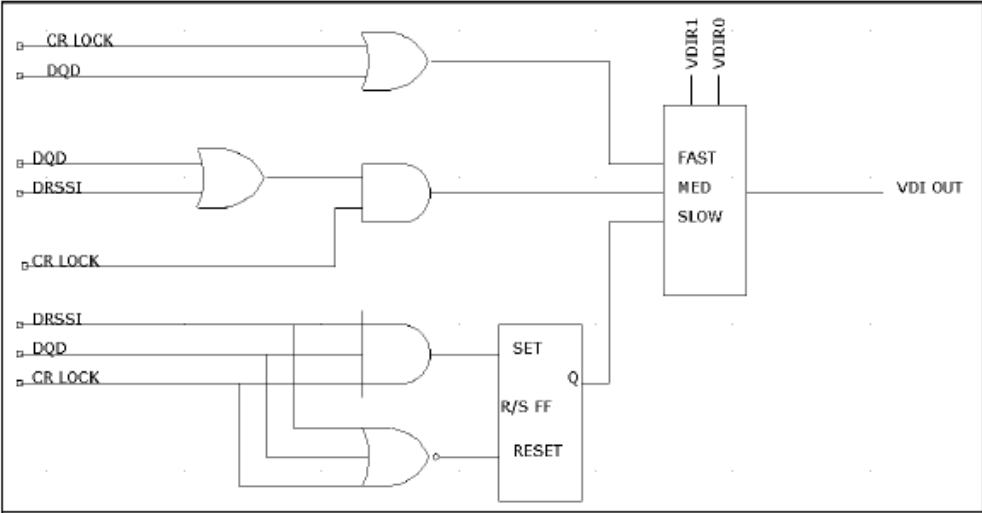


Рис. 7. Настройка ответа сигнала детектора действительных данных

Бит [7..5] – диапазон частот немодулированной передачи приёмника. Эти биты устанавливают диапазон частот немодулированной передачи демодулированных данных. Диапазон частот может приспособляться под различные сдвиги ЧМ и скорости передачи данных. Настройки диапазона частот приведены в **Таблице 12**.

Таблица 12

Диапазон частот немодулированной передачи (кГц)	BB2	BB1	BB0
Зарезервировано	0	0	0
400	0	0	1
340	0	1	0
270	0	1	1
200	1	0	0
134	1	0	1
67	1	1	0
Зарезервировано	1	1	1

Бит [4..3] – усиление МШУ приёмника. Эти биты устанавливают усиление МШУ приёмника, которое можно менять, чтобы подстроиться под среду с мощными излучателями. Усиление МШУ также влияет на значение RSSI (см. **Бит [2..0]**). Настройки усиления приведены в **Таблице 13**.

Таблица 13

Усиление LNA (дБ)	GAIN1	GAIN0
0	0	0
-6	0	1
-14	1	0
-20	1	1

Бит [2..0] – порог цифровой RSSI. Порог цифрового индикатора силы принимаемого сигнала можно настроить на индикацию, что сила входящего сигнала превышает предустановленный лимит. Результат сохраняется в бите 7 регистра состояния. Всего имеется 8 предопределённых установок порога (см. **Таблицу 14**).

Таблица 14

Порог RSSI	RSSI2	RSSI1	RSSI0
-103	0	0	0
-97	0	0	1
-91	0	1	0
-85	0	1	1
-79	1	0	0
-73	1	0	1
Зарезервировано	1	1	0
Зарезервировано	1	1	1

На порог RSSI оказывает влияние значение усиления МШУ. Если усиление МШУ установлено в значение, отличное от 0 дБ, то настоящий порог RSSI можно вычислить следующим образом:

$$RSSI = \text{порог_RSSI} + |\text{усиление_LNA}|$$

Регистр фильтра немодулированной передачи (*Baseband Filter Register*) [POR=C22Ch]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
1	1	0	0	0	0	1	0	CRLK	CRLC	1	FILT	1	DQLVL2	DQLVL1	DQLVL0	

Регистр фильтра немодулированной передачи настраивает:

- управление фиксацией восстановления тактовой синхронизации;
- тип фильтра немодулированной передачи: цифровой или аналоговый (RC-фильтр);
- порог детектора обнаружения качества данных.

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр фильтра немодулированной передачи.

Бит [7] – автоматическая фиксация восстановления тактовой синхронизации (CR). Будучи установленным, этот бит настраивает управление фиксацией восстановления синхронизации на автоматическую работу. В этом случае восстановление начинается в "быстром" режиме и автоматически переключается в "медленный" режим после фиксации. Более подробно о "быстром" и "медленном" режимах см. **Бит [6]**.

Бит [6] – ручное управление фиксацией восстановления тактовой синхронизации. Будучи установленным, переключает фиксацию CR на "быстрый" режим. В этом режиме требуется, чтобы длина преамбулы составляла минимум 6 - 8 битов, чтобы определить скорость синхронизации, затем происходит фиксация. Если же этот бит сброшен, то CR работает в "медленном" режиме. В этом режиме требуется немного более длинная преамбула, а именно минимум 12 - 16 битов. Применение "медленного" режима требует более точной тактовой синхронизации. О взаимосвязи CR и скорости передачи данных см. **Регистр настройки скорости передачи данных (Data Rate Setup Register)**.

Бит [5] – не используется. Записывайте в него "1".

Бит [4] – тип фильтра. Если этот бит сброшен, то используется цифровой фильтр немодулированной передачи. Цифровой фильтр является цифровой версией простого RC-фильтра нижних частот, за которым следует компаратор с гистерезисом. Временная константа для цифрового фильтра автоматически вычисляется внутренним образом, основываясь на скорости передачи битов, установленной в **Регистре настройки скорости передачи данных**.

Если же этот бит установлен, то используется аналоговый RC-фильтр нижних частот. Сигнал немодулированной передачи подаётся на вывод 7 через внутренний резистор 10 кОм. Частота среза НЧ-фильтра задаётся внешним конденсатором, подключаемым с вывода 7 на землю. Для вычисления значения конденсатора для заданной скорости передачи данных используйте:

$$C_{\text{ФИЛТ}} = 1 / (30000 * \text{Скорость передачи данных})$$

Бит [3] – не используется. Записывайте в него "1".

Бит [2..0] – порог обнаружения качества данных. В случае, если скорость передачи данных близка к отклонению, то чтобы детектор качества данных сообщал о хорошем качестве сигнала, значение порога следует устанавливать <4. Если же скорость передачи данных значительно меньше отклонения, разрешается более высокое значение порога, которое может сообщать о хорошем качестве сигнала.

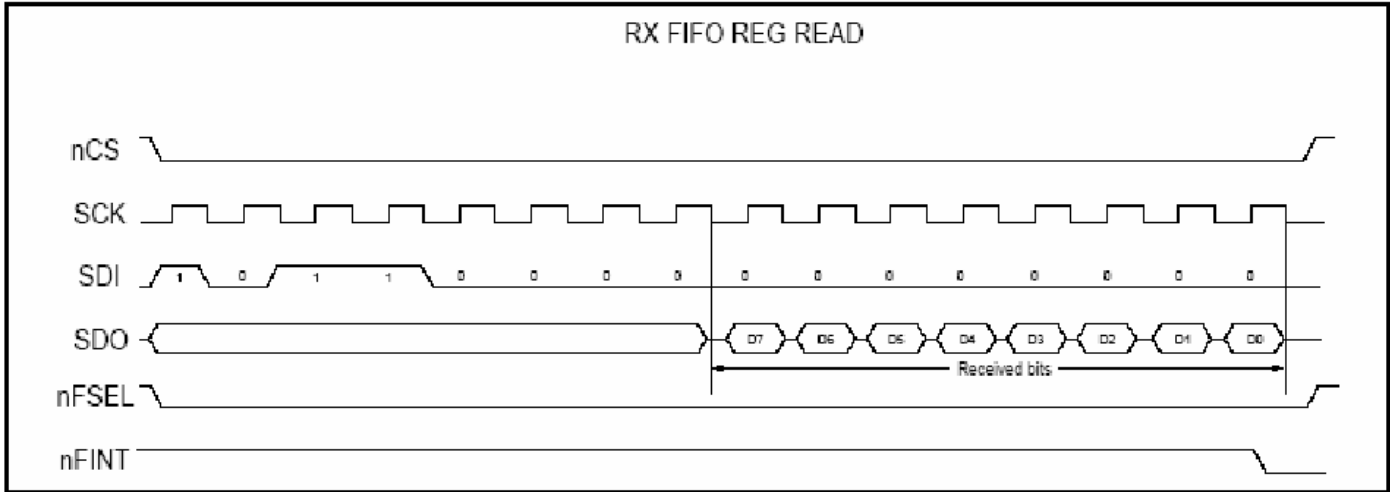
Регистр чтения FIFO-буфера (*FIFO Read Register*) [POR=B000h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	1	1	0	0	0	0	RX7	RX6	RX5	RX4	RX3	RX2	RX1	RX0

Регистр чтения FIFO-буфера хранит принятые данные, которые могут считываться внешним процессором. Для этого FIFO необходимо включить установкой бита [6] Регистра конфигурации (*Configuration Register*).

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что ведущий процессор обращается к регистру чтения FIFO-буфера. При этом вместо битов 7 – 0 процессор передаёт TRC102 фиктивные данные, в ответ на которые из буфера FIFO на линию SDO выдаются принятые биты (см. временную диаграмму на рис. ниже).

Бит [7..0] – биты данных FIFO-буфера. Эти биты представляют собой биты данных, восстановленных и сохранённых в FIFO-буфере. Их можно считать по шине SPI.



Альтернативный метод чтения⁶

Этот метод рекомендуется для более быстрого чтения внутреннего FIFO-буфера. Приёмный FIFO-буфер доступен напрямую с помощью вывода выбора **nFSEL** (6) и наблюдения за выводом прерывания **FINT** (7) для получения информации о наличии ожидающих данных. Каждый бит данных может выдаваться по переднему фронту SCK.

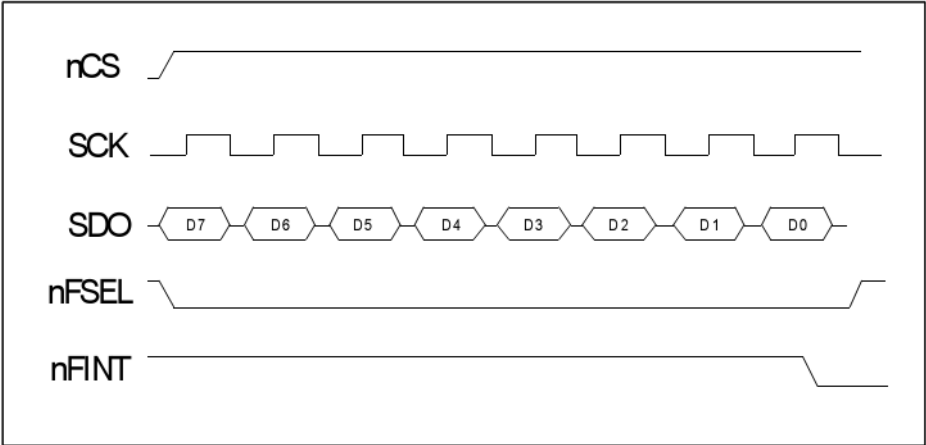


Рис. 8. Временная диаграмма рекомендуемого метода чтения FIFO-буфера

Регистр настройки FIFO-буфера и режима сброса (*FIFO and RESET Mode Configuration Register*)
[POR=CA80h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	0	0	1	0	1	0	FINT3	FINT2	FINT1	FINT0	SBL	FIFST	FILLEN	RSTEN

- Этот регистр настраивает:
- условие прерывания по заполнению FIFO-буфера;
 - условие начала заполнения FIFO-буфера;
 - заполнение FIFO-буфера по шаблону синхронизации;
 - длина символа синхронизации;

⁶ Доступ к внутреннему FIFO-буферу во время чтения нельзя осуществлять на частоте выше $f_{\text{xtal}}/4$, иначе возникнут ошибки данных. Для кварца 10 МГц максимальная частота SCK должна быть <2.5 МГц.

- режим сброса (RESET).

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр настройки FIFO-буфера и режима сброса.

Бит [7..4] – счётчик битов заполнения FIFO-буфера. Задаёт количество битов, которое будут получены, прежде чем сгенерируется внешнее прерывание ведущему процессору, означающее, что данные в приёмном FIFO-буфере готовы для считывания. Можно установить максимальный уровень заполнения, равный 15, но разработчик должен учесть время обработки, которое понадобится процессору для считывания данных, прежде чем регистр переполнится. Иначе в результате переполнения данные будут утеряны. Рекомендуется установить значение заполнения в половину желаемого количества битов, чтобы обеспечить достаточное для дополнительной обработки время. Описание доступных для чтения битов состояния FIFO-буфера см. в описании **Регистра состояния**. О чтении FIFO-буфера по шине SPI через регистр чтения FIFO и с помощью метода прерываний (с использованием выводов nFSEL и FINT) см. в описании **Регистра чтения FIFO**.

Бит [3] – длина символа синхронизации. Этот бит устанавливает длину символа синхронизации размером в байт или слово. Если задана длина в слово, символ состоит из двух байтов, SB1 и SB0. Значение SB1 является фиксированным и не настраивается. Значение SB0 может задаваться пользователем с помощью **Регистра настройки синхробайта** (*Synch Byte Configuration Register*). Если же установлена длина в байт, то используется только SB0, который может программироваться пользователем.

Примечание: значение по умолчанию для SB0 по включению питания равно D4h.

Таблица 15

Символ синхронизации	SBL	SB1	SB0
2DXX (слово)	0	2D	D4 (программируемый)
XX (байт)	1	N/A	D4 (программируемый)

Бит [2] – условие начала заполнения FIFO-буфера. Этот бит задаёт условие, по которому FIFO-буфер начнёт заполняться данными. Если он установлен, FIFO-буфер будет заполняться последовательно независимо от того, являются ли данные зашумлёнными или хорошими. Если он сброшен, FIFO-буфер будет заполняться только после того, как он распознает заданный шаблон синхронизации.

Бит [1] – заполнение FIFO-буфера по шаблону синхронизации. Если этот бит установлен, FIFO-буфер начнёт заполнение данными, если обнаружит шаблон синхронизации, как определено Битом [2]. Если этот бит сбросить, заполнение FIFO-буфера остановится. Чтобы перезапустить распознавание шаблона синхронизации, просто сбросьте этот бит и установите снова.

Примечание: сброс этого бита приведёт к сбросу FIFO-буфера (см. **Рис. 9**).

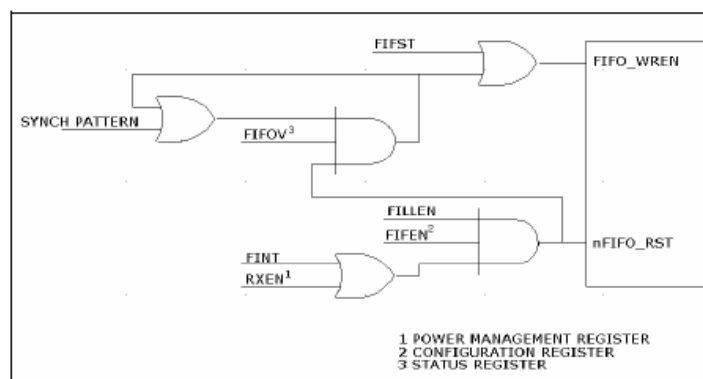


Рис. 9. Настройка записи и сброса FIFO-буфера

Бит [0] – отключение режима сброса. Если этот бит сброшен, то возникновение в питании TRC102 всплеска в 0.2 В может вызвать сброс системы. Если же бит установлен, то этот режим выключен.

Регистр настройки синхробайта (*Synch Byte Configuration Register*) [POR=CED4h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	0	0	1	1	1	0	SYNC7	SYNC6	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0

Регистр настройки синхробайта устанавливает значение SB0 символа синхронизации (см. **Регистр настройки FIFO-буфера и режима сброса**). Это значение действительно для символа синхронизации длиной и в байт, и в слово.

Регистр настройки скорости передачи данных (*Data Rate Setup Register*) [POR=C623h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	0	0	0	1	1	0	PRE	BITR6	BITR5	BITR4	BITR3	BITR2	BITR1	BITR0

Этот регистр настраивает:

- предполагаемую скорость передачи данных для приёмника;
- предделитель;
- влияние скорости передачи данных на восстановлении тактовой синхронизации.

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр настройки скорости передачи данных.

Бит [7] – включение предделителя. Установка этого бита включает предделитель для получения меньших значений предполагаемых скоростей передачи данных. Значение предделителя приблизительно 1/8.

Бит [6..0] – значение параметра скорости передачи данных. Эти биты представляют собой десятичное значение 7-битного параметра, используемого для вычисления предполагаемой скорости. Чтобы вычислить скорость, воспользуйтесь следующей формулой:

$$DR_{exp}(\text{Кбит/с}) = 10000 / (29 * (BITR[6..0] + 1) * (1 + PRE * 7)),$$

где BITR[6..0] – десятичное значение от 0 до 127,

PRE – предделитель, = "1" (включен) или "0" (выключен).

Чтобы вычислить десятичное значение BITR[6..0] для заданной битовой скорости, воспользуйтесь следующим уравнением:

$$BITR[6..0] = 10000 / (29 * (1 + PRE * 7) * DR_{exp}) - 1,$$

где DR_{exp} – предполагаемая скорость передачи данных,

PRE – предделитель (см. выше).

Без предделителя задаваемый диапазон скоростей составит от 2.694 Кбит/с до 344.828 Кбит/с. При включенном предделителе задаваемый диапазон скоростей составит от 337 бит/с до 43103 Кбит/с.

Медленный режим восстановления тактовой синхронизации требует более точной битовой синхронизации при настройке скорости передачи данных. Чтобы вычислить точность скорости передачи данных и для быстрого, и для медленного режимов, используйте следующие формулы:

для медленного режима $Acc = \Delta BR / BR < 1 / (29 * N)$,

для быстрого режима $Acc = \Delta BR / BR < 3 / (29 * N)$,

где N – наибольшее количество ожидаемых единиц или нулей в потоке данных,

ΔBR – различие между фактической скоростью и скоростью, установленной для передатчика,

BR – предполагаемая скорость передачи данных, устанавливаемая с помощью BITR[6..0] (см. выше).

Регистр управления питанием (*Power Management Register*) [POR=8208h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	0	0	0	0	0	1	0	RXEN	BBEN	TXEN	SYNEN	OSCEN	LBDEN	WKUPEN	CLKDIS

Этот регистр включает/выключает следующие элементы:

- цепь приёмника;
- цепь передатчика;
- схему немодулированной передачи;
- ФАПЧ;
- усилитель мощности;
- синтезатор;
- кварцевый генератор;
- схему обнаружения разрядки батареи;
- таймер пробуждения;
- выход тактового генератора.

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр управления питанием.

Бит [7] – включение цепочки приёмника. Будучи установленным, включает всю цепочку приёмника. Цепочка приёмника содержит в себе схему немодулированной передачи, синтезатор и кварцевый генератор.

Бит [6] – включение схемы немодулированной передачи. Будучи установленным, этот бит включает схему немодулированной передачи. Схема немодулированной передачи, синтезатор и генератор работают вместе, чтобы демодулировать и восстанавливать полученные данные, так что для приёма данных необходимо также включить синтезатор (Бит 5) и генератор (Бит 3). Сбросом бита можно отключить схему немодулированной передачи для уменьшения потребления тока.

Бит [5] – включение цепочки передатчика. Будучи установленным, этот бит включает всю схему передатчика. Схема передатчика состоит из усилителя мощности, синтезатора, генератора и передающего регистра. Если включены передающая цепочка и передающий регистр, любые данные, находящиеся в передающем регистре, выдвигаются из него, и начинается передача.

Бит [4] – включение синтезатора. Будучи установленным, включает синтезатор. Синтезатор содержит ФАПЧ, генератор и VCO (генератор, управляемый напряжением) для управления частотой канала. Всё это необходимо включить, если включены либо передатчик, либо приёмник. Также необходимо включить генератор, чтобы обеспечить опорную частоту для ФАПЧ. При подаче питания синтезатор автоматически выполняет калибровку. Если имеют место значительные изменения напряжения или температуры, повторную калибровку можно выполнить, просто выключив и заново включив синтезатор.

Бит [3] – включение кварцевого генератора. Будучи установленным, этот бит включает схему генератора. Генератор обеспечивает опорный сигнал для синтезатора при установке используемой передающей или приёмной частоты.

Бит [2] – детектор обнаружения разрядки батареи. Если бит установлен, он включает схему обнаружения разрядки батареи. Детектор батареи можно запрограммировать на любой из 32 пороговых

уровней (см. **Регистр порога обнаружения разрядки батареи и настройки выхода тактового генератора**).

Бит [1] – включение таймера пробуждения. Будучи установленным, включает таймер пробуждения. О программировании значения интервала таймера пробуждения см. в описании **Регистра периода таймера пробуждения** (*Wake-up Timer Period Register*).

Бит [0] – отключение выхода тактового генератора. Если этот бит **установлен**, он **отключает** выход тактового генератора. После сброса микросхемы или подачи питания выход тактового генератора включен, чтобы внешний процессор мог начать выполнение каких-нибудь особых настроечных последовательностей, необходимых разработчику. Более подробно о программировании см. **Регистр порога обнаружения разрядки батареи и настройки выхода тактового генератора**.

Примечание: если бит 0 сброшен, разрешая выход тактового генератора, генератор будет продолжать работать, даже если бит включения кварцевого генератора (3) сброшен, и устройство полностью в спящий режим не перейдёт.

Регистр периода таймера пробуждения (*Wake-up Timer Period Register*) [POR=E196h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	1	R4	R3	R2	R1	R0	M7	M6	M5	M4	M3	M2	M1	M0

Этот регистр устанавливает интервал пробуждения для TRC102. После установки интервала пробуждения бит WKUPEN (бит 1 **Регистра управления питанием**) необходимо сбрасывать и устанавливать в конце каждого цикла пробуждения. Чтобы вычислить желаемый интервал, используйте следующую формулу:

$$T_{\text{WAKE}} (\text{мс}) = M[7..0] * 2^{R[4..0]}$$

где $M[7..0]$ = десятичное значение от 0 до 255,

$R[4..0]$ = десятичное значение от 0 до 31.

Бит [15..13] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр периода таймера пробуждения.

Бит [12..8] – экспоненциальная функция. Эти биты определяют значение экспоненциальной функции, которое используется в уравнении выше. Используемое значение должно быть десятичным эквивалентом от 0 до 31.

Бит [7..0] – множитель. Эти биты определяют значение множителя, используемого в уравнении выше. Используемое значение должно быть десятичным эквивалентом от 0 до 255.

Регистр установки рабочего цикла (*Duty Cycle Set Register*) [POR=C80Eh]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	0	0	1	0	0	0	DC6	DC5	DC4	DC3	DC2	DC1	DC0	DCEN

Регистр рабочего цикла можно использовать в совокупности с таймером пробуждения для уменьшения среднего потребления тока приёмником. Регистр рабочего цикла можно настроить так, чтобы при пробуждении микросхемы из спящего режима по таймеру пробуждения приёмник на короткое время включался, выполнял выборку на наличие сигнала, а затем возвращался в спящий режим, а затем процесс повторялся заново.

Для вычисления рабочего цикла используется значение умножителя таймера пробуждения. Рабочий цикл вычисляется следующим образом:

$$\text{Рабочий цикл (\%)} = ((D[6..0]*2)+1)/M*100$$

где M – это значение умножителя M[7..0] из Регистра периода таймера пробуждения.

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр установки рабочего цикла.

Бит [7..1] – множитель рабочего цикла. Эти биты представляют собой десятичное значение, используемое для вычисления рабочего цикла или "времени работы" приёмника после пробуждения TRC102 из спящего режима по таймеру пробуждения.

Бит [0] – включение режима рабочего цикла. Будучи установленным, этот бит включает режим рабочего цикла.

Примечание: для работы в этом режиме в **Регистре управления питанием** необходимо выключить приёмник (RXEN = 0) и включить таймер пробуждения (WKUPEN = 1).

Регистр порога обнаружения разрядки батареи и настройки выхода тактового генератора (*Battery Detect Threshold and Clock Output Register*) [POR=C000h]

Этот регистр настраивает следующее:

- порог обнаружения разрядки батареи;
- частоту выхода тактового генератора.

Порог разрядки батареи программируется от 2.2 В до 3.8 В с помощью следующего уравнения:

$$VT = (LBD[4..0]/10) + 2.2 \text{ В}$$

где LBD[4..0] – десятичное значение от 0 до 15.

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр порога обнаружения разрядки батареи и настройки выхода тактового генератора.

Бит [7..5] – частота выхода тактового генератора. Эти биты устанавливают выходную частоту встроенного тактового генератора, которую можно использовать для тактирования внешнего ведущего процессора. См. **Таблицу 16**.

Таблица 16

Выходная тактовая частота (МГц)	CLK2	CLK1	CLK0
1	0	0	0
1.25	0	0	1
1.66	0	1	0
2	0	1	1
2.5	1	0	0
3.33	1	0	1
5	1	1	0
10	1	1	1

Выход тактового генератора можно **включить сбросом** бита CLKEN (0) в **Регистре управления питанием** и **отключить установкой** этого бита.

Бит [4..0] – порог обнаружения разрядки батареи. Эти биты устанавливают десятичное значение, используемое в уравнении выше для вычисления значения напряжения для порога обнаружения

разрядки батареи. Когда уровень батареи падает более чем на 50 мВ ниже этого значения, бит LDB (5) в регистре состояния устанавливается, указывая, что уровень батареи ниже запрограммированного порога. Это полезно для наблюдения за чувствительными к разрядке батареями, такими как литиевые элементы.

Обнаружение разрядки батареи можно включить установкой бита LBDEN (3) в Регистре управления питанием, а отключить сбросом этого бита.

Регистр настройки ФАПЧ (PLL Configuration Register) [POR=CC67h]

Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit	Bit
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1	1	0	0	1	1	0	0	0	BUF1	BUF0	XSU	PDD	DITH	1	PLLBW

Этот регистр настраивает следующее:

- [скорость нарастания сигнала буфера выходной тактовой частоты](#);
- время запуска кварцевого резонатора;
- задержка детектора фазы (*Phase Detector Delay* - PDD);
- размывание ([dithering](#)) ФАПЧ;
- полосу частот ФАПЧ.

Бит [15..8] – код команды. Эти биты являются кодом команды и сигнализируют TRC102, что следующие за ними биты нужно записать в регистр настройки ФАПЧ.

Бит [7] – не используется. Записывайте в него "0".

Бит [6..5] – [Clock Buffer Slew](#). Этот бит устанавливает времена нарастания и спада для [буфера тактового импульса в зависимости от](#) выходной частоты. См. [Таблицу 17](#).

Таблица 17

Частота	BUF1	BUF0
>5 МГц	0	0
3 МГц	0	1
<2.5 МГц	1	X

Бит [4] – время запуска кварцевого резонатора. Этот бит устанавливает время запуска и потребляемый ток кварцевого резонатора. См. [Таблицу 18](#).

Таблица 18

Время	Ток	XSU
1 мс	620 мкА	0
2 мс	460 мкА	1

Бит [3] – задержка детектора фазы. Будучи установленным, включает функцию задержки.

Бит [2] – размывание ФАПЧ. Будучи [установленным](#), этот бит [выключает](#) [размывание](#). [Размывание](#) уменьшает шумовые ошибки при вычислении [N-факториала кода синтезатора](#). Если этот бит сброшен, размывание включено, а время установления сигнала немного увеличивается.

Бит [1] – не используется, записывайте в него "1".

Бит [0] – полоса частот ФАПЧ. Будучи установленным, этот бит немного увеличивает полосу частот ФАПЧ, чтобы подстроится под скорости передачи данных выше 90 Кбит/с. [Если этот бит сброшен, полоса частот ФАПЧ уменьшается, что позволяет ускорить становление сигнала и уменьшить фазовый шум, что приводит к лучшей производительности приёма](#). См. [Таблицу 19](#).

Таблица 19

Скорость передачи данных	Фазовый шум	PLLBW
<90 Кбит/с	-107 дБс/Гц	0
>90 Кбит/с	-102 дБс/Гц	1

5. Максимально допустимые значения

Общие максимально допустимые значения

Обозначение	Параметр	Примечание	Мин.	Макс.	Ед. измерения
VDD	Напряжение питания		-0.5	6	В
Vin	Напряжение на любом выводе (кроме RF_P и RF_N)		-0.5	Vdd + 0.5	В
Voc	Напряжение на выходах с открытым коллектором (RF1, RF2)	1	-0.5	Vdd + 1.5	В
Iin	Входной ток на любом выводе кроме VDD и VSS		-25	25	мА
ESD	Электростатический разряд			1000	В
Tstg	Температура хранения		-55	125	°C
Tlead	Температура пайки (максимум 10 с)			260	°C

Примечание 1: В качестве максимального значения VDD + 1.5 В не может превышать 7 В.

Рекомендуемые рабочие значения

Обозначение	Параметр	Примечание	Мин.	Макс.	Ед. измерения
VDD	Напряжение питания		2.2	3.8	В
VDCRF	Постоянное напряжение на выходе с открытым коллектором (RF1, RF2)	1, 2	Vdd - 1.5	Vdd + 1.5	В
VACRF	Амплитуда переменного напряжения на выходах с открытым коллектором (RF1, RF2)	1	Vdd - 1.5	Vdd + 1.5	В
Top	Рабочая температура окружающей среды		-40	85	°C

Примечание 1: В качестве минимального значения VDD - 1.5 В не может быть ниже 1.2 В.

Примечание 2: В качестве максимального значения VDD + 1.5 В не может превышать 5.5 В.

6. Статические электрические характеристики

Электрические характеристики смотрите в оригинальном даташите на TRC102.