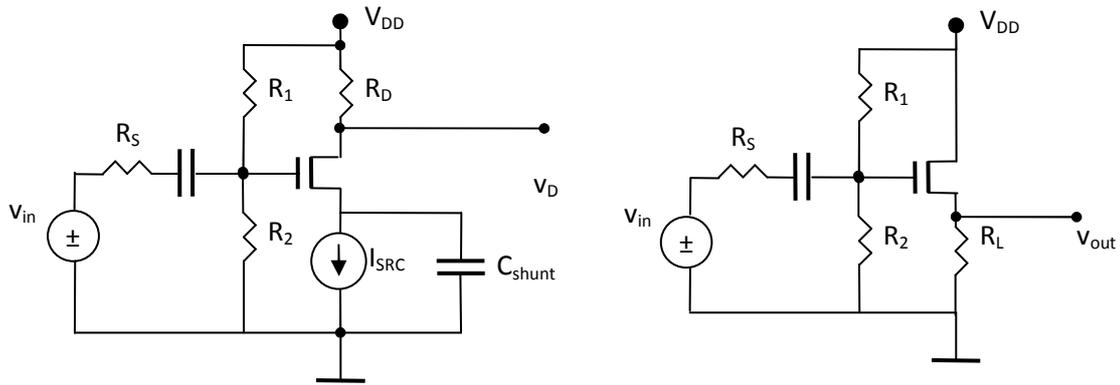
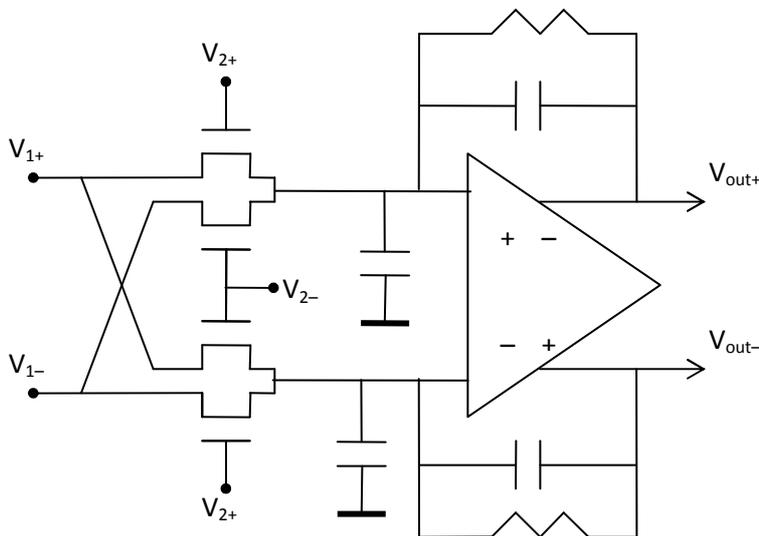


Использование полевых транзисторов в схемах:

для усиления сигналов (слева) и преобразования импеданса (справа):

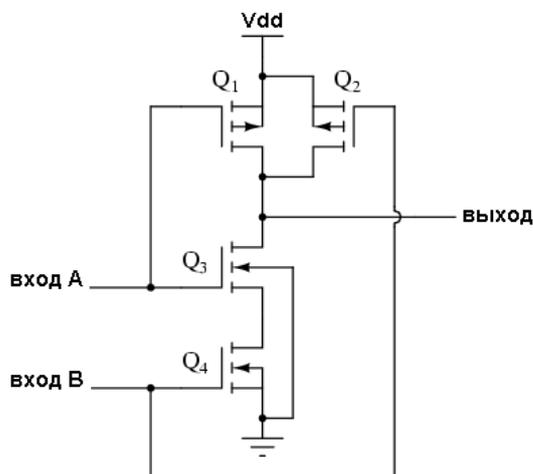


в миксере радиочастотных сигналов:

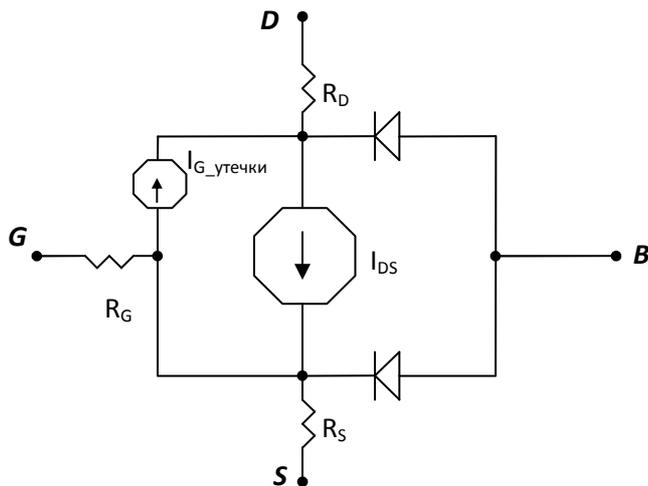


для коммутации сигналов, в качестве генератора тока и для формирования импульсов.

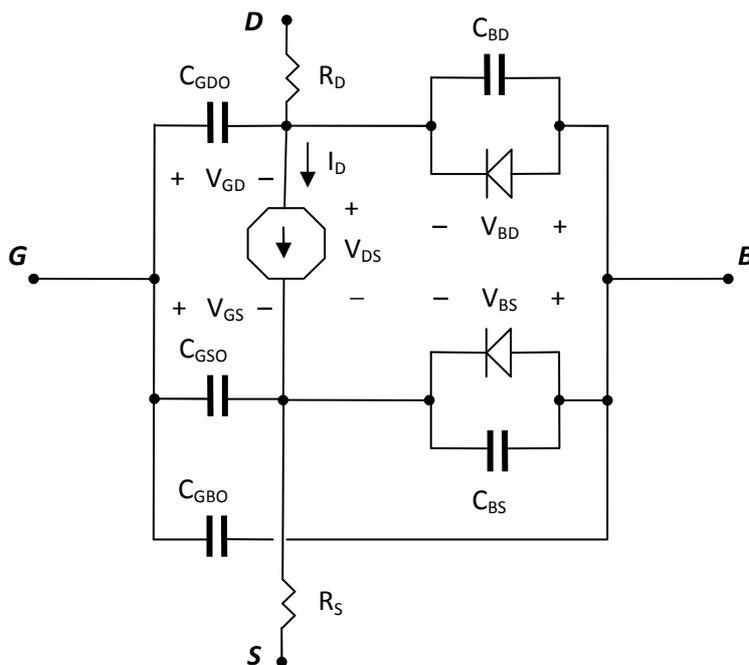
Логические элементы на КМОП-транзисторах, основа современной цифровой электроники:



Модель для расчета в первом приближении режима полевого транзистора по постоянному току:



Ток утечки затвора (ток через оксидную пленку) возникает из-за туннельного эффекта, и для наших целей им можно пренебречь. В эквивалентной схеме используемой в SPICE динамической модели полевого транзистора ток утечки затвора не учитывается (соответственно, нет также R_G):



Терминалы: G – затвор (gate), S – исток (source), D – сток (drain), B – подложка, субстрат (body, bulk).

R_D и R_S – омические сопротивления, последовательно включенные в терминалы исток и сток.

C_{BD} и C_{BS} – емкости переходов сток-подложка и исток-подложка, включенные параллельно с диодами переходов.

C_{GDO} и C_{GSO} – емкости, возникающие в местах перекрытия (overlap) области затвора с областями стока и истока.

Если на схеме замещения указывается не падение напряжения, а потенциал в узлах схемы, этот потенциал отсчитывается от истока. Если исток и подложка не соединены внутри транзистора, роли истока и стока в полевом транзисторе обычно симметричны. Для nMOS транзистора стоком считается терминал с более высоким потенциалом. Ток течет из стока; носители, электроны, дрейфуют от истока к стоку. Для pMOS транзистора терминал с более высоким потенциалом считается истоком. Ток течет из истока; носители, дырки, имея положительный заряд, дрейфуют в направлении электрического тока. В обоих случаях направление движения носителей находится в соответствии с терминологией исток/сток.

Ток I_D зависимого источника зависит от V_{GS} и V_{DS} , и эта зависимость выражается различными аналитическими функциями в разных интервалах значений V_{GS} и V_{DS} . Границы интервалов определяются параметрами $V_{threshold}$ и V_{on} . В выражении для V_{thresh} есть слагаемое, обратно пропорциональное длине канала. Если этим слагаемым можно пренебречь (обычно при длине канала больше микрона), имеем длинный канал. Напряжение V_{on} – точка пересечения сильной и слабой инверсии, I_{on} – ток I_D при $V_G = V_{on}$. Далее излагается модель уровня 3 для SPICE, довольно грубая и все же вполне работоспособная для проведения расчетов режимов схем с дискретными элементами.

Ток полевого транзистора в модели SPICE уровня 3

Для длинного канала:

При $V_G \leq V_{on}$: $I_D = I_{on} \cdot \exp[(V_G - V_{on})/nkT]$ область отсечки, cut-off

При $V_G \geq V_{thresh}$, $V_D \leq V_{DSAT}$: $I_D = \beta[V_G - V_{thresh} - \alpha V_D/2] V_D$ линейная область

При $V_G \geq V_{thresh}$, $V_D \geq V_{DSAT}$: $I_D = (\beta/2\alpha)(V_G - V_{thresh})^2(1+\lambda V_D)$ область насыщения

Параметр $\beta = \mu_n C_{ox}(W/L)$, μ_n – подвижность (=мобильность) электронов в области инверсионного слоя, C_{ox} – емкость единицы поверхности конденсатора, образованного оксидным слоем, W – ширина канала, L – длина канала. Параметр $\alpha = 1 + (0.5\gamma)/(2\phi_F + V_B)^{1/2}$, $2\phi_F$ – потенциал Ферми, V_B – потенциал подложки. Параметр $\gamma = \sqrt{2q\epsilon_{Si}N_A} / C_{ox}$, ϵ_{Si} – диэлектрическая постоянная кремния, N_A – плотность акцепторов, C_{ox} – емкость единицы поверхности оксидного слоя.

В этой модели ток в области отсечки ненулевой, поэтому здесь эта область называется также подпороговая (subthreshold) область. Динамическая модель уровня 3 в SPICE наименее точна в области перехода между слабой и сильной инверсией, т.е., при напряжении на затворе V_{on} . Обычно принимается $V_{on} = V_{thresh} + nkT/q$. Параметр $n = 1 + C_D/C_{ox}$, C_D удельная емкость обедненного слоя (depletion layer capacitance), C_{ox} удельная емкость оксидного слоя. Значение I_{on} определяется из условия сшивки аналитических выражений сильной и слабой инверсии для тока при приближении к V_{on} . Таким образом, может быть обеспечена непрерывность функции тока вблизи V_{on} , но не ее производной. Если рассчитанный потенциал находится вблизи этого значения, производные тока (транспроводимость, например) оказываются неверны в любом приближении. Значение подпороговой области было невелико при размерах устройств больше микрона. Вследствие миниатюризации в современных устройствах эта область начинает играть существенную роль.

Пороговое напряжение, V_{thresh} , определяется в основном толщиной оксидного слоя. Толщина оксидного слоя для 90-нанометрового процесса может достигать 1 нм. Чем выше пороговое напряжение, тем меньше ток утечки затвора. С другой стороны, повышение порогового

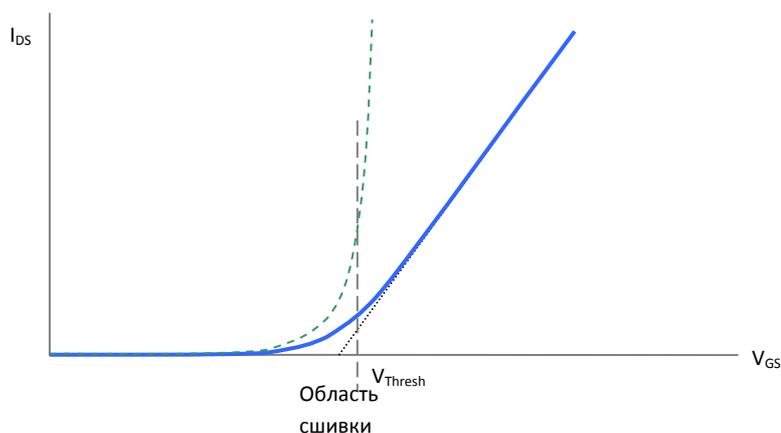
напряжение ведет к повышению сопротивления канала открытого транзистора. Далее, в анализе КМОП-логики, показывается, что это приводит к увеличению задержек распространения сигнала через логические элементы. В качестве компромисса выбирается значение V_{thresh} между $0.2V_{\text{DD}}$ и $0.5V_{\text{DD}}$. Конкретно, для 90-нм технологии, чтобы удовлетворить широкому диапазону напряжений питания от 1.2В до 3.3В, при проектировании принимается $V_{\text{thresh}} = 500\text{мВ}$.

При повышении напряжения на стоке V_D наступает момент, когда канал вблизи стока истончается до нуля. Линейная область переходит в область насыщения (напряжение на затворе выше порогового V_{thresh}). Потенциал V_{DSAT} , граница линейной области и области насыщения по напряжению сток-исток, также определяется из условия сшивки, но здесь с производной все в порядке.

Внимание: термин режим насыщения означает разные вещи в применении к биполярному транзистору и к полевому транзистору. Биполярный транзистор в режиме насыщения не может усиливать сигнал, для полевого транзистора режим насыщения – рабочий режим для усилительных схем.

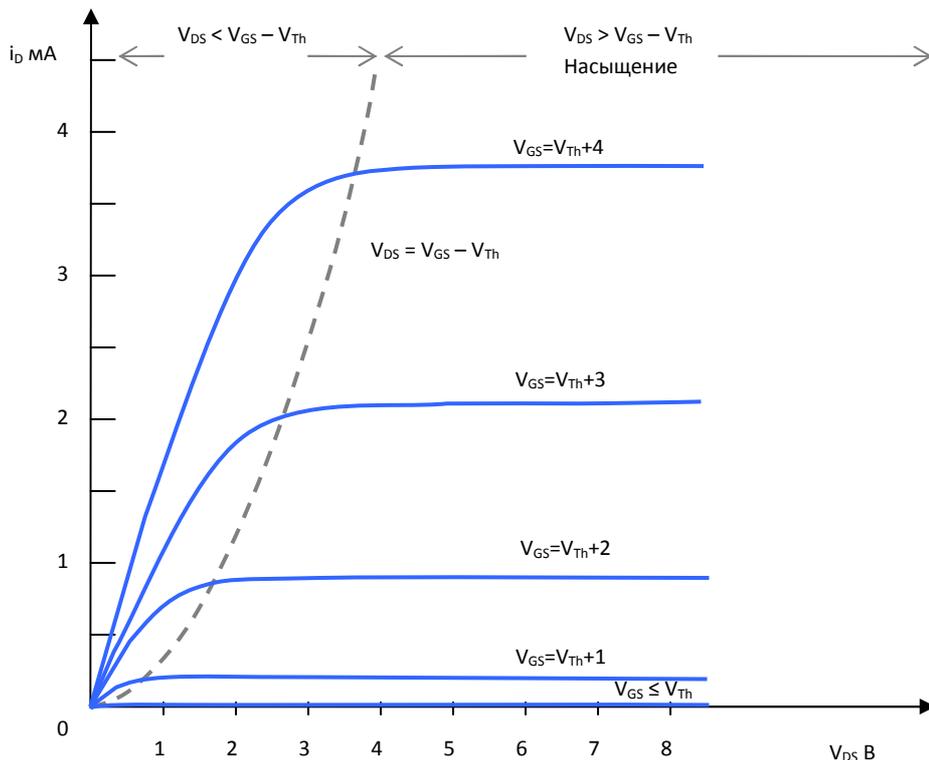
В области отсечки, источник тока в модели полевого транзистора не генерирует ток, и транзистор эффективно сводится к двум встречно включенным диодам (переходы исток-подложка и сток-подложка). В отличие от биполярного транзистора, в знаменатель показателя экспоненты входит множитель $n = 1 + C_D/C_{\text{OX}}$, C_D – емкость слоя обеднения, C_{OX} – емкость оксидного слоя.

В линейной области сопротивление канала пропорционально падению напряжения сток-исток и линейно зависит от напряжения на затворе. График зависимости тока транзистора от напряжения на затворе, включающий переход от области отсечки к области линейной зависимости:



Вспомогательная пунктирная кривая показывает экспоненциальную функцию при $n=1$. Сама кривая тока идет не только ниже ($n>1$), но, начиная с некоторого напряжения, экспоненциальный рост сменяется линейным. Неосновные носители, обеспечивающие ток транзистора, попадают в канал не в результате прямой инжекции из терминалов, а притягиваются управляющим полем из подложки. Поэтому при некотором значении напряжения на затворе влияние распределения носителей по энергиям, основополагающего фактора в области слабой инверсии, сменяется влиянием геометрического фактора (МОП-конденсатор), и зависимость тока от напряжения сток-исток становится линейной. Транзистор ведет себя как сопротивление, управляемое напряжением на затворе.

В области насыщения инверсионный слой, соединявший исток со стоком, истощается со стороны стока (pinch-off) вследствие высасывания носителей возросшим электрическим полем сток-исток. Ток не прекращается, т.к. основная доля носителей из сохранившейся части инверсионного слоя преодолевает оставшуюся часть пути до стока благодаря притяжению стока (дрейф зарядов). Область обеднения расположена в кремнии и имеет соответствующее удельное сопротивление. При увеличении напряжения сток-исток протяженность области обеднения увеличивается и пропорционально возрастает сопротивление. В результате ток остается практически неизменным. Транзистор начинает работать как источник тока, благодаря чему его можно использовать в усилительных схемах. График зависимости тока транзистора от напряжения сток-исток:



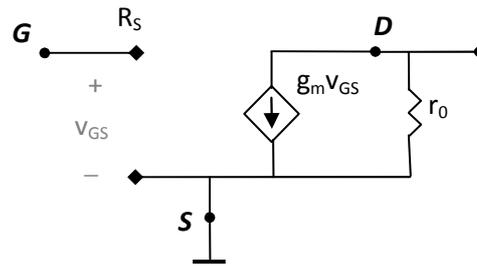
В режиме насыщения ток зависит от напряжения сток-исток слабее, чем пропорционально – в первом приближении, вообще не зависит. По отношению к цепи выходного тока транзистор ведет себя как источник тока, и может быть использован для усиления сигналов. От превышения напряжением на затворе порогового напряжения ($V_{GS} - V_{Thresh} = \text{овердрайв}$) ток зависит квадратично.

Так работают полевые транзисторы обогащенного типа (enhanced-type nMOS). В транзисторах обедненного типа инверсионный слой существует при нулевом напряжении на затворе, и чтобы перевести транзистор в режиме отсечки, необходимо на затвор подать отрицательное напряжение достаточной величины.

Приближение слабого сигнала

Модель полевого транзистора в приближении слабого сигнала для низкочастотных сигналов, соответствующая модели SPICE уровня 1, очень проста. Терминальный ток затвора полевого транзистора практически отсутствует. В моделировании полевых транзисторов не используются параметры, аналогичные α и β для биполярных транзисторов (коэффициенты усиления по току), но в определенном смысле для полевых транзисторов коэффициенты усиления по току $\alpha = 1$ и $\beta = \infty$ (разумеется, эти α и β совсем не те, что входят в выражение для тока полевого транзистора). Ток

зависимого источника моделей π и Т для полевых транзисторов (приближение слабого сигнала) выражается через напряжение на затворе и транспроводимость.



Цепь затвора разомкнута, сопротивление r_{π} в модели π равно бесконечности. Выходное сопротивление r_0 введено для моделирования модуляции длины канала. Без учета модуляции длины канала, ток в режиме насыщения не зависит от напряжения между стоком и истоком.

Ток в режиме насыщения без учета модуляции длины канала

$$i_D = (1/2)\mu_n C_{ox}(W/L)(v_{GS} - V_{thresh})^2$$

где μ_n – подвижность n-носителей, C_{ox} – емкость единицы поверхности оксидного слоя, V_{thresh} – пороговое напряжение, при $v_{GS} > V_{thresh}$ в канале образуется инверсионный слой.

Транспроводимость есть производная тока по напряжению на затворе при постоянном падении напряжения на транзисторе:

$$g_m = \left[\frac{\partial i_D}{\partial v_{GS}} \right]_{v_{DS} = const} = \mu_n C_{ox}(W/L)(v_{GS} - V_{thresh})$$

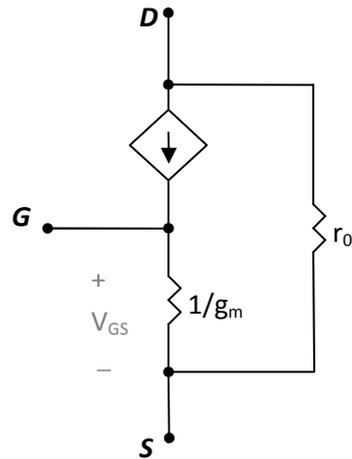
Модуляция длины канала приводит к появлению члена с множителем λ в выражении для тока транзистора и увеличивает i_D :

$$i_D = (1/2)\mu_n C_{ox}(W/L)(v_{GS} - V_{thresh})^2 \cdot (1 + \lambda v_{DS})$$

В эквивалентной схеме этот эффект моделируется сопротивлением r_0 , включенным параллельно с зависимым источником.

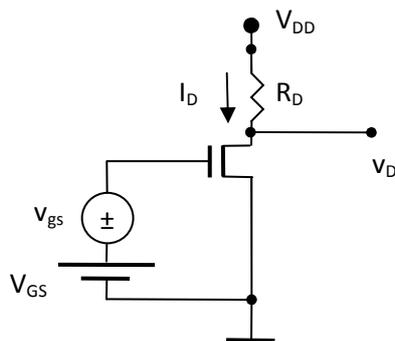
$$r_0 = \left[\frac{\partial i_D}{\partial v_{DS}} \right]_{v_{GS} = const}^{-1}$$

$$r_0 \approx 1/(\lambda i_D)$$



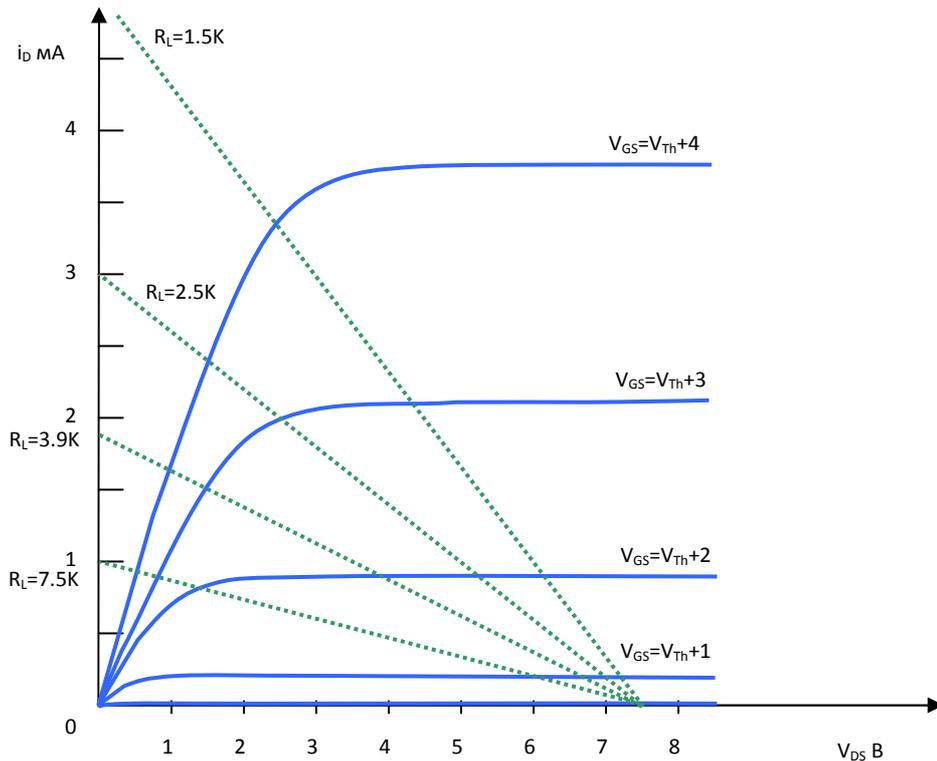
По модели Т вычисляем дифференциальное сопротивление втекающему в исток току, равное обратной транспроводимости. Сопротивление втекающему в базу току равно бесконечности, поскольку втекающий в базу ток равен нулю.

Схема включения полевого транзистора с общим истоком:



Чтобы работать как усилитель, транзистор должен находиться в режиме насыщения. Для этого должным образом должны быть подобраны смещение на затворе V_{GS} и напряжение на стоке, которое определяется током через транзистор, и, следовательно, нагрузочным сопротивлением R_D .

Тока в цепи затвора нет, для графического анализа достаточно диаграммы с линией нагрузки для тока через транзистор. Начинаем с семейства вольтамперных характеристик для различных напряжений на затворе, напряжение питания $V_{DD} = 7,5\text{В}$. Затем рисуем линии нагрузки. Все линии нагрузки сойдутся в точке $7,5\text{В}$ на оси абсцисс и пройдут с наклоном $-1/R_D$. Изобразим линии нагрузки для $R_D = 1,5\text{К}; 2,5\text{К}; 3,9\text{К}; 7,5\text{К}$:



Требуется найти параметры, при которых транзистор будет усиливать сигнал (для чего транзистор должен работать в режиме насыщения), и при этом усилитель будет линейным.

Сначала опустим эффект pinch-off-а, проявляющийся в конечности сопротивления транзистора в режиме насыщения (т.е., $\lambda=0$). Без сигнала, ток транзистора равен

$$I_D = (1/2)\mu_n C_{ox}(W/L)(V_{GS} - V_{thresh})^2$$

Напряжение на стоке

$$v_D = V_{DD} - i_D R_D$$

Условие режима насыщения

$$v_D > V_{GS} - V_{thresh}$$

Теперь добавим к подаваемому на затвор напряжению сигнал v_{gs} . Постоянная составляющая сигнала равна нулю. Выделим в токе через транзистор вклад сигнала:

$$\begin{aligned} i_D &= (1/2)\mu_n C_{ox}(W/L)(V_{GS} + v_{gs} - V_{thresh})^2 = \\ &= (1/2)\mu_n C_{ox}(W/L)(V_{GS} - V_{thresh})^2 + \mu_n C_{ox}(W/L)(V_{GS} - V_{thresh})v_{gs} + (1/2)\mu_n C_{ox}(W/L)v_{gs}^2 = \\ &= I_D + i_d + O(v_{gs}^2) \end{aligned}$$

Из этого выражения вытекает условие малости сигнала $v_{gs} \ll 2(V_{GS} - V_{thresh})$. В режиме слабого сигнала транзистор работает как линейный усилитель. Коэффициент транспроводимости транзистора

$$g_m = \mu_n C_{ox}(W/L)(V_{GS} - V_{thresh})$$

Выделим, применяя принцип суперпозиции, вклад сигнала в напряжение на стоке:

$$v_D = V_D + v_d; v_D = V_{DD} - R_D(I_D + i_d); V_D = V_{DD} - R_D I_D \quad \Rightarrow \quad v_D = -R_D i_d$$

$$v_d = -R_D g_m v_{gs}$$

Коэффициент усиления по напряжению $A = -R_D g_m$, фаза сигнала инвертируется.

Транспроводимость зависит линейно от превышения порогового напряжения напряжением на затворе (овердрайва). В то же время, ток транзистора в режиме насыщения зависит квадратично от того же самого превышения напряжения:

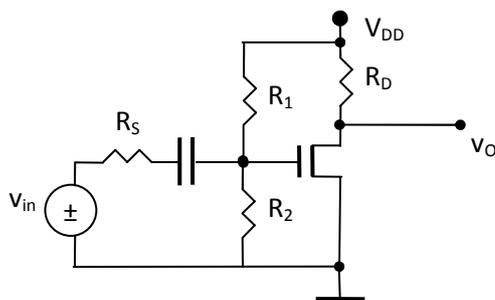
$$I_D = (1/2)\mu_n C_{ox}(W/L)(V_{GS} - V_{thresh})^2$$

Поэтому транспроводимость пропорциональна корню квадратному из тока транзистора:

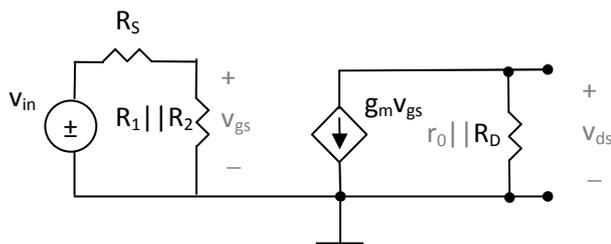
$$g_m = \sqrt{2\mu_n C_{ox}(W/L)} \cdot \sqrt{I_D}$$

Схема с общим истоком

Рассмотрим практические реализации схем усилителей на полевых транзисторах. Смещение в цепи затвора можно обеспечить без дополнительного источника, с помощью делителя напряжения:



Заменяем транзистор эквивалентной схемой в приближении слабого сигнала:



$$v_{gs} = \{(R_1 || R_2) / (R_S + (R_1 || R_2))\} v_{in}$$

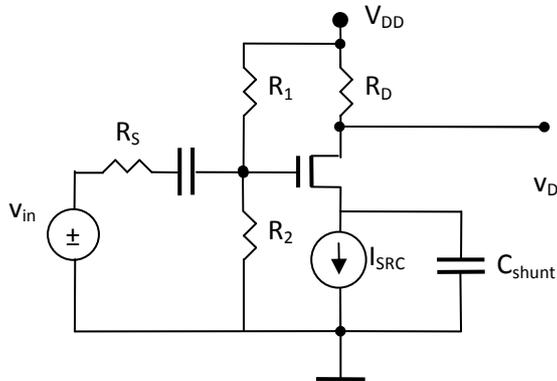
$$v_{ds} = (r_o || R_D) (-g_m v_{gs})$$

$$v_{ds} = -g_m (r_o || R_D) (R_1 || R_2) / (R_S + (R_1 || R_2)) v_{in}$$

$$\text{Коэффициент усиления сигнала } A = -g_m [(R_1 || R_2) / (R_S + (R_1 || R_2))] (r_o || R_D).$$

При фиксированной транспроводимости, коэффициент усиления можно увеличить за счет увеличения сопротивления нагрузки, но внешнее сопротивление нагрузки включено параллельно с r_o , и эффективное сопротивление нагрузки ограничено значением r_o . С другой стороны, увеличение R_D смещает рабочую точку на характеристики с меньшим значением тока I_D . Коэффициент усиления пропорционален транспроводимости, транспроводимость

пропорциональна корню квадратному из тока. Увеличения коэффициента усиления можно добиться, задав смещение (постоянную составляющую тока через транзистор) с помощью источника тока. Этот источник включается в цепи истока. Внутреннее сопротивление реального источника тока хоть и не бесконечно, но значительно. Чтобы не возникало отрицательной обратной связи по сигналу, источник шунтируется конденсатором достаточной емкости:



Потенциал на затворе задается делителем R_1/R_2 . Поскольку по постоянному току цепь истока разомкнута, потенциал истока может (и должен) установиться в значение, обеспечивающее разность потенциалов, необходимую для поддержания тока I_{SRC} через транзистор.

Транспроводимость g_m пропорциональна корню квадратному из тока через транзистор. Коэффициент пропорциональности от схемы не зависит, а зависит только от устройства транзистора:

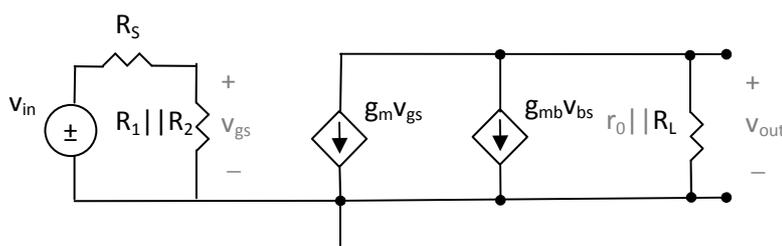
$$g_m = \sqrt{2\mu_n C_{ox}(W/L) \cdot \sqrt{I_D}}; \text{ в данной схеме } I_D = I_{SRC}$$

Поэтому, для данного транзистора, током I_{SRC} мы можем задать любую транспроводимость, а, следовательно, любой коэффициент усиления.

Схема с общим стоком

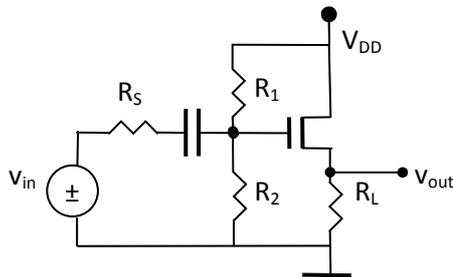
Через схему с общим стоком нагрузку с низким импедансом можно подключать к маломощному источнику – например, реле регулятора температуры к выходу терморпары.

В схеме с общим истоком мы учитывали эффект модуляции длины канала введением сопротивления r_0 параллельно зависимому источнику. В схеме с общим стоком при определенном значении параметров существенное влияние на коэффициент усиления оказывает эффект подложки. Вкратце, эффект объясняется тем, что при определенном значении параметров четвертый терминал, подложка, начинает работать как затвор, давая вклад до 30% в транспроводимость транзистора (back-gate effect). В модели этот эффект учитывается зависимым источником с транспроводимостью g_{mb} :

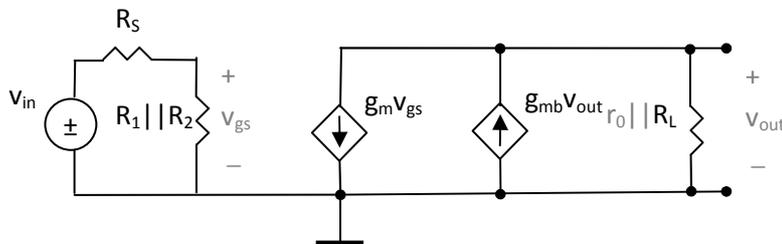


Эффект подложки сказывается и на режиме по постоянному току, и на коэффициенте усиления сигнала.

Рассчитаем коэффициент усиления схемы с общим стоком в режиме насыщения:



В микросхемах, подложка подключена к общей точке. В схеме с общим стоком падение напряжения между подложкой (body) и истоком (source) $v_{bs} = v_{out}$, а поскольку транзистор работает в режиме насыщения, падение напряжения затвор-исток имеет знак, противоположный знаку падения напряжения исток-подложка. Эквивалентная схема в приближении слабого сигнала:



Из KCL:

$$v_{out}/(r_o \parallel R_L) = g_m v_{gs} - g_{mb} v_{out}$$

$$v_{gs} = v_{in} - v_{out}$$

$$v_{out}/v_{in} = g_m / (g_m + g_{mb} + 1/r_o \parallel R_L)$$

Если сопротивления r_o и R_L достаточно велики, а g_{mb} (транспроводимость с "черного хода") мала, коэффициент усиления схемы с общим стоком может быть весьма близок к единице.

Выходное сопротивление:

$$R_{out} = \left[\frac{\partial v_{out}}{\partial i_{out}} \right]_{v_{gs} = const} = \frac{1}{g_m + g_{mb} + \frac{1}{(R_L \parallel r_o)}}$$

Чтобы выходное сопротивление было мало, должна быть велика сумма подключенных параллельно проводимостей. Коэффициент усиления схемы должен быть близок к единице, поэтому g_{mb} должна быть мала, а r_o и R_L достаточно велики. Выходное сопротивление с ростом g_m уменьшается, стремясь к нулю как $1/g_m$.

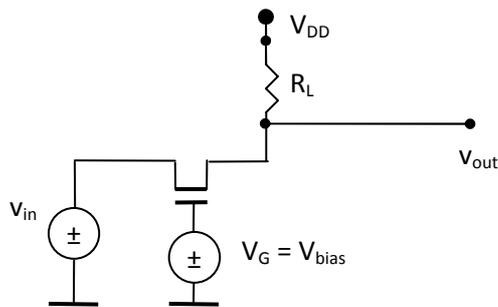
Если ток в цепи транзистора задается источником тока, коэффициент усиления в приближении слабого сигнала получается из выражения для схемы с сопротивлением в цепи истока, в которой величину этого сопротивления надо устремить к бесконечности (сопротивление идеального

источника тока бесконечно велико). Выражение для зависимости транспроводимости g_m от тока через транзистор не меняется, поскольку оно зависит только от устройства (транзистора):

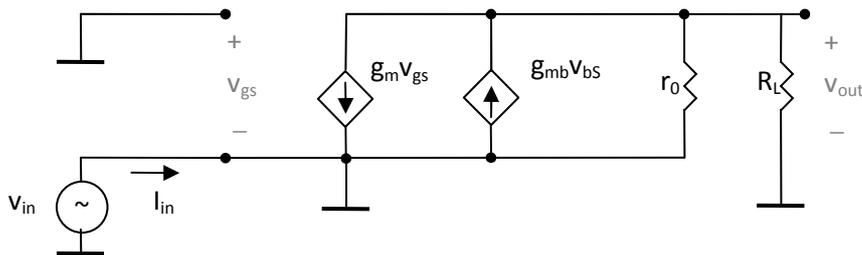
$$g_m = \sqrt{2\mu_n C_{ox}(W/L)} \cdot \sqrt{I_D}.$$

Схема с общим затвором

В схеме с общим затвором входной сигнал может быть и напряжением, и током, поскольку сигнал поступает на исток, а этот терминал потребляет ток.



В этой схеме исток не соединен с общей точкой; $V_{GS} = V_{bias} - v_{in}$. Чтобы работать как усилитель, транзистор должен находиться в режиме насыщения: $V_{GS} \geq V_{thresh}$, $V_{DS} \geq V_{DSAT}$. Схема замещения в приближении слабого сигнала:



Переменная составляющая напряжения на затворе $v_{gs} = -v_{in}$, переменная составляющая напряжения на истоке $v_s = -v_{in}$. Из KCL

$$v_{out}/R_L = g_m v_{in} + g_{mb} v_{in} + (v_{in} - v_{out})/r_0$$

$$v_{out}/v_{in} = (g_m v_{in} + g_{mb} v_{in} + 1/r_0) \cdot (r_0 \parallel R_L)$$

При достаточно большом сопротивлении модуляции длины канала r_0 входной ток

$$i_{in} = (g_m + g_{mb})v_{in}$$

и входное сопротивление $r_{in} = v_{in}/i_{in} = 1/(g_m + g_{mb})$.

Соответственно, транспроводимость, также в приближении достаточно большого сопротивления модуляции длины канала r_0 :

$$v_{out}/i_{in} \approx R_L$$

Выходной импеданс просто равен сопротивлению делителя тока r_0, R_L :

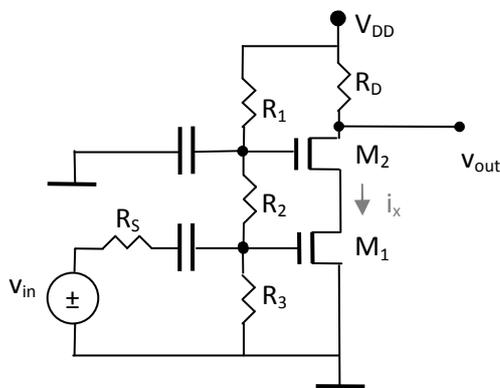
$$R_{out} = r_0 \parallel R_L$$

Каскод

Схема с общим истоком была бы лучшей из трех схем включения для усиления сигнала – коэффициент усиления по напряжению в этой схеме больше единицы и может быть очень большим. Но эффект Миллера сужает частотную полосу усилителя с общим истоком. Внутренняя емкость сток-затвор C_{GD} создает в усилителе отрицательную обратную связь и соответственно уменьшает коэффициент усиления на частотах $\approx (R_S \cdot g_m R_L \cdot C_{GD})^{-1} \approx (R_S \cdot A \cdot C_{GD})^{-1}$. Чем больше коэффициент усиления A , тем уже частотная полоса усилителя.

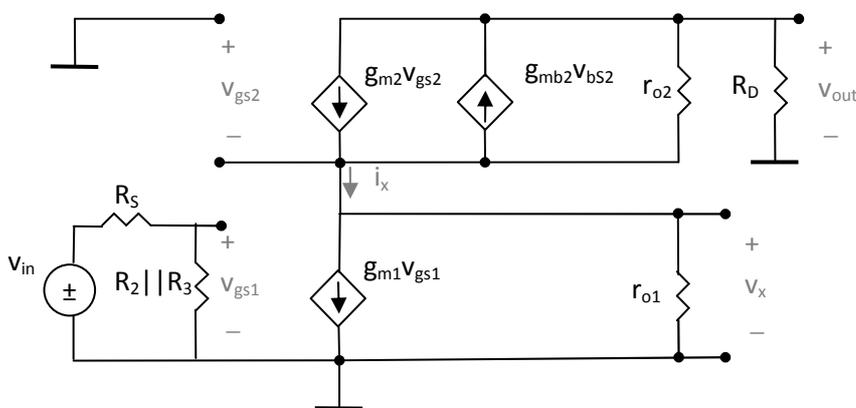
В схеме с общим затвором коэффициент усиления также может быть велик, и к тому же емкость C_{GD} работает лишь в качестве выходной нагрузки и не участвует в формировании обратной связи. Но по входному сопротивлению $r_{in} = 1/(g_m + g_{mb})$ эта схема уступает схеме с общим истоком.

Схема «каскод» (КАСКаД с общим катОдом) объединяет достоинства этих схем: большое входное сопротивление, большой коэффициент усиления, и подавление эффекта Миллера.



Нижний транзистор включен по схеме с общим истоком и имеет практически бесконечное входное сопротивление, определяемой током утечки затвора. Верхний транзистор включен по схеме с общим затвором – затвор этого транзистора по переменному току заземлен через конденсатор.

Эквивалентная схема каскода в приближении слабого сигнала:



$$V_{gs1} = V_{in} ; V_{gs2} = -V_x ; V_{bs2} = -V_x$$

$$\text{Вычисляем ток } i_x \text{ по каскаду с общим истоком: } i_x = g_{m1}V_{in} + V_x / r_{o1}$$

$$\text{Вычисляем ток } i_x \text{ по каскаду с общим затвором: } i_x = -g_{m2}V_x - g_{mb2}V_x + (V_{out} - V_x) / r_{o2}$$

Вычисляем ток i_x по нагрузке R_D : $i_x = -v_{out} / R_D$.

Коэффициент усиления

$$v_{out} / v_{in} = (v_{out} / i_x) \cdot (i_x / v_{in}) = -g_{m1}R_D (g_{m2}r_{o1} + g_{mb2}r_{o1} + r_{o1}/r_{o2}) / (g_{m2}r_{o1} + g_{mb2}r_{o1} + r_{o1}/r_{o2} + 1) \approx -g_{m1}R_D$$

Логические вентили

На сегодняшний день (последний 2008 года) подавляющее большинство транзисторов в мире – МОП-транзисторы, работающие в составе цифровых устройств: комбинационной логики, триггеров, регистров, etc. Существуют различные способы представления логических и цифровых данных с помощью электрических сигналов. Наиболее распространенный способ представления называется "КМОП логика". Аббревиатура КМОП при таком словоупотреблении используется как прилагательное, расшифровывается "комплементарная, металло-оксидно-полупроводниковая". Из схемы инвертора, базового элемента комплементарной логики, ясно, почему логика называется комплементарной:

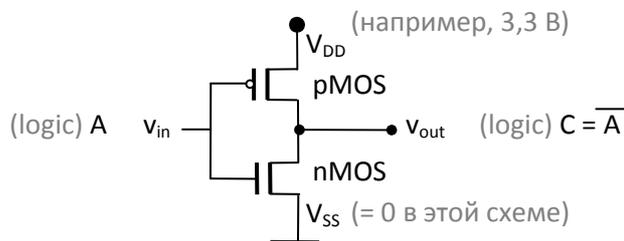


Схема состоит из двух транзисторов. Стоки обоих транзисторов подключены к выходу схемы, истоки подключены к шинам питания; исток nMOS-транзистора к V_{SS} , исток pMOS-транзистора к V_{DD} ($V_{DD} > V_{SS}$). Потенциал V_{SS} обычно принимается за нулевой. Пусть управляющее напряжение v_{in} принимает одно из двух значений, V_{DD} либо V_{SS} . При переключении уровня управляющего напряжения выход может омически подключаться к питанию (V_{DD}) через верхний транзистор (pull-up) или к V_{SS} через нижний транзистор (pull-down) – "тяни/толкай, push-pull cascade". Транзисторы при переключении логических уровней включаются/выключаются попеременно, "дополняют (complement)" один другой, потому тип логики и называется complementary. Канал нижнего транзистора n-типа (nMOS transistor), канал верхнего – p-типа (pMOS transistor). При изготовлении стараются обеспечить соответствие транзисторов в парах. Например, чтобы у полностью открытых транзисторы сопротивление каналов было одинаковое. Далее в тексте выбор соотношения размера каналов транзисторов в комплементарной паре (W_{pMOS}/W_{nMOS}) обсуждается подробнее.

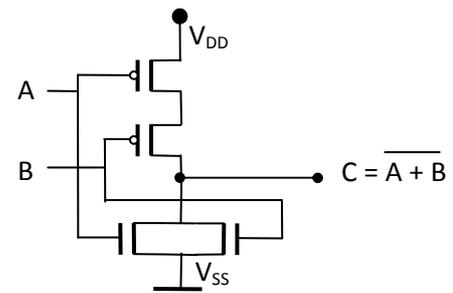
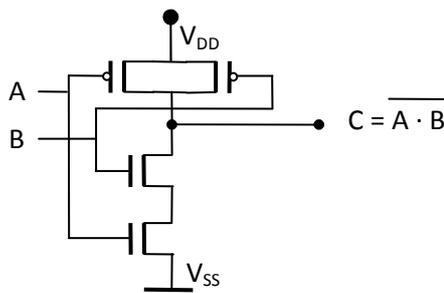
Вход схемы – соединенные затворы транзисторов. На затворы подается один и тот же сигнал. Пусть на входе нулевой потенциал (V_{SS}). При этом нижний транзистор (nMOS) не смещен, в канале нет носителей, сопротивление канала бесконечно – транзистор закрыт. На затворе верхнего транзистора также нулевой потенциал, но поскольку исток транзистора подключен к V_{DD} , транзистор смещен и открыт. Сток pMOS транзистора отрезан от V_{SS} (земли), так как закрыт nMOS транзистор; напряжение на стоке такое же, как на истоке. Выход подключен к V_{DD} через сопротивление канала pMOS транзистора.

Если на вход подан верхний уровень сигнала (V_{DD}), то верхний транзистор не смещен и закрыт. Нижний транзистор смещен и открыт, выход подключен к V_{SS} через сопротивление канала nMOS транзистора.

Если инвертор не нагружен, выходные уровни КМОП-инвертора совпадают с напряжением V_{DD} на истоке верхнего транзистора, когда открыт верхний транзистор и закрыт нижний, и с напряжением V_{SS} на истоке нижнего транзистора, когда открыт нижний транзистор и закрыт верхний. Для определенности состояние с напряжением V_{DD} пусть будет логическая единица (1), состояние с напряжением V_{SS} пусть будет логический нуль (0). В обозначениях шин питания индекс D от drain, индекс S от source, привязка к роли шин для nMOS транзисторов.

По сути, простейшая КМОП-овская логическая ячейка есть два транзистора, включенные по схеме с общим истоком. Схема с общим истоком инвертирует сигнал. Базовый для КМОП-логики логический элемент есть инвертор. Схемы для выполнения логических операций И / ИЛИ можно рассматривать как развитие схемы инвертора. Проследим путь тока от выхода схемы логической ячейки до верхнего источника питания, V_{DD} . Встречающиеся по пути транзисторы называются pull-up-транзисторы. В схеме инвертора один такой транзистор. Проследим путь тока от выхода схемы логической ячейки до нижнего источника питания, V_{SS} . Встречающиеся по пути транзисторы называются pull-down-транзисторы. В схеме инвертора также один такой транзистор. В КМОП-логике pull-up-транзисторы суть pMOS транзисторы, pull-down-транзисторы суть nMOS транзисторы.

Для реализации схемы "логическое И" в схему инвертора добавляется еще одна комплементарная пара транзисторов. Нижние, nMOS-ные, транзисторы из обеих пар соединяются последовательно. Чтобы утянуть выход к нижнему потенциалу, надо открыть (в соответствии с выполняемой логической операцией) оба nMOS транзистора подачей высокого потенциала (логической единицы) на их затворы. Верхние, pMOS-ные, транзисторы для данных значений входных термов могли бы быть соединены и последовательно, и параллельно – оба транзистора закрыты, и при любом подключении выход получается отрезанным от V_{DD} . Но если один из входов – логический нуль, выход должен быть подключен в V_{DD} и отрезан от V_{SS} , ведь выполняется логическая операция $C = \neg(A \cdot B)$. Последовательное включение нижних транзисторов обеспечивает отсечение выхода от V_{SS} при закрытии любого из этих транзисторов. Чтобы выход подключался к V_{DD} при открытии любого верхнего транзистора, верхние транзисторы должны быть соединены параллельно. Дуальность нижней (pull-down) и верхней (pull-up) частей схемы вытекает из законов де Моргана: $\neg(A \cdot B) = (\neg A + \neg B)$. Транзисторы – переключатели. Нижние переключатели замкнуты, когда на входе 1 (A). Верхние переключатели замкнуты, когда на входе 0 ($\neg A$). Для выполнения логической операции 2И-НЕ, нижние переключатели надо соединять последовательно ($A \cdot B$), затем инвертировать ($\neg(A \cdot B)$); верхние переключатели управляются инвертированными входами, поэтому их надо соединять параллельно ($\neg A + \neg B$). Бинарная операция и отрицание переставлены местами. Далее, если поменять местами логические операции, выполняемые секциями pull-up и pull-down, то, в соответствии с упоминавшейся формулой $(A \cdot B) = \neg(\neg A + \neg B)$, получится схема КМОП-элемента для выполнения логической операции 2ИЛИ-НЕ. Слева схема логической ячейки 2И-НЕ, справа схема логической ячейки 2ИЛИ-НЕ:



Обратите внимание на дуальность схем логических элементов для операций И/ИЛИ. Секция pull-up элемента И соответствует секции pull-down элемента ИЛИ, et vice versa.

Если терм логического выражения содержит несколько входных логических переменных, возникает несколько последовательно соединенных транзисторов в pull-up и/или в pull-down области. Сопротивления каналов открытых транзисторов при последовательном соединении суммируются; это сказывается на выходном сопротивлении логического элемента. Времена нарастания и времена спада сигналов на выходах логических элементов (см. далее) становятся неравными и непредсказуемыми. Приходится ограничивать количество термов в одном элементе и каскадировать элементы для реализации выражений с большим количеством термов. Схема одного логического элемента не должна содержать более 4-х последовательно соединенных транзисторов. Для дальнейшего выравнивания выходного сопротивления выход буферизуют двумя последовательно включенными инверторами.

Определим теперь границы по напряжению сигналов логического нуля и логической единицы для базового элемента, инвертора. Обозначения: V_{IL} верхняя граница напряжения на затворах, при котором верхний транзистор все еще считается закрытым, а нижний открытым (порог нуля на входе); V_{IH} нижняя граница напряжения на затворах, при котором нижний транзистор все еще считается закрытым, а верхний открытым (порог единицы на входе). Строго говоря, даже в области отсечки ток транзистора ненулевой (подпороговая область). Количественно значения V_{IL} и V_{IH} определяются далее, при рассмотрении передаточной характеристики по напряжению..

В комплементарной логике напряжения на выходе элемента, соответствующие нулю и единице, равны V_{SS} и V_{DD} , соответственно. В общем случае и выходные напряжения могут иметь разброс для логических сигналов. Соответствующие границы задаются параметром V_{OL} , верхняя граница допустимого выходного напряжения, соответствующего логическому нулю; и параметром V_{OH} , нижняя граница допустимого выходного напряжения, соответствующего логической единице.

Чтобы выходные сигналы одного вентиля могли быть входными логическими сигналами для другого вентиля, должны выполняться условия:

$$V_{OL} \leq V_{IL}$$

$$V_{OH} \geq V_{IH}$$

Работа схем сопровождается шумами различного происхождения – нежелательными и непредсказуемыми, вообще говоря, сигналами, накладывающимися на рабочие сигналы. Практически полезные схемы должны при этом оставаться работоспособными. Разница между соответствующими пороговыми напряжениями на выходах и на входах, $V_{IL} - V_{OL}$ и $V_{OH} - V_{IH}$, определяет эту шумовую выносливость. Этот параметр цифровых схем, связанный с типом логики (но не только!), называется помехозащищенность, noise margin, маржа по шумовым сигналам.

Для полуколичественного объяснения работы транзисторов в инверторе используем модель первого уровня. Потенциалы в формулах модели указаны по отношению к истоку, исток соединен с подложкой:

При $V_G \leq V_{on}$: $I_D = 0$ область отсечки, cut-off

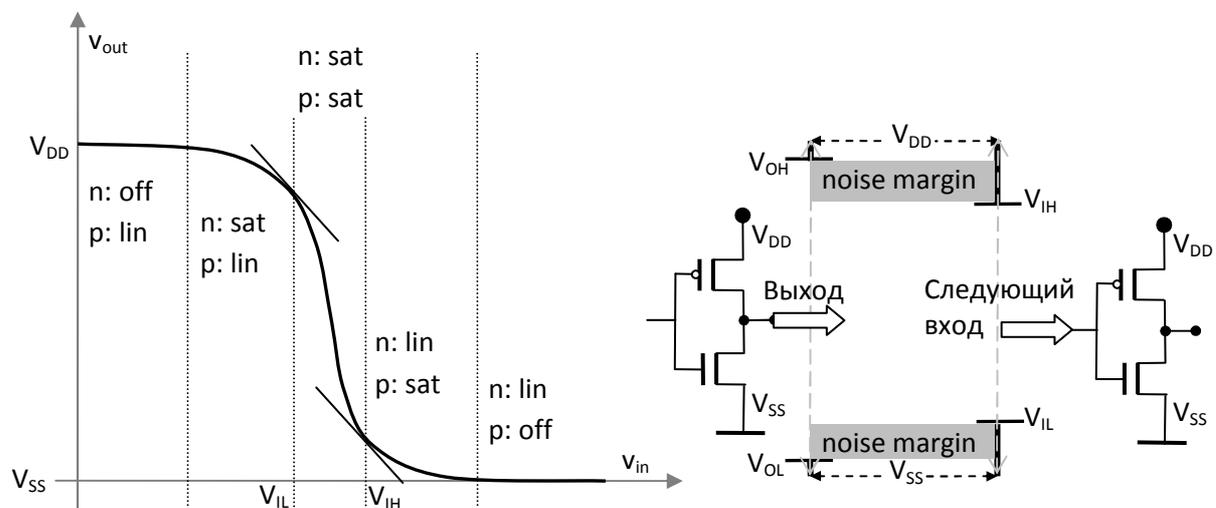
При $V_G \geq V_{thresh}$, $V_D \leq V_{DSAT}$: $I_D = \beta[V_G - V_{thresh} - V_D/2] V_D$ линейная область

При $V_G \geq V_{thresh}$, $V_D \geq V_{DSAT}$: $I_D = (\beta/2)(V_G - V_{thresh})^2$ область насыщения

Оценки величин в этом разделе будут проведены для 90-нм технологии. Пороговое напряжение $V_{thresh} = 500\text{mV}$, $\beta = 7 \cdot 10^{-4} \text{ A/V}^2$.

Закрытый транзистор комплементарной пары находится в режиме отсечки. При открывании, как только напряжение на затворе становится больше V_{thresh} для nMOS (меньше $V_{DD} - V_{thresh}$ для pMOS, потенциалы указываются по отношению к истоку nMOS) транзистор вначале переходит в режим насыщения ($V_D \geq V_{DSAT}$), а когда инвертор окончательно переходит в новое состояние, падение напряжения сток-исток становится нулевым. Проводящий транзистор остается в линейном (триодном) режиме ($V_D = 0 < V_{DSAT}$).

На диаграмме передаточной характеристики по напряжению (Voltage Transfer Characteristic, VTC) КМОП-инвертора указаны режимы pullup(pMOS)- транзистора и pulldown(nMOS)-транзистора комплементарной пары:

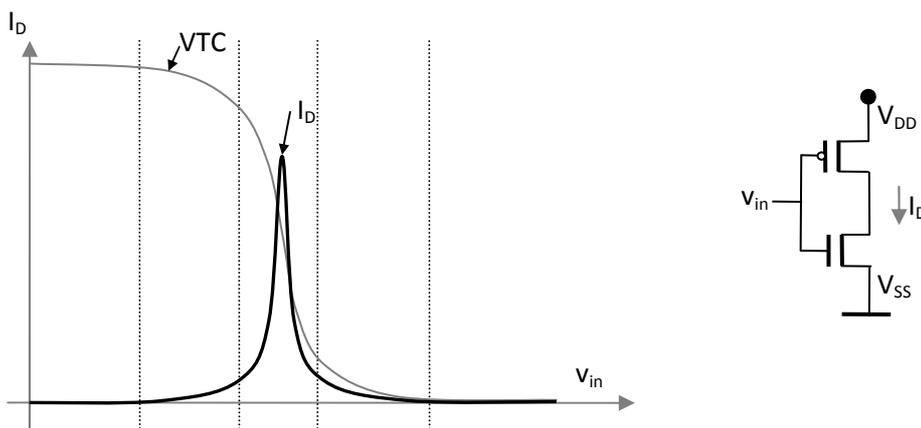


При прочих равных, симметричная VTC обеспечивает лучший показатель помехоустойчивости (noise margin). Подвижность дырок (носителей в pMOS) ниже, чем электронов (носителей в nMOS). При одинаковых размерах транзисторов и эквивалентных электрических режимах, сопротивление канала pMOS транзистора выше, чем сопротивление канала nMOS транзистора. Чтобы VTC была симметричной, площадь pMOS транзистора должна быть раза в три больше площади nMOS транзистора. Однако большая площадь означает большую емкость. Максимальное быстродействие достигается при отношении площадей pMOS/nMOS около двойки.

Для КМОП, $V_{OH} = V_{DD}$ и $V_{OL} = V_{SS}$, если в качестве нагрузки подключены только КМОП-элементы. Однако примите во внимание возможность подключения к нагрузке, потребляющей ток.

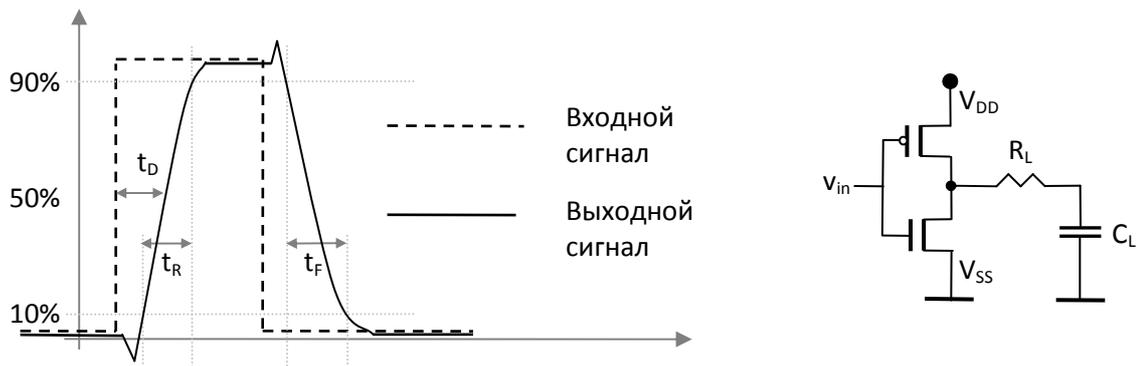
Инвертор КМОП – нелинейный усилитель. Коэффициент усиления максимальный в некоторой точке между уровнями V_{DD} и V_{SS} , и спадает практически до нуля при приближении к этим уровням. Чем больше коэффициент усиления в промежуточной области напряжений, тем быстрее значения напряжений на входе логического элемента при переключениях устанавливаются в значения уровней логических 0 и 1. Вместе с полезным сигналом, в цепях присутствуют шумы. Хорошо бы, чтобы шум не проникал со входа логического элемента на выход, но принципиально исключить такое проникновение невозможно. Самое большее, чего можно добиться – подавления шума благодаря удачной форме ВТС. Дифференциальный (по уровню напряжения) коэффициент усиления малого сигнала (шума) есть производная ВТС. Если выбрать пороги V_{IL} и V_{IH} равными значениям входного напряжения, в которых производная ВТС равна -1, то в областях напряжений, в которых выход логического элемента находится все время за исключением моментов переключения ($V_{IH} < V_{out} < V_{DD}$ ИЛИ $V_{IL} > V_{out} > V_{SS}$), коэффициент усиления шума будет меньше единицы.

В статическом состоянии через КМОП-вентиль не протекают токи и вентиль не потребляет мощность. Благодаря свойствам полевых транзисторов, КМОП-вентили потребляют мощность только при переходах из одного состояния в другое. Потребляемая мощность при переключении складывается из двух составляющих: потери при протекании сквозного тока и потери на перезарядку емкости на выходе. Для сквозного тока, максимальный ток потребляется, когда оба транзистора в режиме насыщения:



Задание: с помощью симулятора получите ВТС комплементарной пары; постройте зависимость тока от напряжения на входе.

Основные скоростные характеристики КМОП-инвертора – задержка переключения и время переключения из одного логического состояния в другое. **Задержка переключения t_D (delay time)** есть время, в течение которого величина сигнала проходит половину пути (по уровню значения) от старого значения к новому значению. **Время перехода между состояниями (transition time)** есть время, за которое сигнал изменяется от 10% до 90% своей максимальной величины при переключении от нуля к единице (**время нарастания/передний фронт/rise time, t_R**) и от 90% до 10% при переключении от единицы к нулю (**время спада/задний фронт/fall time, t_F**). На диаграмме слева – **формы сигналов (waveforms)**, справа – цепь, используемая при измерении скоростных характеристик КМОП-инвертора:



Формы сигналов представлены в упрощенном виде. В частности, входной сигнал показан с нулевыми временами нарастания и спада, чего практически не бывает: как правило, входной сигнал – это сигнал на выходе другого элемента. Схема замещения нагрузки также максимально упрощена. Правдоподобная деталь – выбросы на кривой выходного сигнала, соответствующие сквозному прохождению управляющего сигнала на выход, еще до того, как транзисторы начинают работать как таковые.

В этом анализе не вычисляется задержка инвертора в чистом виде; вычисляется суммарная задержка на инверторе и на нагрузке на выходе инвертора. Емкость и сопротивление нагрузки – это сопротивление канала открытого транзистора инвертора и емкость логического элемента, подключенного к инвертору, а также емкость и сопротивление соединения. Простейшая модель (τ -модель) сводит задержку к постоянной времени некоторой RC-цепочки.

При зарядке конденсатора интегрирующей цепочки от нуля половинное значение максимального напряжения достигается за время $\tau \cdot \ln(1/2) \approx 0.69 \cdot \tau$.

Для пессимистической оценки постоянной времени в τ -модели используем сопротивление канала nMOS транзистора в области насыщения (эта величина больше, чем сопротивление канала в линейной области):

$$(V_D/I_D)_{\text{nMOS@SAT}, V_D=3.3V} = V_D / \{(\beta_n/2)(V_G - V_{\text{thresh}})^2\} \approx 1K2 \quad (\text{nMOS@SAT: nMOS при НАСЫЩЕНИИ})$$

Подвижность дырок раза в три меньше подвижности электронов. Сопротивление канала pMOS транзистора комплементарной пары при одинаковых размерах соответственно больше сопротивления канала nMOS транзистора; более точная модель дает четырехкратное увеличение сопротивления. Для оценки примем, что размер транзисторов выбран так, чтобы кривая VTC была симметричной. Это означает равенство сопротивлений каналов.

Пренебрежем сопротивлением проводника, соединяющего выход со следующим элементом. Будем также считать, что вся емкостная нагрузка C_L состоит из емкости затворов C_{GiUnit} инвертора минимального размера.

Емкость MOS вычислим по размерам при 90-нм процессе и диэлектрической проницаемости двуокиси кремния. Фактор $3/2$ есть отношение ширины канала nMOS транзистора к длине, фактор $9/2$ есть то же самое для pMOS транзистора. Оценка грубая: используемая здесь аналитическая формула для MOS-конденсатора верна лишь для длинного канала ($>1\mu\text{m}$). В транзисторах 90-нм процесса необходимо учитывать эффекты короткого канала. Но τ -модель, для которой мы вычисляем параметры, тоже грубая модель.

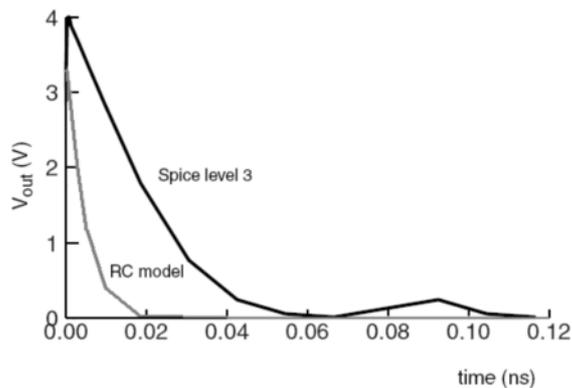
$$C_{GiUnit} = (\epsilon_{Ox}(W_n + W_p)L) / t_{Ox} = 3.9 \cdot 8.9 \cdot 10^{-21} \text{ F/nm} \cdot (3/2 + 9/2) \cdot 90 \text{ nm} \cdot 90 \text{ nm} / 1.2 \text{ nm}$$

$$= 3.9 \cdot 8.9 \cdot 10^{-21} \cdot (3/2 + 9/2) \cdot 90 \cdot 90 / 1.2 \approx 1.4 \text{ fF}$$

Подставляя оценки сопротивления и емкости в формулу τ -модели, получаем

$$t_D = 0.69 \cdot \tau = 0.69 \cdot 1.2 \cdot 10^{-3} \cdot 1.4 \cdot 10^{-15} \text{ s} = 1.2 \text{ ps}$$

Сравнение SPICE-симуляции для двух типов нагрузок, RC с вычисленными выше номиналами и точная SPICE-модель инвертора (0.5 μm процесс) показывает, что оценка задержки в τ -модели на порядок оптимистичнее, чем при "точной" симуляции:



Вместе с тем, RC-модель можно использовать для вычисления относительных величин задержек. С ее помощью можно, зная задержку для инвертора с транзисторами стандартных размеров, вычислить задержку для "масштабированного" (scaled) в определенных границах инвертора.

Развитие этой идеи привело к методике "логического усилия, logical effort" для расчета задержки при работе с логическими вентилями И/ИЛИ, содержащими характерные для КМОП транзисторные цепи с pull-up- и pull-down-секциями.

Logical effort

Из всех логических элементов КМОП-логики с транзисторами минимальных размеров, на нагрузку лучше всего работают инверторы. В схемах прочих логических элементов между выходом и шинами питания есть цепочки транзисторов, ухудшающие выходные нагрузочные характеристики по току и удлиняющие задержки при прохождении сигналов через эти элементы. На первый взгляд, схематика последовательно-параллельных соединений транзисторов делает выражения для нагрузочных характеристик специфическими для каждого логического элемента, но оказывается, что можно ввести своего рода "нормировку" на тип логического элемента и вывести формулы для вычисления времени задержки и нагрузочных параметров по виду реализуемой элементом логической операции.

Далее следует вводное изложение метода логического усилия. Предполагается, что для исчерпывающего изучения метода студент либо самостоятельно восстановит опущенные для краткости детали, либо обратится к литературе.

Прежде всего задержку логического элемента можно факторизовать, обособив вклады **процесса (технологии)** и схемной реализации логической операции:

$$t_D = d \cdot \tau$$

где τ есть абсолютная задержка инвертора (без учета паразитных элементов) для заданного процесса (технологии), а d есть безразмерная задержка вентиля, зависящая только от схемы реализуемой вентилем логической операции и от схемы включения вентиля в общую цепь.

Процесс	τ
0.6 μm	40.0 ps
180 nm	12.0 ps
90 nm	7.2 ps

Полная нормированная задержка d логического вентиля состоит из **паразитной задержки (parasitic delay) p** внутренних цепей инвертора и **задержки вследствие производимого усилия (effort delay)**, иначе, **усилия каскада (stage effort) f** :

$$d = f + p$$

Задержка усилия f также факторизуется. **Электрическое усилие (electrical effort) h** характеризует нагрузку на выходе вентиля; **логическое усилие (logical effort) g** характеризует топологию самого вентиля:

$$f = g \cdot h$$

Электрическое усилие:

$$h = C_{\text{out}} / C_{\text{in}}$$

C_{out} = емкость на выходе вентиля, C_{in} = входная емкость вентиля рассматриваемого типа. Это то, что называется **fan-out** (коэффициент ветвления, раздачи). Используемая здесь величина fan-out зависит от емкости нагрузки, и не сводится просто к количеству подключенных вентиляей, поскольку вентили могут иметь различные входные емкости. Численно это результат деления суммарной подключенной к выходу вентиля емкости на входную емкость вентиля, но по смыслу это вот что: сколько элементов, логически и электрически эквивалентных находящемуся в центре внимания вентилю, надо взять, чтобы получить емкостную нагрузку, равную суммарной подключенной к выходу вентиля нагрузке? Что значит: h выражает нагрузку вентиля в единицах нагрузки, производимой входом рассматриваемого вентиля. Это количество может быть и дробным.

Логическое усилие g определяется схематикой реализуемой вентилем логической операции. Схематика проявляет себя через способ соединения транзисторов (параллельно или последовательно). Носители заряда (электроны / дырки) имеют различную подвижность. Для получения симметричной VTC, так же как и для оптимизации абсолютной задержки в элементе с транзисторами минимальных допускаемых технологией / процессом размеров (minimum size transistors), канал pMOS-транзистора надо делать шире канала nMOS-транзистора. Более широким каналом компенсируется меньшая подвижность дырок.

В методе логического усилия время задержки сводится к постоянной времени RC-цепочки. Сопротивление R сводится в основном к сопротивлению канала, емкость C – к емкости нагрузки. Прочие емкости и сопротивления учитываются паразитной задержкой. Для вычисления логического усилия, емкость нагрузки – это входная емкость следующего по схеме логического элемента. Определяемые сопротивлением каналов выходные токи и входные емкости логических элементов и входят в определение логического усилия:

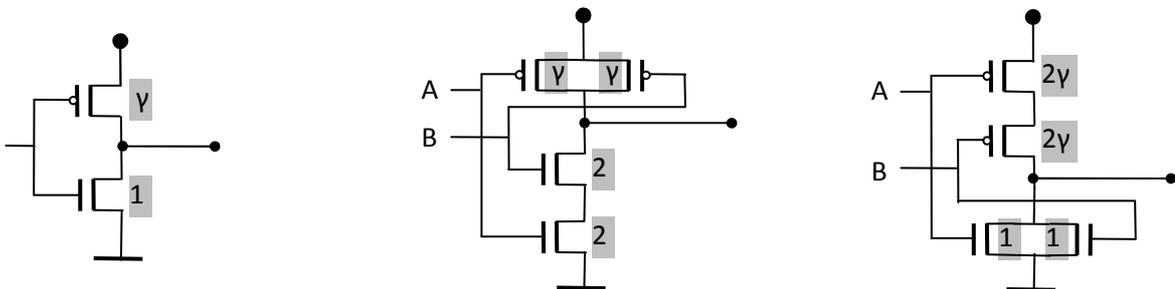
Логическое усилие логического элемента определяется как отношение выходного тока инвертора с входной емкостью, равной входной емкости рассматриваемого логического элемента, к выходному току рассматриваемого логического элемента.

Схемы для реализации логических операции содержат последовательно- и параллельно-соединенные транзисторы в pull-up- и pull-down-секциях. Если транзисторы в логических элементах такие же, как в инверторе, в секции с последовательным соединением транзисторов выходной ток элемента меньше, чем в соответствующей секции инвертора. К тому же, добавленные транзисторы увеличивают входную емкость. Сохранить входную емкость на уровне входной емкости базового инвертора можно лишь сужением канала. Ток транзистора с более узким каналом меньше. При любой топологии, нагрузочная способность логического элемента хуже, чем базового инвертора (если элемент не тождественен инвертору). Логическое усилие есть количественная мера уменьшения выходного тока вследствие усложнения схемы для реализации логической операции.

Контрольный вопрос: В рамках τ -модели (RC-модели), показать эквивалентность вышеприведенного и следующего определений логического усилия:

Логическое усилие логического элемента определяется как отношение входной емкости этого элемента к входной емкости инвертора, выдающего выходной ток, равный выходному току рассматриваемого логического элемента.

Исходя из этих определений, вычислим логические усилия для логических элементов НЕ, 2И-НЕ и 2ИЛИ-НЕ:

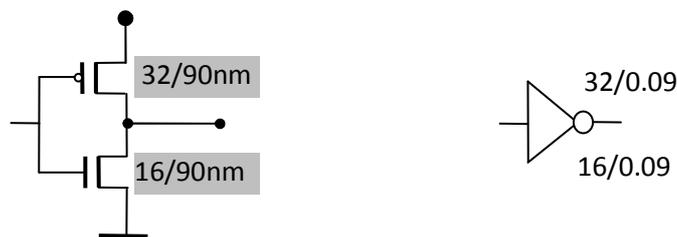


Для элемента НЕ (инвертора) логическое усилие по определению равно единице. На сером фоне – ширина канала транзистора по отношению к ширине канала nMOS-транзистора в базовом инверторе. Канал pMOS-транзистора в базовом инверторе в γ раз шире канала nMOS-транзистора. Значение γ зависит от процесса (технологии) и чего хотим добиться: максимальной помехоустойчивости (нужна симметричная VTC, $\gamma \approx 3$) или минимальной задержки ($\gamma \approx 2$). Далее, отношения ширин каналов nMOS- и pMOS-транзисторов в элементах 2И-НЕ и 2ИЛИ-НЕ к ширинам каналов соответствующих транзисторов базового инвертора выбраны так, чтобы выполнялось условие на выходной ток в соответствии со вторым определением логического усилия. Логические элементы в данном примере имеют по два входа. В секции с параллельным соединением транзисторов, ширину каналов транзисторов менять не надо. Этой ширины достаточно, чтобы сохранить значение выходного тока, даже при одном включенном транзисторе, равным выходному току соответствующей секции базового инвертора (при двух включенных транзисторах ток удвоится). А вот ширина каналов транзисторов в последовательной ветви должна быть удвоена, чтобы сопротивление ветви из двух последовательно соединенных

транзисторов осталось равным сопротивлению соответствующей ветви базового инвертора, содержащей единственный nMOS- или pMOS-транзистор.

Входная емкость элемента НЕ, базового инвертора, $= (\gamma+1)$; входная емкость элемента 2И-НЕ $= (\gamma+2)$; входная емкость элемента 2ИЛИ-НЕ $= (2\gamma+1)$. Согласно второму определению, логическое усиление элемента 2И-НЕ $= (\gamma+2)/(\gamma+1)$; логическое усиление элемента 2ИЛИ-НЕ $= (2\gamma+1)/(\gamma+1)$. При оптимизации инвертора по времени задержки, $\gamma=2$. В этом случае логическое усиление элемента 2И-НЕ $= 4/3$; логическое усиление элемента 2ИЛИ-НЕ $= 5/3$.

Транзисторы вентиля могут быть **масштабированы (scaled)**: увеличены по сравнению с минимальными размерами, по технологии в целое или полуцелое число раз. В микросхеме могут понадобиться инверторы с увеличенными размерами, способные работать на значительную нагрузку – например, в составе буфера вывода данных из микросхемы.



Справа инвертор изображен символом, используемым в цифровых схемах. В обозначении размера транзистора, второе число означает длину канала (0.09 μ), первое число означает отношение ширины канала к длине (слэш не означает дробь, просто обозначение). Инвертор с 32-кратным pMOS-транзистором и 16-кратным nMOS транзистором способен выдать в шестнадцать раз больше выходного тока, чем инвертор с транзисторами минимальных размеров (замечание: здесь $\gamma=2$). Входная емкость масштабированного инвертора также в шестнадцать раз больше. Электрическое усиление равно шестнадцати. В связи с этим возникает задача: можно ли обеспечить шестнадцатикратное увеличения мощности сигнала, и при этом получить время задержки меньшей величины, чем получается при незатейливом подключении инвертора с транзисторами минимальных размеров к инвертору с транзисторами шестнадцатикратного размера?

Согласно определению логического усиления, шестнадцатикратное замедление по сравнению с минимальным инвертором без нагрузки (семнадцатикратное, учитывая паразитики) получается потому, что выход минимального инвертора работает на вход шестнадцатикратного инвертора. Если между этими инверторами вставить четырехкратный инвертор, то развиваемое первым каскадом электрическое усиление составит 4:1 (вместо 16:1). Нормированная задержка $d = g \cdot h + p$ в первом инверторе (каскаде) составит 5. Второй инвертор мощнее первого в четыре раза, но и нагрузка (последний инвертор) в те же четыре раза больше. Поэтому нормированная задержка и во втором инверторе равна 5. Суммарная задержка на двух каскадах 10, что меньше значения 17, получающегося при прямой работе минимального инвертора на шестнадцатикратный инвертор. Само собой, при добавлении инверторов в разработанную ранее логику надо учитывать четность инверсий сигнала.

Итак, время задержки логического элемента факторизуется как произведение нормированной задержки d и единицы времени τ . Единица времени τ есть параметр, присущий процессу (технологии). Параметр τ определяется характеристиками базовых транзисторов (транзисторов

минимального размера), получаемых при данном процессе. **Нормированная задержка d** выражается через вклады логического усилия, электрического усилия и паразитной задержки:

$$d = g \cdot h + p$$

- **Паразитная задержка p** возникает из-за задержки в логическом вентиле, вносимой собственными емкостями вентиля, подключенными к выходу. Эти емкости в областях диффузии электродов (истока/стока) зависят от технологии. Величина этих емкостей примерно пропорциональна ширине транзисторов. Поэтому паразитная задержка, как и логическое усилие, не меняется при масштабировании транзисторов логического элемента. При оценке выходной емкости элемента учитываются только транзисторы, непосредственно подключенные к выходу.
- **Электрическое усилие $h = C_{out}/C_{in}$** учитывает емкость нагрузки C_{out} , и масштаб собственных транзисторов вентиля, поскольку этим масштабом определяется входная емкость C_{in} .
- **Логическое усилие g** отражает схемное решение логической операции, выполняемой вентиляем. Логическое усилие не меняется при масштабировании транзисторов логического элемента (интенсивная величина).

Разработчики микросхем с КМОП-логикой выделяют особую структурную единицу: инвертор с нагрузкой из четырех тождественных ему инверторов, называется **FO4** (fanout-of-four). Считается, что это представительный случай использования типичного инвертора. Задержка FO4 приводится в справочных данных. Вычислим нормированную задержку d инвертора FO4. Поскольку в нагрузке 4 инвертора, $C_{out} = 4 \cdot C_{in}$, и $h = 4$. Логическое усилие инвертора по определению равно единице, $g = 1$. Паразитная задержка, как отмечалось, зависит от технологии. Значение 1 для паразитной задержки базового инвертора правильно выражает порядок этой величины и часто используется для оценок, возьмем $p = 1$. Подставляя все параметры в формулу, получаем

$$d = g \cdot h + p = 1 \cdot 4 + 1 = 5.$$

Вернемся к примеру с пре-драйверами выходного буфера. Сколько инверторов надо добавлять для оптимизации задержки и как это делать? Оптимум достигается при равенстве задержек, вносимых каждым каскадом: ведь если произведение (варьируемых) чисел задано, то сумма этих чисел минимальна, когда эти числа равны между собой. Логические усилия добавляемых инверторов должны быть одинаковы и равны корню n -ой степени из требуемого усиления всей цепи, где n – кол-во каскадов. Далее, если каскадов будет больше, чем отношение задержки при прямом включении к задержке на минимальном инверторе, нагруженном на минимальный инвертор, то выигрыша в задержке определенно не будет. Оптимальное число инверторов ограничено упомянутым отношением.

Проектируется микросхема в 90nm процессе. Требуется обеспечить выходной ток буфера ввода/вывода 4 mA. Точное вычисление возможно в HSPICE при наличии модели, включающей данные о подвижности, пороговом напряжении и т.д. Но для оценки выходного тока базового инвертора можно ориентироваться на ток насыщения полевых транзисторов. Правдоподобное значение тока насыщения транзисторов в инверторе с транзисторами минимального размера при 90nm процессе $I_{DSAT} \approx 60 \mu A$. Сигнал по току надо увеличить в $4000/60 \approx 64$ раза. Коэффициент fan-out = 64. Нормированная задержка (один каскад, без промежуточных инверторов)

$$d = g \cdot h + p = 1 \cdot 64 + 1 = 65.$$

Вставим один инвертор. Получается два инвертора. Теперь достаточно иметь в каждом каскаде электрическое усилие 8 ($8 \cdot 8 = 64$). Нормированная задержка в одном каскаде

$$d = g \cdot h + p = 1 \cdot 8 + 1 = 9;$$

Суммарная задержка на двух каскадах 18.

Вставим еще один инвертор. При трех инверторах каждому достаточно обеспечить электрическое усилие 4. Нормированная задержка в одном каскаде

$$d = g \cdot h + p = 1 \cdot 4 + 1 = 5;$$

На трех каскадах $d + d + d = 15$.

Вставим три буфера. Получается четыре инвертора, каждый с электрическим усилением $2\sqrt{2}$. Нормированная задержка на одном каскаде

$$d = g \cdot h + p = 1 \cdot 2\sqrt{2} + 1 \approx 3.89;$$

На четырех каскадах $d = 15.3$; больше, чем при трех каскадах.

Оптимальное кол-во буферных инверторов для увеличения выходного тока в 64 раза при выполнении требования минимизации задержки равно двум. Выигрыш по времени задержки по сравнению с прямым подключением больше чем в четыре раза ($65/15$).

(Продолжение следует)