

Цифровой запоминающий осциллограф

Точнее только его управляющая часть. Кроме нее в состав прибора должны входить еще аналоговый тракт, нормирующий сигналы на входе аналого-цифрового преобразователя, собственно сам АЦП, буферные формирователи связи с компьютером по интерфейсу EPP, микросхемы статической памяти.

Осциллограф 2-х каналный, максимальная частота оцифровки - 50 МГц по обоим каналам. Имеет режимы однократной регистрации, когда данные сначала на выбранной скорости записываются в статическую память прибора (ограниченного объема - 64 К на канал в описываемом приборе), а затем, после остановки регистрации побайтово считываются в компьютер. Вторым режимом является режим самописца, когда одновременно с записью данных в память прибора с заданной постоянной скоростью (не максимальной) осуществляется асинхронное считывание данных из этой же памяти и их пересылка в компьютер. В данном случае ограничения на объем регистрируемых данных снимаются, но возникают ограничения на максимальную скорость регистрации без потери данных. Последняя не может превышать скорость считывания данных компьютером. С данным прибором PII-450 успевал считывать из осциллографа и записывать данные на жесткий диск на скорости до 50 000 выборок в секунду на канал (> 100 Кб в секунду через интерфейс EPP из-за необходимости чтения статуса осциллографа), но не всегда успевал отображать их на экране.

Публикуется работоспособная схема [sheme.ZIP](#), отлаженная в опытном образце, но не получившая серийного продолжения из-за разработки более высокочастотного прибора. Описываемая схема удобна для повторения потому, что собрана вся в одном чипе EPM3256ATC144-10, что уменьшает количество внешних соединений и упрощает проектирование платы. Для упрощения описания будем предполагать наличие достаточного опыта у читателя в части схемотехники, чтобы взяться за такое непростое дело, как цифровой запоминающий осциллограф. Для лучшего понимания работы узлов рекомендуется поочередно все их прогнать в симуляторе после индивидуальной компиляции.

Главным файлом проекта, выполненного в схемном редакторе, является "scope50.gdf".

Описание назначения внешних выводов:

"DataStb" – строб данных интерфейса EPP связи прибора с компьютером. Активный низкий уровень входного сигнала.

"CLK" - входной опорный тактовый сигнал осциллографа частоты 100 МГц. Из этой частоты формируются все другие меньшие частоты, необходимые для работы прибора.

"EPP_wr" – активный низкий уровень сигнала сопровождает пересылку адреса или данных из компьютера в прибор. Для осциллографа является входным.

"AdrStb" – строб адреса интерфейса EPP. Активный низкий уровень указывает, что по шине данных интерфейса передается байт адреса.

"Depp[7..0]" - двунаправленная шина данных интерфейса EPP связи прибора с компьютером. По ней передаются адреса регистров от компьютера к прибору и данные в обоих направлениях.

"J[4..0]" – Входы задания базового адреса прибора на шине EPP. Позволяет подключать одновременно более одного прибора к интерфейсу. Обращение производится к тому прибору, у которого код на входах J[4..0] совпадет с5-ю старшими битами запрошенного адреса.

"DA[7..0]" и "DB[7..0]" - параллельные шины выходных данных АЦП соответственно каналов А и В. В авторском варианте использовались АЦП типа AD9283.

"Comp_A", "Comp_B", "EXT_TR" – входы запуска регистрации (развертки) с аналоговых компараторов каналов А и В, а также входа внешнего запуска.

"P_out" – вход растянутого импульса со схемы интерполяции нониусов (схемы пропорциональной растяжки короткого импульса). Высокий уровень является разрешающим сигналом для счетчика нониуса.

"F_adc_A" и "F_adc_B" – выходные тактовые сигналы схемы для тактирования АЦП каналов А и В.

"P_r" – выходной короткий логический импульс с активным низким уровнем. Длительность импульса пропорциональна задержке фронта тактовой частоты в 50 МГц относительно выбранного фронта запуска.

"FE" – "Filter Enable" – разрешение фильтра нижних частот на входах аналоговых компараторов каналов А и В. Фильтр может оказаться полезным для наблюдении сигналов при наличии значительных высокочастотных составляющих.

"WE", "CS" – сигналы разрешения записи и выбора кристалла микросхем статической памяти, используемой для буферного хранения зарегистрированных данных.

"Wait" – сигнал подтверждения обмена по интерфейсу EPP связи осциллографа с компьютером. Обмен завершается при высоком уровне сигнала.

"OE_RAM" – сигнал активного низкого уровня разрешает чтение из микросхем статической памяти с предварительно сохраненными цифровыми отчетами входных сигналов.

"S[4..0]" – вспомогательная шина выходных сигналов, в авторском варианте используется для последовательной загрузки многоканальных ЦАПов управления сдвигами входных сигналов, порогов компараторов. Через нее также загружаются последовательно – параллельные регистры хранения текущего режима аналоговых трактов (тип входа, коэффициент передачи).

"A[15..0]" – шина адреса статического ОЗУ с временем цикла до 15 нс включительно.

"D[15..0]" – шина данных статического ОЗУ, служащего для буферного хранения регистрируемых данных. В авторском варианте использована одна микросхема ОЗУ с 16-ти битовой шиной данных и объемом 1 Мегабит.

"Out" – выходной сигнал управления внешним буфером типа 74хх245 шины данных интерфейса EPP. Низкий уровень сигнала переключает буфер на передачу из прибора.

Описание назначения внутренних соединений:

"Co1", "Co2" - коды выбора источника запуска триггера развертки. Может быть выбраны аналоговые компараторы каналов А или В, внешний логический сигнал или внутренний тактовый сигнал "u_05" (период 0.05 мкс) для запуска в режиме "авто" (независимо от наличия внешних сигналов запуска).

"Polarity" – сигнал выбора направления запускающего перепада с выбранного источника.

"Write" – собственно сам сигнал разрешения регистрации входных цифровых потоков по последовательным адресам ОЗУ.

“Write” – собственно сам сигнал разрешения регистрации входных цифровых потоков по последовательным адресам ОЗУ.

“FE” – (Filter Enable) сигнал управления внешними аналоговыми фильтрами низких частот на входах компараторов запуска в каналах А и В.

“Scroll” - Активный высокий уровень сигнала разрешает работу диспетчера доступа к ОЗУ для обеспечения прозрачного доступа для чтения при продолжающейся регистрации данных (режим самописца). Аппаратно обеспечивается корректное поведение прибора на частотах дискретизации до 1 000 000 выборок в секунду, однако на такой скорости данные невозможно прочитать средствами ПК через используемый интерфейс и будет происходить циклический обгон адресом записи адреса чтения а, значит, и потеря непрочитанных данных.

Вышеописанные сигналы запоминаются в приборе по команде записи в регистр команд - сигнал “R_com” (обращение по адресу база + 6).

“RA”, “RB”, “RC” - защелкнутые сигналом “stb_adr” младшие разряды адреса регистра для обращения. Однако указанных сигналов недостаточно для корректной работы нескольких устройств на шине. Одновременно защелкивается и сигнал “A_sel” соответствия старших разрядов адреса установленному на входах “J[4..0]” базовому адресу прибора. При соответствии адреса заданному диапазону в фазе обмена данными (строб “DataStb”) вырабатывается сигнал “St_ok” с активным низким уровнем, который и является разрешающим для выработки всех остальных стробов доступа к внутренним регистрам прибора.

“Shift” – строб записи в регистр управления внешними устройствами с последовательной загрузкой кодов.

“Freq” – строб выбора частоты регистрации и включения режима калибровки нониусов.

“CR” – (Counter Reset) – сигнал сброса предварительного делителя частоты на 5 (анахронизм, но оказался необходимым для начала работы после подачи питания на прибор).

“RQ” - запрос на доступ к прибору. Используется для выработки сигнала подтверждения обмена по ЕРР и запуска конечного автомата доступа к ОЗУ по чтению (при этом происходит переключение адресов со счетчика записи на счетчик чтения, само чтение и обратное переключение адресов).

“R_gam” – строб доступа к ОЗУ для чтения и выдачи текущего байта на шину данных интерфейса ЕРР.

“R_W” – анахронизм (видимо раньше считал его нужным). Достаточно иметь на нем логический “0”.

“High” – признак регистрации на максимальной частоте.

“Ft” – выбранная частота регистрации входного сигнала (частота выборок мгновенных значений).

“Calibr” – сигнал разрешения калибровки нониусов. Приводит к генерации в модуле “nonius” по положительному перепаду сигнала “ER”(enable read counter) на выводе “P_I” импульса калиброванной длительности, используемой для измерения минимального и максимального значения данного импульса в процессе нормальной работы.

“min_max” – выбор длительности генерируемого калибровочного импульса.

“u_05” – вспомогательная тактовая частота, используемая для формирования задержек.

“W_L”, “W_H”, “R_L”, “R_H” - стробы обращения к старшей или младшей группе регистров прибора по записи или для чтения. Младшую группу образуют младший и старший байты адреса записи, а также младший и старший байты адреса чтения, которые в нормальном режиме являются счетчиком количества тактов послезаписи (после запуска триггера развертки). В старшую группу входят регистры управления и статуса.

“C_reg” – строб защелкивания подготовленных данных в выходных регистрах для передачи по ЕРР. Обеспечивают работу прибора независимо от длительности обмена по интерфейсу.

“Latch” – стробы защелкивания входных логических уровней во внутренних регистрах. Обеспечивают независимость от разброса выходных задержек АЦП.

“C_ad” – тактовый сигнал счетчиков адреса. Имеет фиксированную фазу относительно сигналов доступа к памяти для инкрементирования счетчиков в неактивную часть периода.

“O_EW”, “O_ER” – сигналы разрешения счета соответственно счетчикам адреса записи и адреса чтения (послезаписи).

“MS0” – выбор младшего или старшего байта (соответствуют каналам А или В) при чтении из ОЗУ с 16-ти битовой организацией.

“W_R” – сигнал вывора типа доступа к памяти: запись (1) или чтение (0).

“TCW” и “TCR” - переполнения счетчиков записи и чтения соответственно. По окончании первого из них разрешается анализ выполнения условий запуска, по окончании второго – регистрация заканчивается, регистр команд сбрасывается. В режиме самописца действие последнего сигнала блокируется.

Описание функциональных блоков:

Итак, приступим к описанию составных модулей логической схемы. Напомню, что для доступа к содержимому любого элемента схемы достаточно щелкнуть по нему 2 раза левой кнопкой мыши. При этом откроется или схемотехнический образ выбранного элемента или его текстовое описание. Естественно, что должен быть установлен пакет "Max+plus II", желательно версии не ниже 10.1. Если же у Вас более старая версия, Вы не сможете скомпилировать проект для 3000 серии, и придется ограничиться какой либо другой (7000S, 7000A.....).

"_a_comp"

- модуль сравнения адреса для обращения с базовым адресом прибора, установленным внешними джамперами на входах J[4..0]. Базовый адрес в данном случае сравнивается со старшими 5 битами данных, передаваемых компьютером по шине ЕРР в цикле записи адреса (стробы AdrStb и Write - низкого уровня). При соответствии адреса базовому на выходе модуля появится логическая "1".

"contr_6"

- модуль формирования управляющих сигналов для доступа к статической памяти и управления счетчиками адресов (у нас их 2). Является по существу самым важным и сложным узлом в конструкции. В его обязанности входит обеспечение постоянной и равномерной скорости тактирования АЦП, записи в память, прозрачного доступа к ОЗУ в режиме самописца, обеспечение поочередного считывания сохраненных байтов данных обоих каналов. Состоит в свою очередь еще из 2 достаточно сложных по функциям узлов:

“reg_sm” – диспетчер доступа к ОЗУ. Вырабатывает сигналы тактирования циклов записи в память “Ft_gam” и сигнал подтверждения обмена “Wait”, переключает тип

“reg_sm” – диспетчер доступа к ОЗУ. Вырабатывает сигналы тактирования циклов записи в память “Ft_gam” и сигнал подтверждения обмена “Wait”, переключает тип доступа к ОЗУ “W_R”

“Clk0” – синхронизатор быстрых процессов. Обеспечивает корректное выполнение операций записи в ОЗУ и считывания из нее во всех режимах работы прибора.

“Clk_15d”

– мультиплексор выбора частоты тактирования с шагом 1-2-5. Обеспечивает выбор любой из 15 различных частот. Содержит в своем составе счетчики с дробным коэффициентом деления (2.5).

“nonius”

– схема формирования коротких импульсов, с длительностью пропорциональной задержке фронта тактового сигнала “ц_02” относительно сигнала запуска развертки и счетчик длительности этого импульса, пропорционально увеличенной внешней аналоговой схемой. Служит для реализации режима стробоскопа. Содержит также схемы формирования 2-х фиксированных длительностей.

“_c16dr”

- двойной 16-ти битовый счетчик со схемами доступа к любому байту для записи и считывания. Содержит также выходную защелку считываемого байта, мультиплексоры доступа к шине адреса и считываемому байту.

“d_out”

– модуль вывода данных. Содержит защелки регистрируемых данных и мультиплексор считываемых данных регистров старшей группы адресов прибора (данные из ОЗУ, счетчик нониуса, регистр статуса).

Вот вкратце и все. Хотелось бы в заключение заметить, что указанная схема не обладает исключительными параметрами в части формирования нониусных интервалов – измеренная нестабильность задержки начала формируемого импульса достигала ± 1 нС. Для уменьшения этой нестабильности схему формирования нониусов желательно вынести из столь загруженного чипа.