

PIC18FXX2

Однокристальные 8-разрядные FLASH CMOS
микроконтроллеры с 10 – разрядным АЦП
компании Microchip Technology Incorporated

- PIC18F242
- PIC18F252
- PIC18F442
- PIC18F452

Часть 9
(Модуль АЦП, модуль LVD)

Перевод основывается на технической документации DS39564A
компании Microchip Technology Incorporated, USA.

© ООО «Микро-Чип»
Москва - 2003

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения
ООО «Микро-Чип»
тел. (095) 737-7545
www.microchip.ru

PIC18FXX2 Data Sheet

High Performance, Enhanced FLASH Microcontrollers with 10-Bit A/D

Trademarks: The Microchip name, logo, PIC, PICmicro, PICMASTER, PIC-START, PRO MATE, KEELOQ, SEEVAL, MPLAB and The Embedded Control Solutions Company are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries.

Total Endurance, ICSP, In-Circuit Serial Programming, Filter-Lab, MXDEV, microID, *FlexROM*, *fuzzyLAB*, MPASM, MPLINK, MPLIB, PICDEM, ICEPIC, Migratable Memory, FanSense, ECONOMONITOR and SelectMode are trademarks of Microchip Technology Incorporated in the U.S.A.

Serialized Quick Term Programming (SQTP) is a service mark of Microchip Technology Incorporated in the U.S.A.

All other trademarks mentioned herein are property of their respective companies.

28/40-выводные высокоскоростные FLASH микроконтроллеры с 10-разрядным АЦП

Высокоскоростной RISC микроконтроллер:

- Оптимизированная архитектура и система команд для написания программ на языке C
- Система команд совместима с командами семейств PIC16C, PIC17C и PIC18C
- Линейное адресное пространство памяти программ 32кбайта
- Линейное адресное пространство памяти данных 1.5кбайт

Устройство	Память программ		Память данных (байт)	EEPROM память данных (байт)
	Flash (байт)	Команд		
PIC18F242	16к	8192	768	256
PIC18F252	32к	16384	1536	256
PIC18F442	16к	8192	768	256
PIC18F452	32к	16384	1536	256

- Быстродействие до 10MIPS:
 - Тактовая частота от DC до 40МГц
 - Частота генератора с вкл. PLL от 4МГц до 10МГц
- 16-разрядные команды, 8-разрядные данные
- Система приоритетов прерываний
- Аппаратное умножение 8x8 за один машинный цикл

Характеристика периферийных модулей:

- Высокая нагрузочная способность портов ввода/вывода
- Три входа внешних прерываний
- Модуль TMR0: 8/16-разрядный таймер/счетчик с программируемым 8-разрядным предделителем
- Модуль TMR1: 16-разрядный таймер/счетчик
- Модуль TMR2: 8-разрядный таймер/счетчик с 8-разрядным регистром периода (основной для ШИМ)
- Модуль TMR3: 16-разрядный таймер/счетчик
- Вторичный генератор тактового сигнала на основе TMR1/TMR3
- Два модуля CCP
 - Выводы модуля CCP могут работать как:
 - 16-разрядный захват, максимальная разрешающая способность 6.25нс (ТСУ/16)
 - 16-разрядное сравнение, максимальная разрешающая способность 100нс (ТСУ)
 - ШИМ, разрядность от 1 до 10 бит, Максимальная частота ШИМ 156кГц@8 бит; 39кГц@10 бит

Характеристика периферийных модулей (продолжение):

- Модуль ведущего последовательного синхронного порта (MSSP)
 - 3-х проводной интерфейс SPITM (поддерживает 4 режима)
 - I2CTM (ведущий и ведомый режим)
- Адресуемый модуль USART, поддержка интерфейса RS-485 и RS-232
- Модуль PSP, ведомый параллельный порт

Аналоговые периферийные модули:

- Модуль 10-разрядного АЦП:
 - Высокая скорость преобразования
 - Работа модуля АЦП в SLEEP режиме микроконтроллера
 - $DNL = \pm 1Lsb$, $INL = \pm 1Lsb$
- Программируемый детектор пониженного напряжения (PLVD)
 - При обнаружении снижения напряжения возможна генерация прерываний
- Программируемый сброс по снижению напряжения питания

Особенности микроконтроллеров

- 100 000 гарантированных циклов стирание/запись памяти программ
- 1 000 000 гарантированных циклов стирание/запись EEPROM памяти данных
- Возможность самопрограммирования
- Сброс по включению питания (POR), таймер включения питания (PWRT), таймер запуска генератора (OST)
- Сторожевой таймер WDT с отдельным RC генератором
- Программируемая защита кода программы
- Режим пониженного энергопотребления и режим SLEEP
- Выбор режима работы тактового генератора, включая:
 - 4 x PLL (от основного генератора)
 - Вторичный генератор (32кГц)
- Внутрисхемное программирование по двухпроводной линии (ICSP) с одним напряжением питания 5В
- Внутрисхемная отладка по двухпроводной линии (ICD)

КМОП технология

- Высокоскоростная энергосберегающая КМОП технология
- Полностью статическая архитектура
- Широкий диапазон напряжений питания (от 2.0В до 5.5В)
- Промышленный и расширенный температурные диапазоны

Содержание

17. Модуль АЦП	3
17.1 Временные требования к подключению канала АЦП	6
17.2 Выбор источника тактовых импульсов для АЦП	8
17.3 Настройка аналоговых входов	8
17.4 Аналого-цифровое преобразование	9
17.5 Выравнивание результата преобразования	9
17.6 Использование триггера CCP2	10
18. Детектор пониженного напряжения LVD	11
18.1 Регистр управления	13
18.2 Работа модуля LVD	14
18.2.1 <i>Внутренний источник опорного напряжения</i>	15
18.2.2 <i>Ток потребления</i>	15
18.3 Работа модуля LVD в SLEEP режиме	15
18.4 Эффект сброса	15

17. Модуль АЦП

Модуль аналого-цифрового преобразования (АЦП) имеет пять каналов у PIC18F2x2 и восемь каналов у PIC18F4x2. Модуль АЦП имеет управляющие регистры ADCON0 и ADCON1, совместимые с модулями АЦП микроконтроллеров среднего семейства.

Входной аналоговый сигнал через коммутатор каналов заряжает внутренний конденсатор АЦП C_{HOLD} . Модуль АЦП преобразует напряжение, удерживаемое на конденсаторе C_{HOLD} в соответствующий 10-разрядный цифровой код методом последовательного приближения.

Для управления АЦП в микроконтроллере используется 4 регистра:

- Регистр результата ADRESH (старший байт)
- Регистр результата ADRESL (младший байт)
- Регистр управления ADCON0
- Регистр управления ADCON1

Регистр ADCON0 используется для настройки работы модуля АЦП, а с помощью регистра ADCON1 устанавливается, какие входы микроконтроллера будут использоваться модулем АЦП и в каком режиме (аналоговый вход или цифровой порт ввода/вывода).

Регистр 17-1. ADCON0: Управляющий регистр модуля АЦП

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/-DONE	-	ADON
Бит 7							Бит 0

бит 7-6 **ADCS1:ADCS0**: Выбор источника тактового сигнала (биты ADCON0 выделены **полужирным** шрифтом)

ADCON1 <ADCS2>	ADCON0 <ADCS1:ADCS0>	Тактовый сигнал АЦП
0	00	$F_{osc}/2$
0	01	$F_{osc}/8$
0	10	$F_{osc}/32$
0	11	F_{RC} (внутренний RC генератор модуля АЦП)
1	00	$F_{osc}/4$
1	01	$F_{osc}/16$
1	10	$F_{osc}/64$
1	11	F_{RC} (внутренний RC генератор модуля АЦП)

бит 5-3 **CHS2:CHS0**: Выбор аналогового канала

- 000 = канал 0, (AN0)
- 001 = канал 1, (AN1)
- 010 = канал 2, (AN2)
- 011 = канал 3, (AN3)
- 100 = канал 4, (AN4)
- 101 = канал 5, (AN5)
- 110 = канал 6, (AN6)
- 111 = канал 7, (AN7)

Примечание. В микроконтроллерах PIC18F2x2 все 8 каналов АЦП не реализованы. Номера не реализованных каналов АЦП зарезервированы. Не рекомендуется выбирать номер не реализованного канала АЦП.

бит 2 **GO/-DONE**: Бит статуса модуля АЦП

Если $ADON=1$

- 1 = модуль АЦП выполняет преобразование (установка бита вызывает начало преобразования)
- 0 = состояние ожидания (аппаратно сбрасывается по завершению преобразования)

бит 1 **Не используется**: читается как '0'

бит 0 **ADON**: Бит включения модуля АЦП

- 1 = модуль АЦП включен
- 0 = модуль АЦП выключен и не потребляет тока

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

Регистр 17-2. ADCON1: Управляющий регистр модуля АЦП

R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	ADCS2	-	-	PCFG3	PCFG2	PCFG1	PCFG0
Бит 7				Бит 0			

бит 7 **ADFM**: Формат сохранения 10-разрядного результата
 1 = правое выравнивание, 6 старших бит ADRESH читаются как '0'
 0 = левое выравнивание, 6 младших бит ADRESL читаются как '0'

бит 6 **ADCS2**: Выбор источника тактового сигнала (биты ADCON1 выделены **полужирным** шрифтом)

ADCON1 <ADCS2>	ADCON0 <ADCS1:ADCS0>	Тактовый сигнал АЦП
0	00	$F_{Osc}/2$
0	01	$F_{Osc}/8$
0	10	$F_{Osc}/32$
0	11	F_{RC} (внутренний RC генератор модуля АЦП)
1	00	$F_{Osc}/4$
1	01	$F_{Osc}/16$
1	10	$F_{Osc}/64$
1	11	F_{RC} (внутренний RC генератор модуля АЦП)

бит 5-4 **Не используются**: читаются как '0'

бит 3-0 **PCFG3:PCFG0**: Управляющие биты настройки каналов АЦП

PCFG <3:0>	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0	V_{REF+}	V_{REF-}	Кан./ V_{REF}⁽²⁾
0000	A	A	A	A	A	A	A	A	V _{DD}	V _{SS}	8/0
0001	A	A	A	A	V _{REF+}	A	A	A	AN3	V _{SS}	7/1
0010	D	D	D	A	A	A	A	A	V _{DD}	V _{SS}	5/0
0011	D	D	D	A	V _{REF+}	A	A	A	AN3	V _{SS}	4/1
0100	D	D	D	D	A	D	A	A	V _{DD}	V _{SS}	3/0
0101	D	D	D	D	V _{REF+}	D	A	A	AN3	V _{SS}	2/1
011x	D	D	D	D	D	D	D	D	-	-	0/0
1000	A	A	A	A	V _{REF+}	V _{REF-}	A	A	AN3	AN2	6/2
1001	D	D	A	A	A	A	A	A	V _{DD}	V _{SS}	6/0
1010	D	D	A	A	V _{REF+}	A	A	A	AN3	V _{SS}	5/1
1011	D	D	A	A	V _{REF+}	V _{REF-}	A	A	AN3	AN2	4/2
1100	D	D	D	A	V _{REF+}	V _{REF-}	A	A	AN3	AN2	3/2
1101	D	D	D	D	V _{REF+}	V _{REF-}	A	A	AN3	AN2	2/2
1110	D	D	D	D	D	D	D	A	V _{DD}	V _{SS}	1/0
1111	D	D	D	D	V _{REF+}	V _{REF-}	D	A	AN3	AN2	1/2

A = аналоговый вход D = цифровой канал ввода/вывода

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

Источник верхнего и нижнего опорного напряжения может быть программно выбран с выводов V_{DD} , V_{SS} , $RA3/AN3/V_{REF+}$ и $RA2/AN2/V_{REF-}$.

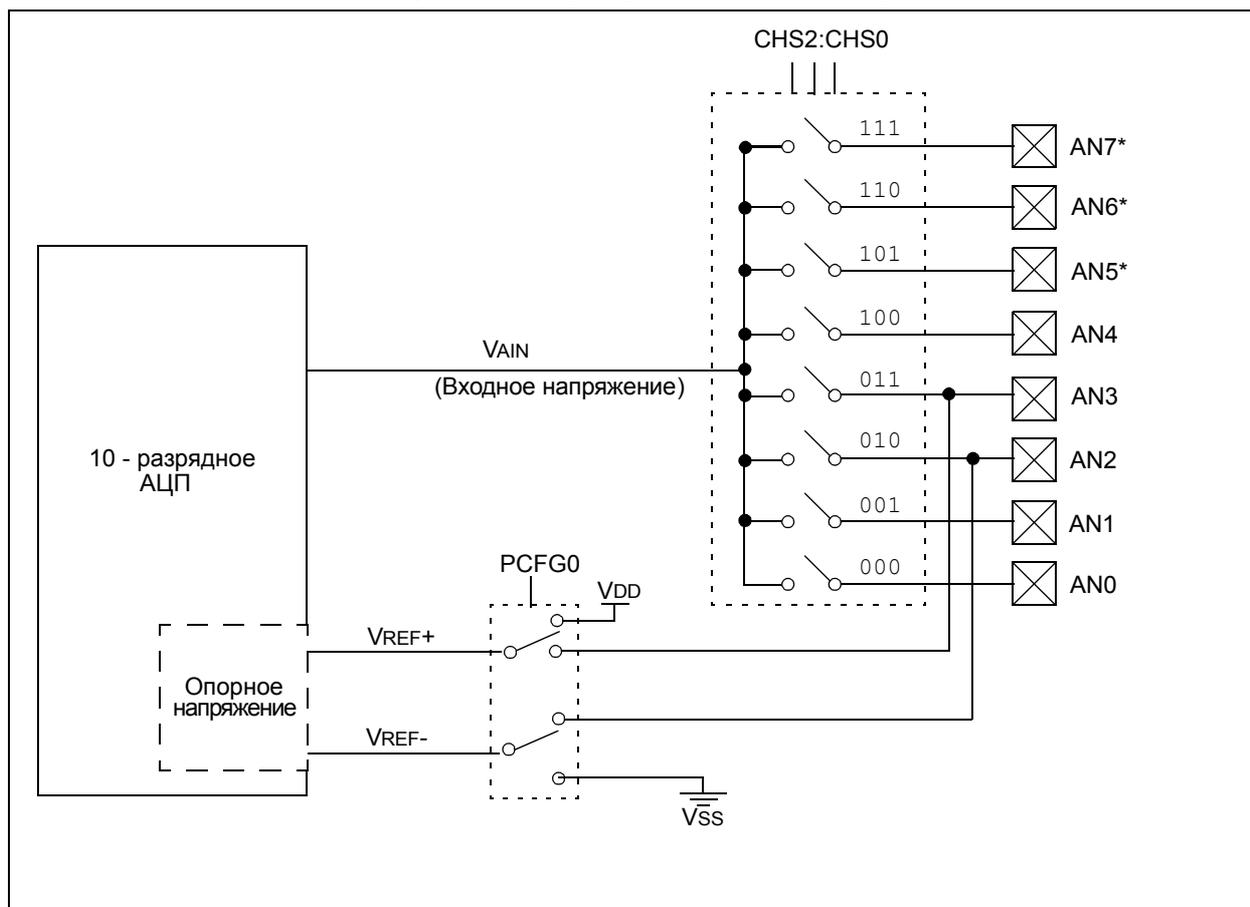
Допускается работа модуля АЦП в SLEEP режиме микроконтроллера, при этом в качестве источника тактовых импульсов для АЦП должен быть выбран RC генератор АЦП.

При сбросе микроконтроллера значения всех его регистров устанавливаются по умолчанию. Сброс выключает модуль АЦП, а также останавливает процесс преобразования, если он был начат.

Каждый канал порта, связанный с модулем АЦП, может быть настроен как аналоговый вход ($RA3$ и $RA2$ как входы опорного напряжения) или цифрового входа/выхода.

В регистре $ADRESH:ADRESL$ сохраняется 10-разрядный результат аналого-цифрового преобразования. Когда преобразование завершено, результат преобразования записывается в регистр $ADRESH:ADRESL$, после чего сбрасывается флаг $GO/DONE$ ($ADCON0<2>$) и устанавливается флаг прерывания $ADIF$. Структурная схема модуля АЦП показана на рисунке 17-1.

Рисунок 17-1. Структурная схема модуля АЦП



* Эти каналы не реализованы в микроконтроллерах PIC18F2х2.

Регистры ADRESH, ADRESL после сброса POR будут содержать неизвестное значение, а после остальных видов сброса не изменят своего значения.

После включения и конфигурации АЦП выбирается рабочий аналоговый канал. Соответствующие биты TRIS аналоговых каналов должны настраивать порт ввода/вывода на вход. Перед началом преобразования необходимо выдержать временную паузу, расчет которой приведен в разделе 17.1.

Рекомендованная последовательность действий для работы с АЦП:

1. Настроить модуль АЦП:
 - Настроить выходы как аналоговые входы, входы V_{REF} или цифровые каналы ввода/вывода (ADCON1)
 - Выбрать входной канал АЦП (ADCON0)
 - Выбрать источник тактовых импульсов для АЦП (ADCON0)
 - Включить модуль АЦП (ADCON0)
2. Настроить прерывание от модуля АЦП (если необходимо):
 - Сбросить бит ADIF в '0'
 - Установить бит ADIE в '1'
 - Установить бит PEIE в '1';
 - Установить бит GIE в '1'
3. Выдержать паузу, необходимую для зарядки конденсатора C_{HOLD}
4. Начать аналого-цифровое преобразование:
 - Установить бит GO/-DONE в '1' (ADCON0)
5. Ожидать окончания преобразования:
 - Ожидать пока бит GO/-DONE не будет сброшен в '0' ИЛИ
 - Ожидать прерывание по окончании преобразования
6. Считать результат преобразования из регистров ADRESH:ADRESL, сбросить бит ADIF в '0', если это необходимо.
7. Для следующего преобразования необходимо выполнить шаги начиная с пункта 1 или 2. Время преобразования одного бита определяется как время T_{AD} . Минимальное время ожидания перед следующим преобразованием должно составлять не менее $2T_{AD}$.

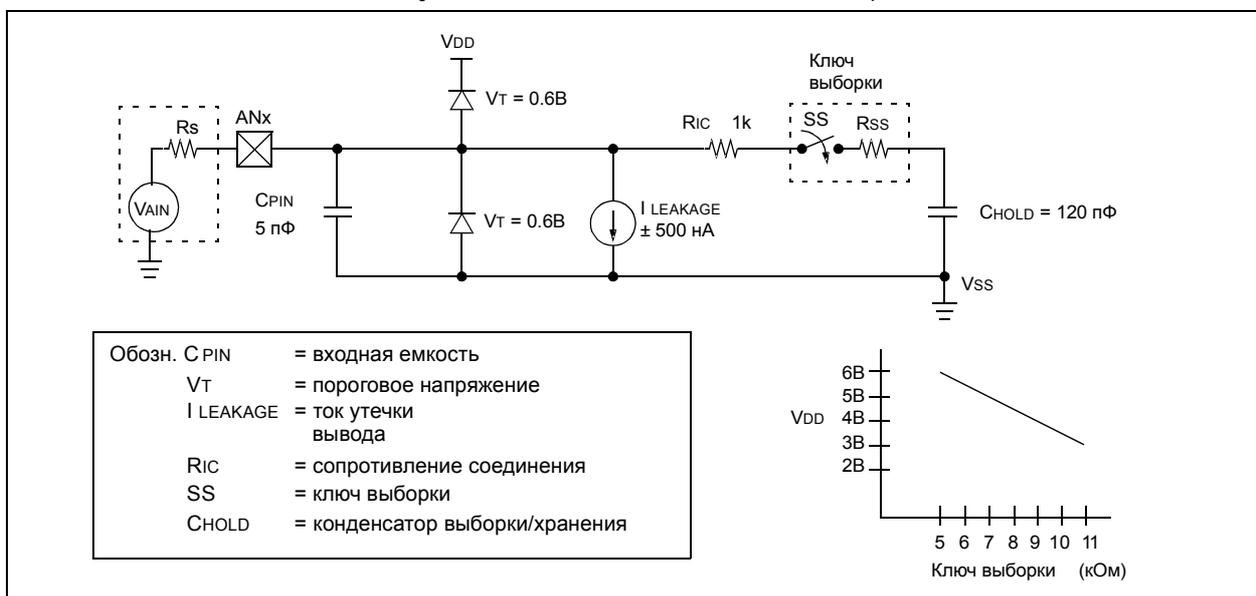
17.1 Временные требования к подключению канала АЦП

Для обеспечения необходимой точности преобразования, конденсатор C_{HOLD} должен успевать полностью заряжаться до уровня входного напряжения. Схема аналогового входа АЦП показана на рисунке 17-2. Сопротивления R_S и R_{SS} непосредственно влияют на время зарядки конденсатора C_{HOLD} . Величина сопротивления ключа выборки (R_{SS}) зависит от напряжения питания V_{DD} . **Максимальное рекомендуемое значение внутреннего сопротивления источника аналогового сигнала 2.5кОм.** При меньших значениях сопротивления источника сигнала - меньше суммарное время преобразования.

Примечание. Когда инициализировано преобразование АЦП, конденсатор C_{HOLD} отключен от аналогового входа.

После того, как будет выбран один из нескольких аналоговых входных каналов, но прежде, чем будет производиться преобразование, должно пройти определенное время. Для нахождения данного времени воспользуйтесь уравнением 17-1. Это уравнение дает результат с ошибкой в $\frac{1}{2} LSb$ (1024 шагов АЦП). Ошибка в $\frac{1}{2} LSb$, это максимальная погрешность, позволяющая функционировать модулю АЦП с необходимой точностью.

Рисунок 17-2. Схема аналогового входа АЦП



Уравнение 17-1. Вычисление временной задержки

$$T_{ACQ} = \text{Время задержки усилителя} + \text{Время заряда конденсатора } C_{HOLD} + \text{Температурный коэффициент}$$

$$= T_{AMP} + T_C + T_{COFF}$$

Уравнение 17-2 Минимальное время заряда конденсатора C_{HOLD}

$$V_{HOLD} = (V_{REF} - (V_{REF}/512)) \cdot (1 - e^{(-T_C / (C_{HOLD}(R_{IC} + R_{SS} + R_S)))})$$

$$T_C = -120 \text{ пФ} (1 \text{ кОм} + R_{SS} + R_S) \text{ Ln}(1/2047)$$

В примере 17-1 показано вычисление минимального значения времени T_{ACQ} . Вычисления основываются на следующих исходных данных:

C_{HOLD}	= 120 пФ
R_S	= 2.5 кОм
Ошибка преобразования	$\leq 1/2 \text{ Lsb}$
V_{DD}	= 5В $\rightarrow R_{SS} = 7 \text{ кОм}$
Температура	= 50°C (максимально возможная)
V_{HOLD}	= 0В @ t = 0

Пример 17-1 Вычисление минимального значения времени T_{ACQ}

$$T_{ACQ} = T_{AMP} + T_C + T_{COFF}$$

Температурный коэффициент необходимо использовать только при рабочей температуре более 25°C.

$$T_{ACQ} = 2 \text{ мкс} + T_C + [(Температура - 25^\circ\text{C})(0.05 \text{ мкс}/^\circ\text{C})]$$

$$T_C = -C_{HOLD} (R_{IC} + R_{SS} + R_S) \text{ Ln}(1/2047)$$

$$= -120 \text{ пФ} (1 \text{ кОм} + 7 \text{ кОм} + 2.5 \text{ кОм}) \text{ Ln}(0.0004885)$$

$$= -120 \text{ пФ} (10.5 \text{ кОм}) \text{ Ln}(0.0004885)$$

$$= -1.26 \text{ мкс} (-7.6241)$$

$$= 9.61 \text{ мкс}$$

$$T_{ACQ} = 2 \text{ мкс} + 9.61 \text{ мкс} + [(50^\circ\text{C} - 25^\circ\text{C})(0.05 \text{ мкс}/^\circ\text{C})]$$

$$= 11.61 \text{ мкс} + 1.25 \text{ мкс}$$

$$= 12.86 \text{ мкс}$$

17.2 Выбор источника тактовых импульсов для АЦП

Время получения одного бита результата определяется параметром T_{AD} . Для 10-разрядного результата требуется как минимум $12T_{AD}$. Параметры тактового сигнала для АЦП определяются программно, T_{AD} может принимать следующие значения:

- $2T_{OSC}$
- $4T_{OSC}$
- $8T_{OSC}$
- $16T_{OSC}$
- $32T_{OSC}$
- $64T_{OSC}$
- Внутренний RC генератор модуля АЦП (2-6мкс).

Для получения корректного результата преобразования необходимо выбрать источник тактового сигнала АЦП, обеспечивающий время T_{AD} не менее 1.6 мкс.

В таблице 17-1 указано максимальное значение тактовой частоты микроконтроллера для каждого режима синхронизирующего сигнала АЦП.

Таблица 17-1 Максимальное значение F_{OSC} , удовлетворяющее требованию к T_{AD}

Выбор T_{AD}		Максимальная F_{OSC}	
Режим	ADCS2:ADCS0	PIC18Fxx2	PIC18LFxx2
$2T_{OSC}$	000	1.25 МГц	666 кГц
$4T_{OSC}$	100	2.50 МГц	1.33 МГц
$8T_{OSC}$	001	5.00 МГц	2.67 МГц
$16T_{OSC}$	101	10.00 МГц	5.33 МГц
$32T_{OSC}$	010	20.00 МГц	10.67 МГц
$64T_{OSC}$	110	40.00 МГц	21.33 МГц
RC	011	-	-

Примечания:

1. Типовое значение времени T_{AD} RC генератора АЦП равно 4мкс для PIC18Fxx2 и 6мкс для PIC18LFxx2.
2. Когда тактовая частота микроконтроллера больше 1МГц, рекомендуется использовать RC генератор АЦП только для работы в SLEEP режиме.

17.3 Настройка аналоговых входов

Регистры ADCON1, TRISA и TRISE отвечают за настройку выводов АЦП. Если выводы микросхемы настраиваются как аналоговые входы, то при этом должны быть установлены соответствующие биты в регистре TRIS. Если соответствующий бит сброшен в '0', вывод микросхемы настроен как цифровой выход со значениями выходных напряжений V_{OH} или V_{OL} .

Модуль АЦП работает независимо от состояния битов CHS2:CHS0 и битов TRIS.

Примечания:

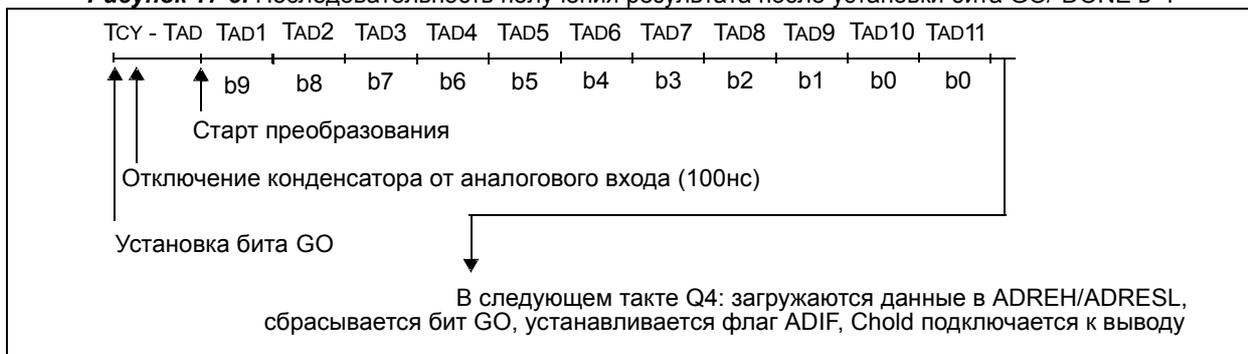
1. При чтении содержимого регистра порта нули будут установлены в тех разрядах, которые были настроены как аналоговые входы. Настроенные на цифровой вход каналы будут преобразовывать входные аналоговые уровни в цифровые, что не окажет влияния на точность преобразования.
2. Значения напряжений, подаваемых на выводы, настроены как аналоговые входы, включая выводы (AN7:AN0), могут влиять на ток потребления входного буфера, который может выйти за пределы значений, оговоренных в технической спецификации.

17.4 Аналого-цифровое преобразование

На рисунке 17-3 показана последовательность получения результата после установки бита GO/DONE в '1'. Сброс бита GO/DONE в '0' во время преобразования приведет к его прекращению. При этом регистры результата (ADRESH:ADRESL) не изменят своего содержимого. После досрочного завершения преобразования необходимо обеспечить временную задержку $2T_{AD}$. Выдержав требуемую паузу, можно начать новое преобразование установкой бита GO/DONE в '1'.

Примечание. Бит GO/DONE и бит включения АЦП должны устанавливаться разными командами.

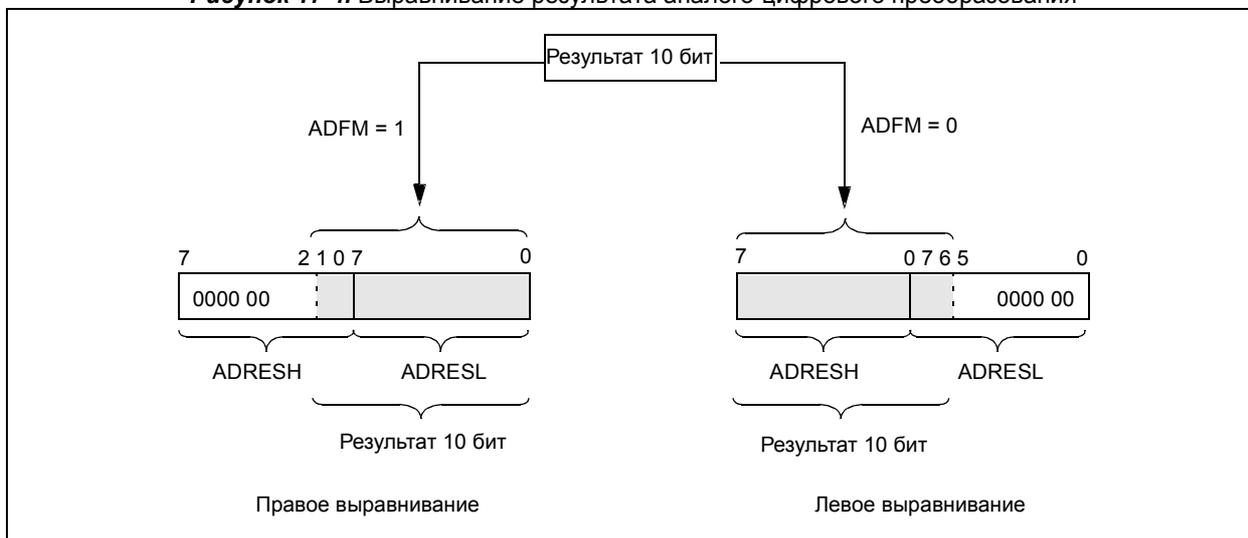
Рисунок 17-3. Последовательность получения результата после установки бита GO/DONE в '1'



17.5 Выравнивание результата преобразования

10-разрядный результат преобразования сохраняется в спаренном 16-разрядном регистре ADRESH:ADRESL. Запись результата преобразования может выполняться с правым или левым выравниванием, в зависимости от значения бита ADFM (см. рисунок 17-4). Не задействованные биты регистра ADRESH:ADRESL читаются как '0'. Если модуль АЦП выключен, то 8-разрядные регистры ADRESH и ADRESL могут использоваться как регистры общего назначения.

Рисунок 17-4. Выравнивание результата аналого-цифрового преобразования



17.6 Использование триггера CCP2

Аналого-цифровое преобразование может быть запущено при помощи "триггера специального события" модуля CCP2. Для этого необходимо, чтобы биты CCP2M3:CCP2M0 (CCP2CON<3:0>) были запрограммированы как 1011 и был включен модуль АЦП (бит ADON должен быть установлен в '1'). При срабатывании триггера бит GO/-DONE будет установлен в '1', тем самым, запуская преобразование, а содержимое таймера TMR1 (или TMR3) будет обнулено. Таймер сбрасывается и автоматически повторяет запуск преобразования через определенные промежутки времени. Пользователю необходимо будет только вовремя считывать содержимое регистров ADRESH:ADRESL. До начала преобразования необходимо выбрать соответствующий аналоговый канал, прежде чем "триггер специального события" вызовет установку бита GO/-DONE.

При выключенном модуле АЦП (бит ADON сброшен в '0') сигнал "триггера специального события" игнорируется, но таймер TMR1 (или TMR3) продолжает работать и сбрасываться.

Таблица 17-2. Регистры и биты, связанные с работой модуля АЦП

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	Значение после POR, BOR
FF2h	INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	0000 000x
F9Fh	IRP1	PSPIP	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP	0000 0000
F9Eh	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000
F98h	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000
FA2h	IRP2	-	-	-	EEIP	BCLIP	LVDIP	TMR3IP	CCP2IP	---1 1111
FA1h	PIR2	-	-	-	EEIF	BCLIF	LVDIF	TMR3IF	CCP2IF	---0 0000
FA0h	PIE2	-	-	-	EEIE	BCLIE	LVDIE	TMR3IE	CCP2IE	---0 0000
FC4h	ADRESH	Старший байт результата преобразования АЦП								xxxx xxxx
FC3h	ADRESL	Младший байт результата преобразования АЦП								xxxx xxxx
FC2h	ADCON0	ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/-DONE	-	ADON	0000 00-0
FC1h	ADCON1	ADFM	ADCS2	-	-	PCFG3	PCFG2	PCFG1	PCFG0	00-- 0000
F80h	PORTA	-	RA6	RA5	RA4	RA3	RA2	RA1	RA0	-x0x 0000
F89h	LATA	-	Регистр выходных данных							-xxx xxxx
F92h	TRISA	-	Регистр направления данных							-111 1111
F84h	PORE	-	-	-	-	-	RE2	RE1	RE0	---- -000
F8Dh	LATE	-	-	-	-	-	Регистр выходных данных			---- -xxx
F96h	TRISE	IBF	OBF	'SPMODE	-	-	Регистр направления данных			0000 -111

Обозначения: x = неизвестно; u = не изменяется; r = резерв; - = не реализован, читается как '0'.

Затененные ячейки на работу не влияют.

18. Детектор пониженного напряжения LVD

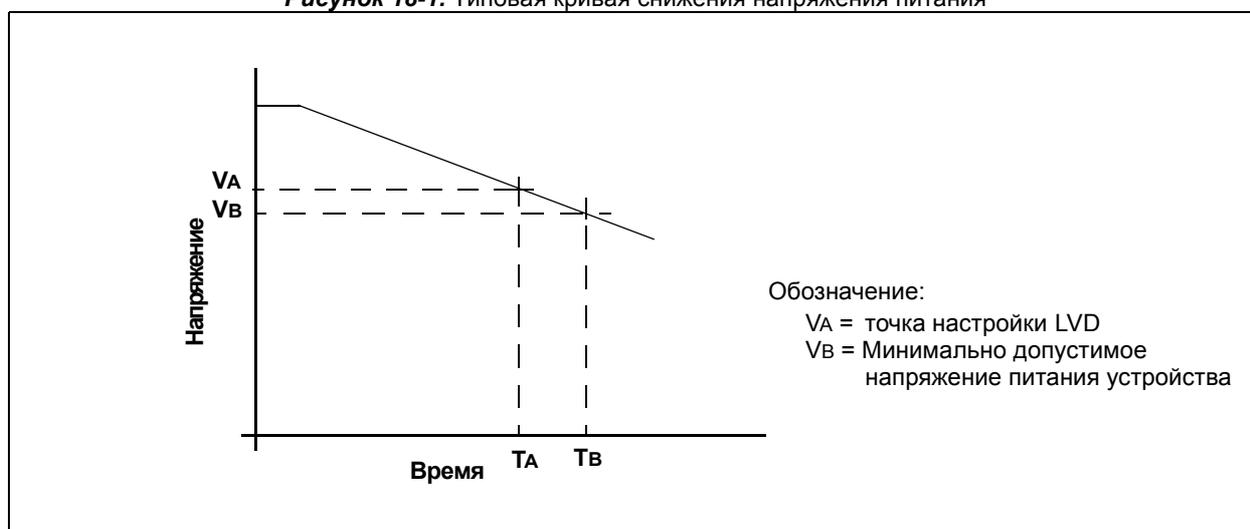
Во многих приложениях желательной функцией является возможность определения снижения напряжения питания V_{DD} ниже установленного уровня. Эта функция может быть полезна, когда необходимо выполнить определенные программные процедуры прежде, чем напряжения питания устройства станет ниже рабочего диапазона. Это можно сделать применяя модуль LVD – детектор пониженного напряжения.

В модуле LVD предусмотрена программируемая схема выбора контрольного уровня напряжения. Когда напряжение питания устройства становится ниже контрольного, устанавливается флаг прерывания. Если прерывания от модуля LVD разрешены, то произойдет переход по вектору прерывания и программное обеспечение может обработать событие снижения напряжения.

Детектор пониженного напряжения имеет программное управление. Это позволяет программе пользователя выключить модуль LVD для снижения потребляемого тока.

На рисунке 18-1 представлена типовая кривая снижения напряжения питания для устройств с батарейным питанием. Когда напряжение питания равно V_A , модуль LVD генерирует прерывание в момент T_A . Программа пользователя имеет некоторое время для завершения работы. Уровень напряжения V_B – минимальное напряжение питания устройства, определенное спецификацией. Разница $T_B - T_A$ – интервал времени для завершения работы устройства.

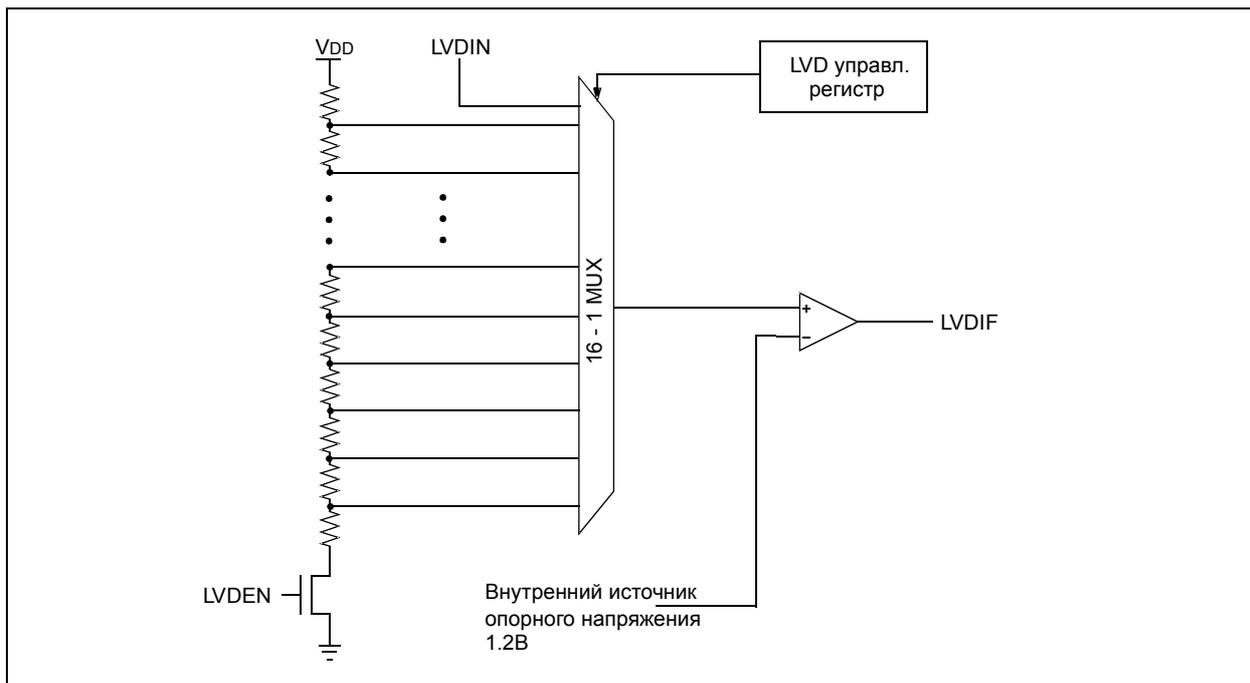
Рисунок 18-1. Типовая кривая снижения напряжения питания



Блок схема модуля LVD представлена на рисунке 18-2. Компаратор использует внутренний источник опорного напряжения как отправную точку. Когда напряжение питания становится ниже контрольной точки, устанавливается в '1' флаг LVDIF.

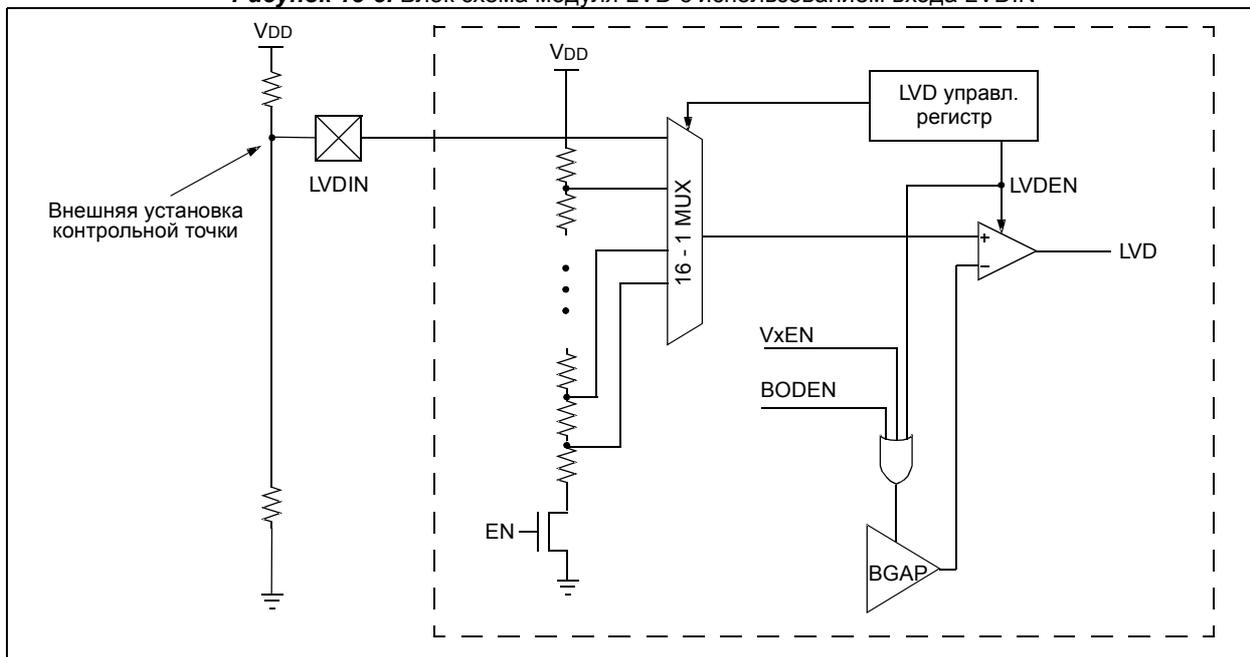
Каждый узел в последовательно включенных резисторах представляет собой конкретный уровень напряжения контрольной точки. Напряжение контрольной точки – минимальное напряжение питания, при котором может работать устройство прежде, чем будет сформировано прерывание от модуля LVD. Когда напряжение питания равно контрольному уровню, напряжение на выбранной точке резистивного делителя равно напряжению внутреннего источника опорного напряжения 1.2В модуля LVD. Компаратор переключается, устанавливая флаг прерывания LVDIF. Один из 16-ти уровней контрольного напряжения может быть выбран программно битами LVDL3:LVDL0 ($LVDCON<3:0>$) (смотрите рисунок 18-2).

Рисунок 18-2. Блок схема модуля LVD



LVD модуль имеет дополнительную особенность, которая позволяет пользователю устанавливать напряжение контрольной точки внешней схемой (LVDL3:LVDL0 = 1111). В этом режиме вход компаратора подключен к выводу LVDIN (смотрите рисунок 18-3). Установка напряжение контрольной точки внешней схемой предоставляет разработчику дополнительную гибкость в обнаружении снижения напряжения питания в рабочем диапазоне напряжений питания.

Рисунок 18-3. Блок схема модуля LVD с использованием входа LVDIN



18.1 Регистр управления

Биты управления модулем LVD расположены в регистре LVDCON.

Регистр 18-1. LVDCON: Регистр управления модуля LVD

U-0	U-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
-	-	IRVST	LV DEN	LV DL3	LV DL2	LV DL1	LV DL0	
Бит 7								Бит 0

бит 7-6 **Не используется:** читается как '0'

бит 5 **IRVST:** Флаг стабилизации источника опорного напряжения модуля LVD
 1 = источник опорного напряжения стабилизировался
 0 = источник опорного напряжения стабилизировался или модуль LVD выключен

бит 4 **LV DEN:** Включение модуля LVD
 1 = модуль LVD включен
 0 = модуль LVD выключен

бит 3-0 **LV DL3:LV DL0:** Выбор напряжения контрольной точки модуля LVD
 1111 = внешний аналоговый сигнал с вывода LVDIN
 1110 = 4.5В – 4.77В
 1101 = 4.2В – 4.45В
 1100 = 4.0В – 4.24В
 1011 = 3.8В – 4.03В
 1010 = 3.6В – 3.82В
 1001 = 3.5В – 3.71В
 1000 = 3.3В – 3.50В
 0111 = 3.0В – 3.18В
 0110 = 2.8В – 2.97В
 0101 = 2.7В – 2.86В
 0100 = 2.5В – 2.65В
 0011 = 2.4В – 2.54В
 0010 = 2.2В – 2.33В
 0001 = 2.0В – 2.12В
 0000 = резерв

Примечание. Режим работы, установленный битами LV DL3:LV DL0 ниже рабочего диапазона напряжения питания, не тестировался.

Обозначения			
R = чтение бита	W = запись бита	U = не используется, читается как '0'	
- n = значение после POR	'1' = бит установлен	'0' = бит сброшен	X = неизвестное сост.

18.2 Работа модуля LVD

В зависимости от источника напряжения питания и тока потребления устройства, напряжение питания обычно уменьшается относительно медленно. Это означает, что модель LVD может постоянно не работать. Чтобы уменьшить ток потребления устройством схему LVD модуля можно кратковременно включать для проверки напряжения питания. После выполнения проверки модуль LVD может быть выключен.

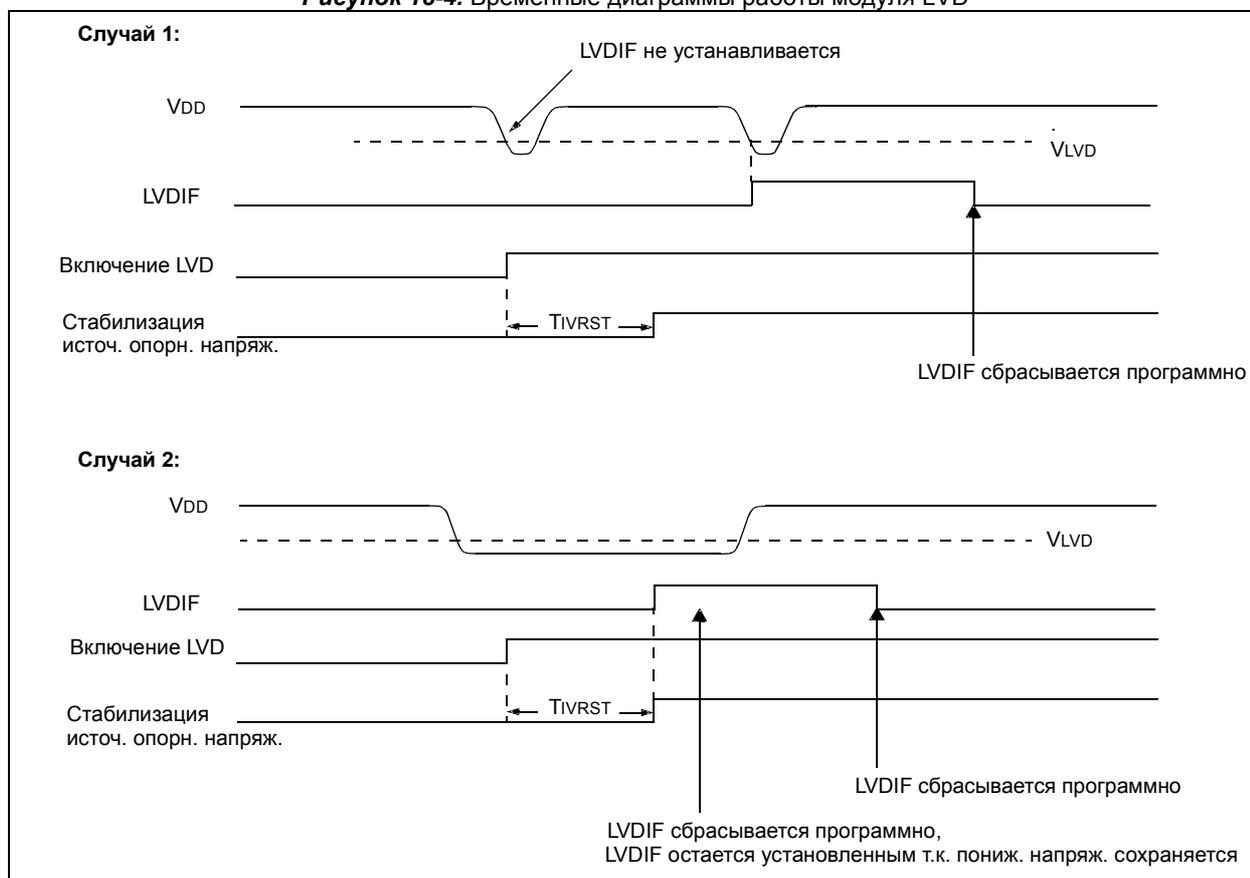
После каждого включения модуля LVD требуется некоторое время для стабилизации работы его схемы. Как только работа схемы стабилизировалась, флаги состояния модуля LVD могут быть сброшены и выполнена проверка напряжения питания.

Рекомендуется следующая последовательность действий для настройки модуля LVD:

1. Установить значение битов LVDL3:LVDL0 для выбора напряжения контрольной точки
2. Гарантировать, что прерывания от модуля LVD запрещены (бит LVDIE=0 или GIE=0)
3. Включить модуль LVD (LVDEN=1 LVDCON<4>)
4. Ожидать стабилизацию схемы модуля LVD (бит IRVST =1)
5. Сбросить флаг LVDIF, который мог установиться в '1' пока стабилизировалась работы схемы модуля LVD
6. Разрешить прерывания от модуля LVD (LVDIE=1, GIE=1)

На рисунке 18-4 представлены типовые временные диаграммы работы модуля LVD.

Рисунок 18-4. Временные диаграммы работы модуля LVD



18.2.1 Внутренний источник опорного напряжения

Внутренний источник опорного напряжения LVD модуля может использоваться другой внутренней схемой микроконтроллера (программируемый сброс по снижению напряжения питания BOR). Если эти схемы выключены (для снижения энергопотребления), то источник опорного напряжения требует некоторого времени для стабилизации работы прежде, чем будет надежно выполняться обнаружение снижения напряжения питания. Время стабилизации не зависит от тактового сигнала микроконтроллера (смотрите параметр №36 в электрических спецификациях). Прерывания от модуля LVD не должны разрешаться, пока не стабилизируется источник опорного напряжения модуля LVD (смотрите временные диаграммы на рисунке 18-4).

18.2.2 Ток потребления

Когда модуль LVD включен, компаратор и резистивная цепочка потребляют статический ток. Полный ток потребления, когда модуль LVD включен, указан в электрических спецификациях (параметр *D022B).

18.3 Работа модуля LVD в SLEEP режиме

Если модуль LVD включен, то он продолжает работать в SLEEP режиме микроконтроллера. Если напряжение питания пересекает контрольную точку, то будет установлен флаг LVDIF и микроконтроллер выйдет из режима SLEEP. Выполнение программы перейдет по вектору прерывания, если глобально разрешены прерывания.

18.4 Эффект сброса

При сбросе микроконтроллера регистр LVDCON инициализируется в первоначальное состояние. Это означает, что после сброса микроконтроллера модуль LVD выключен.

Уважаемые господа!

ООО «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы **Microchip Technology Inc** и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу support@microchip.ru

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:

(095) 963-9601

(095) 737-7545

и адресу sales@microchip.ru

На сайте

www.microchip.ru

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.