

## Особенности семейства

- Высокая производительность
  - Задержка от входа до выхода по всем выводам до 5 нс
  - Частота работы 16-разрядного счетчика до 125 МГц
- Широкий диапазон выбора МС по степени интеграции
  - От 36 до 288 макроячеек, или от 800 до 6 400 вентиляей
- Возможность перепрограммирования в системе с напряжением питания 5 В
  - Не менее 10000 циклов запись/стирание
  - Программирование/стирание в полном коммерческом диапазоне напряжения питания и температур
- Расширенные возможности закрепления выводов перед трассировкой
- Наличие гибкого функционального блока 36V18
  - Любая из 18 макроячеек функционального блока может выполнять логическую функцию 36 переменных от 1 до 90 термов
  - Глобальные и программируемые тактовые сигналы, сигнал разрешение выхода, сигналы установки и сброса триггера
- Программируемый режим пониженной потребляемой мощности в каждой макроячейке
- Управление задержкой сигнала по любому из выходов
- Возможность назначения пользователем "общего" вывода
- Расширенная возможность защиты схемы от копирования
- Мощный выход (24 мА) с возможностью работы при питании выходных каскадов от напряжения 3.3 В или 5 В
- Полная поддержка периферийного сканирования в соответствии со стандартом IEEE Std 1149.1 (JTAG)

- Производятся по технологии КМОП 5 В Fast-FLASH
- Возможность параллельного программирования нескольких МС XC9500

## Обзор семейства

Семейство XC9500 имеет структуру, фирменное название которой CPLD (Complex Programmable Logic Device – комплексные программируемые логические устройства (КПЛУ)). Структура CPLD напоминает структуру EPLD – основу их составляют макроячейки PAL-типа, позволяющие получать логические функции многих переменных с ограниченным числом термов. Микросхемы этого типа могут быть использованы для создания нестандартных АЛУ, дешифраторов, мультиплексоров и т.д., т.е. таких устройств, где требуется логические функции многих переменных и небольшое количество триггеров.

МС семейства XC9500 могут использоваться в крупносерийной аппаратуре, а также в системах, где требуется перепрограммирование "на ходу".

Для программирования МС семейства XC9500 не требуется программатор – перепрограммирование осуществляется сигналами от элементов с напряжением питания 5 В через специальные выводы МС (JTAG-порт) в той же системе, где и применяется данная ПЛИС. Минимальное число циклов перепрограммирования МС превышает 10000. Записанная конфигурация может сохраняться более 20-ти лет.

В состав семейства XC9500 входят шесть МС, емкостью от 36 до 288 макроячеек (от 800 до 6 400 вентиляей, соответственно) в различных корпусах. Все МС семейства XC9500 совместимы по контактам, что обеспечивает возможность легкого перехода от одной МС к другой в том же корпусе.

В Табл. 1 представлены основные параметры МС семейства XC9500, а в Табл. 2 все доступные корпуса с указанием количества пользовательских контактов.

Табл. 1. МС семейства XC9500

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Число макроячеек	36	72	108	144	216	288
Число вентиляей	800	1600	2400	3200	4800	6400
Число триггеров	36	72	108	144	216	288
$t_{PD}[нс]$	5	7.5	7.5	7.5	10	10
$t_{SU}[нс]$	3.5	4.5	4.5	4.5	6.0	6.0
$t_{CO}[нс]$	4.0	4.5	4.5	4.5	6.0	6.0
$f_{CNT}[МГц]$	100	125	125	125	111.1	111.1
$f_{SYSTEM}[МГц]$	100	83.3	83.3	83.3	66.7	66.7

Примечание:  $f_{CNT}$  – частота работы 16-ти разрядного счетчика

$f_{SYSTEM}$  – внутренняя частота для проектов, использующих несколько функциональных блоков

Табл. 2. Доступные корпуса и количество пользовательских контактов (не учитывая JTAG-контактов)

	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
VQFP-44	34					
PLCC-44	34	34				
CSP-48	34					
PLCC-84		69	69			
TQFP-100		72	81	81		
PQFP-100		72	81	81		
PQFP-160			108	133	133	
HQFP-208					166	168
BGA-352					166	192

## Описание архитектуры семейства XC9500

Каждая МС семейства XC9500 представляет собой подсистему, состоящую из множества функциональных блоков (ФБ) и блоков ввода-вывода (БВВ), соединенных переключательной матрицей (ПМ) (Рис. 1).

БВВ обеспечивают буферизацию всех входов и выходов МС. Каждый ФБ содержит 18 макроячеек

со структурой 36V1 и позволяет получить 18 логических функций практически от любой комбинации из 36 переменных.

ПМ обеспечивает подачу любых выходных сигналов ФБ и входных сигналов на входы ФБ. От 12 до 18 выходных сигналов каждого ФБ (в зависимости от количества выводов в корпусе) и соответствующие сигналы разрешения выхода поступают непосредственно на блоки ввода-вывод.

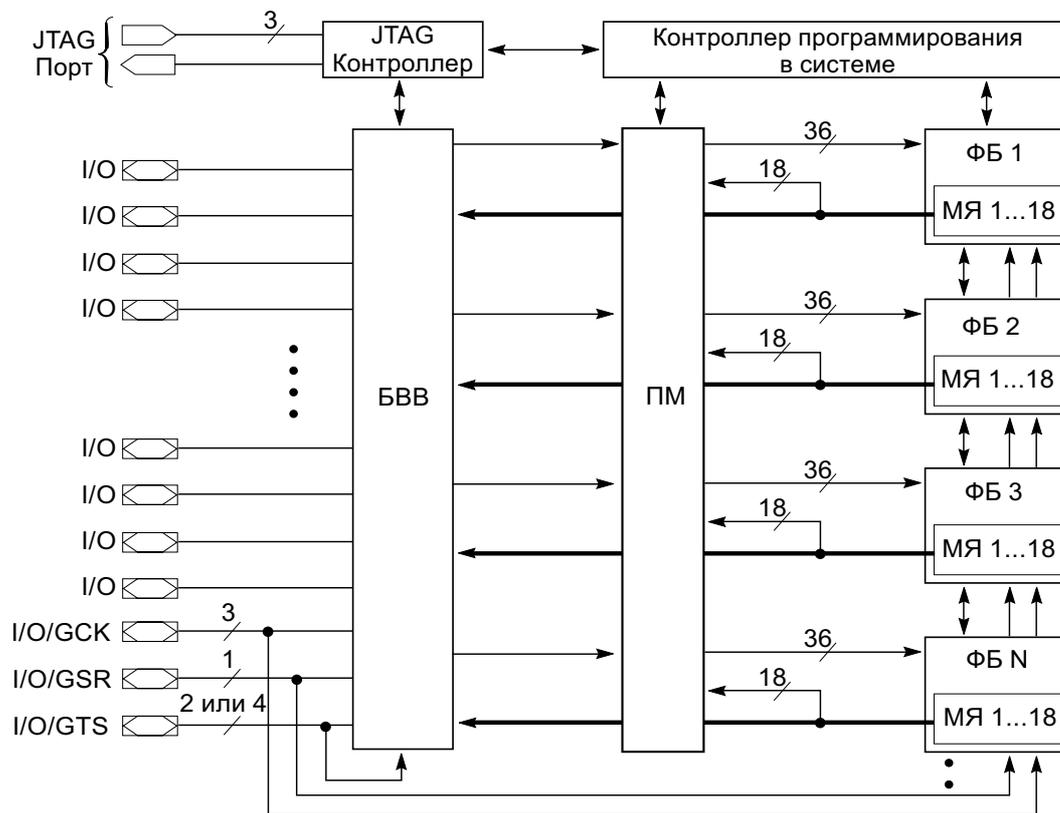


Рис. 1. Архитектура МС семейства XC9500

Все выводы ПЛИС семейства XC9500 можно подразделить на 3 группы:

1. Выводы JTAG-порта, через которые производится периферийное сканирование и программирование
2. Логические выводы, которые могут выполнять функцию входа, выхода или совмещенного входа-выхода (I/O)

3. Управляющие выводы, на которые подаются глобальные управляющие сигналы тактирования (GCK), установки/сброса (GSR) и управления третьим состоянием (GTS). Управляющие выводы могут также выполнять функции логических выводов.

Также имеются выводы "земли" и питания, причем отдельно питаются блоки ввода-вывода (от на-

пряжения питания  $V_{CCIO}$ ) и все остальные (от напряжения питания  $V_{CCINT}$ ).

## Функциональный блок

Функциональный блок (Рис. 2) состоит из 18-ти независимых макроячеек (МЯ), каждая из которых обеспечивает выполнение комбинаторной и/или регистровой функции. Кроме этого, на ФБ приходят сигналы разрешения выхода, установки/сброса и глобальной синхронизации. Каждый ФБ формирует 18 выходных сигналов, которые поступают на ПМ, а также передаются в БВВ.

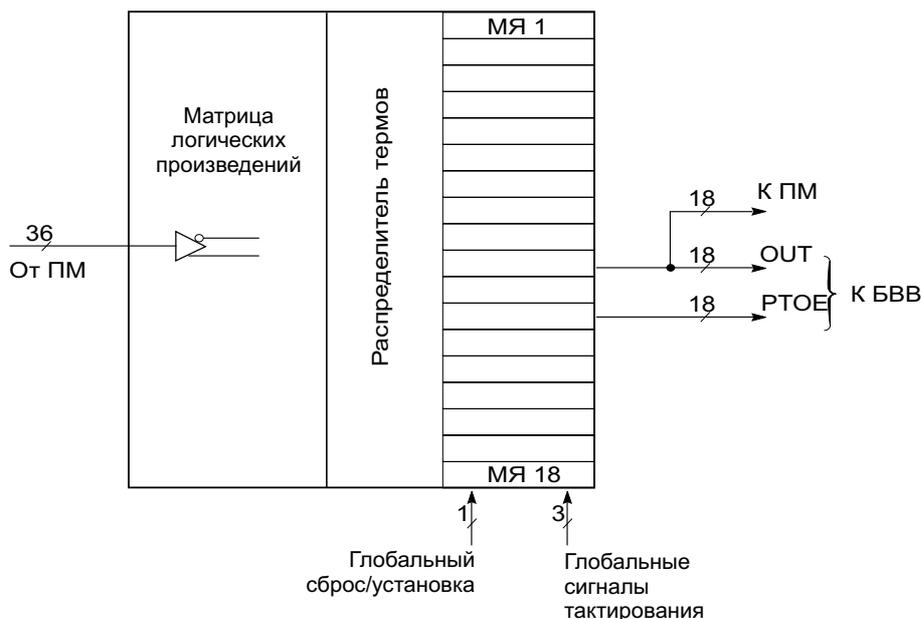


Рис. 2. Схема функционального блока МС семейства XC9500

## Макроячейка

Любая макроячейка в МС семейства XC9500 может выполнять как логическую комбинаторную, так и регистровую функции. Структура макроячейки совместно с программируемой матрицей логических произведений (элементов И, или “термов”), принадлежащим всему ФБ, представлена на Рис. 3. Каждая макроячейка имеет пять основных и четыре дополнительных входа, поступающих на распределитель термов.

Из матрицы логических произведений пять термов поступают на основные входы макроячейки и могут использоваться либо для выполнения комбинаторных функций (ИЛИ и “Исключающее ИЛИ”), либо как управляющие сигналы, включая сигналы тактирования запоминающего элемента PTC (Product Term Clock), его установки и сброса – PTS (Product Term Set) и PTR (Product Term Reset), и разрешения выхода РТОЕ (Product Term Output Enable). На четыре дополнительных входа поступают сигналы из других макроячеек. Назначение входных термов для выполнения той или иной функции производит имеющийся в каждой макроячейке распределитель термов.

Логика внутри ФБ представляет собой матрицу логических произведений (термов). Тридцать шесть входов обеспечивают использование 72 прямых и инверсных сигналов в матрице логических произведений для формирования до 90 термов. Любое подмножество этих термов может быть доступно каждой МЯ через схему распределения термов.

Каждый ФБ имеет внутренние цепи обратной связи, что позволяет любому количеству выходных сигналов ФБ поступать в свою собственную программируемую матрицу элементов И, не выходя за пределы ФБ.

Запоминающий элемент в макроячейке может быть сконфигурирован или как D-триггер, или как тактируемый триггер-защелка, или же он может не использоваться. В последнем случае сигнал логической функции пропускается напрямую для использования в других макроячейках. На каждый триггер могут быть поданы сигналы асинхронного сброса и установки с распределителя термов. Во время включения МС все регистры переводятся в начальное состояние, заданное при программировании пользователем. Если начальное состояние не задано, то регистры устанавливаются в НОЛЬ.

Кроме того, на каждую макроячейку приходят еще четыре глобальных управляющих сигнала (три тактовых – GCK1, GCK2, GCK3 – и один сигнал сброса/установки – GSR), которые могут быть использованы для управления работой триггера, как показано на Рис. 4. Глобальные управляющие сигналы снимаются непосредственно с управляющих выводов МС, которые, впрочем, могут быть использованы и в качестве логических входов/выходов (I/O), так как эти выводы соединены также с программируемыми БВВ.

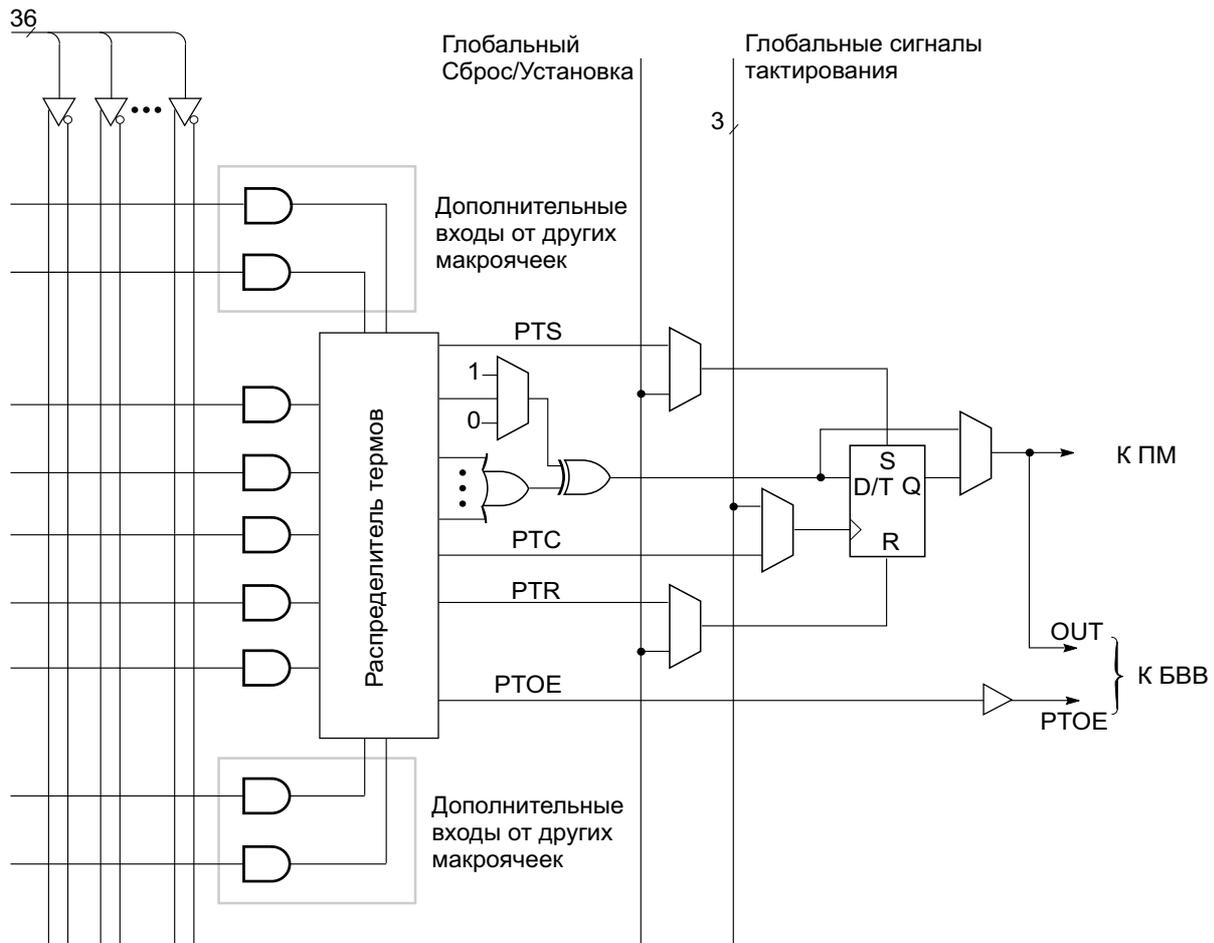


Рис. 3. Макроячейка МС семейства XC9500

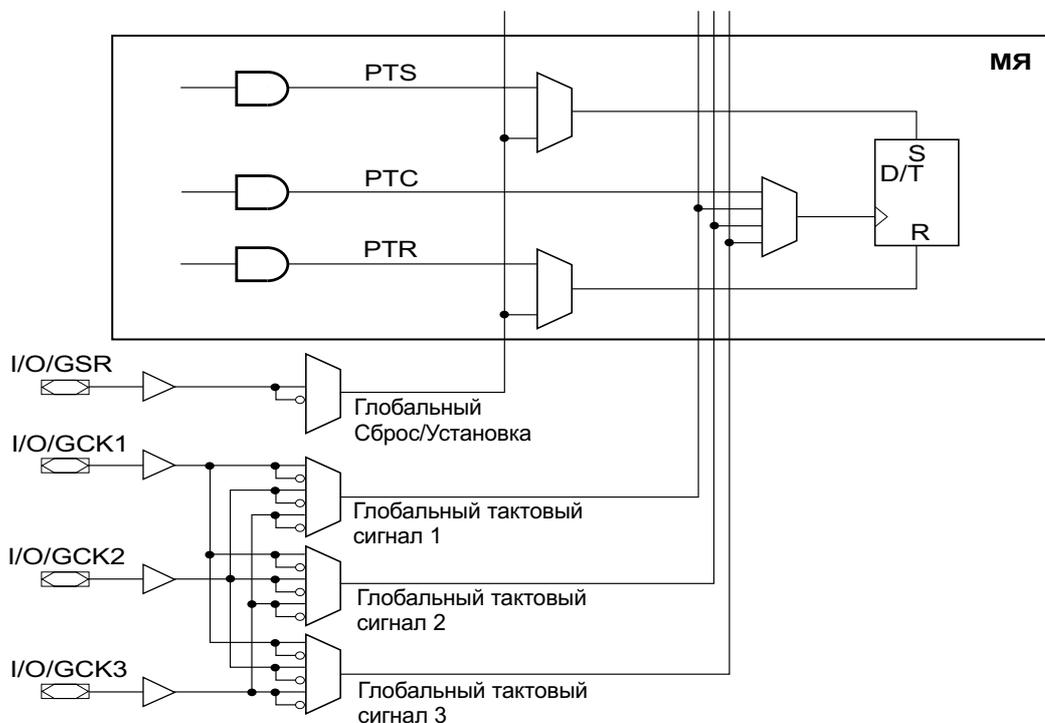


Рис. 4. Схема управления работой триггера в МЯ семейства XC9500

### Распределитель термов

Распределитель термов управляет назначением пяти прямых термов к каждой макроячейке. К примеру, все пять прямых термов могут передаваться на элемент ИЛИ, как показано на Рис. 5.

Распределитель термов может переназначить любой терм внутри ФБ для расширения логической емкости макроячейки сверх пяти прямых термов. Каждой макроячейке, запрашивающей дополнительный терм, доступен любой незадействованный терм в другой макроячейке внутри данного ФБ. Од-

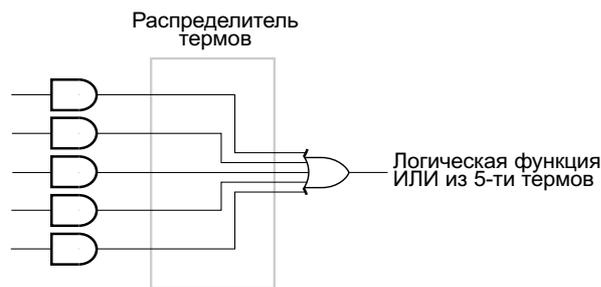


Рис. 5. Получение функции ИЛИ

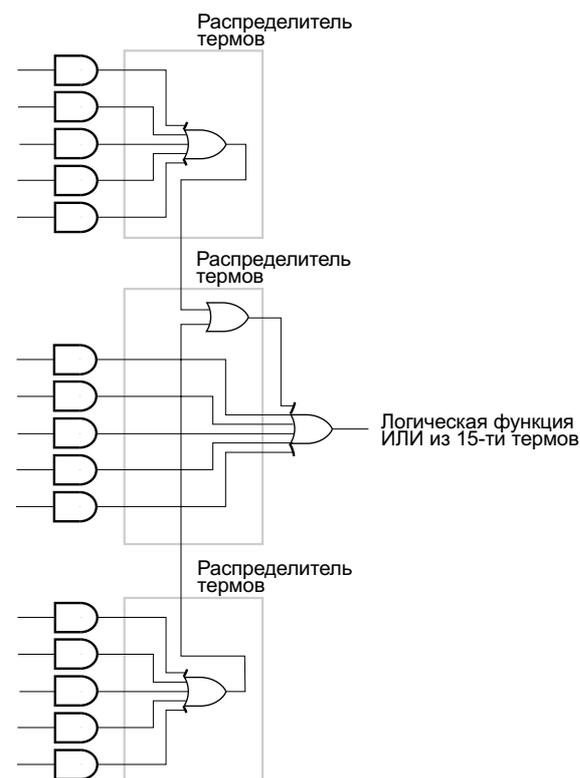


Рис. 6. Схема расширения логической ёмкости МЯ

ной макроячейке могут быть доступны до 15 термов, как показано на Рис. 6.

Схема распределения термов может переназначить любой терм из любой макроячейки внутри ФБ путем объединения логических производных нескольких макроячеек, как показано на Рис. 7.

Логика работы схемы распределения термов проиллюстрирована на Рис. 8. Прямоугольниками с несколькими выходами на этом Рисунке обозначены программируемые коммутаторы (селекторы) одного входного сигнала на любой из выходных.

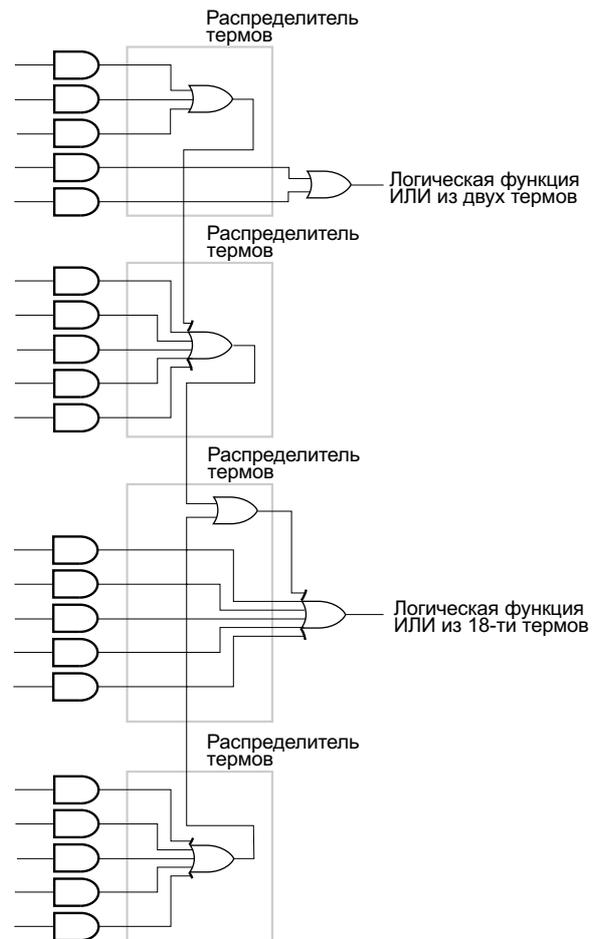


Рис. 7. Схема распределения термов путем объединения логических производных МЯ

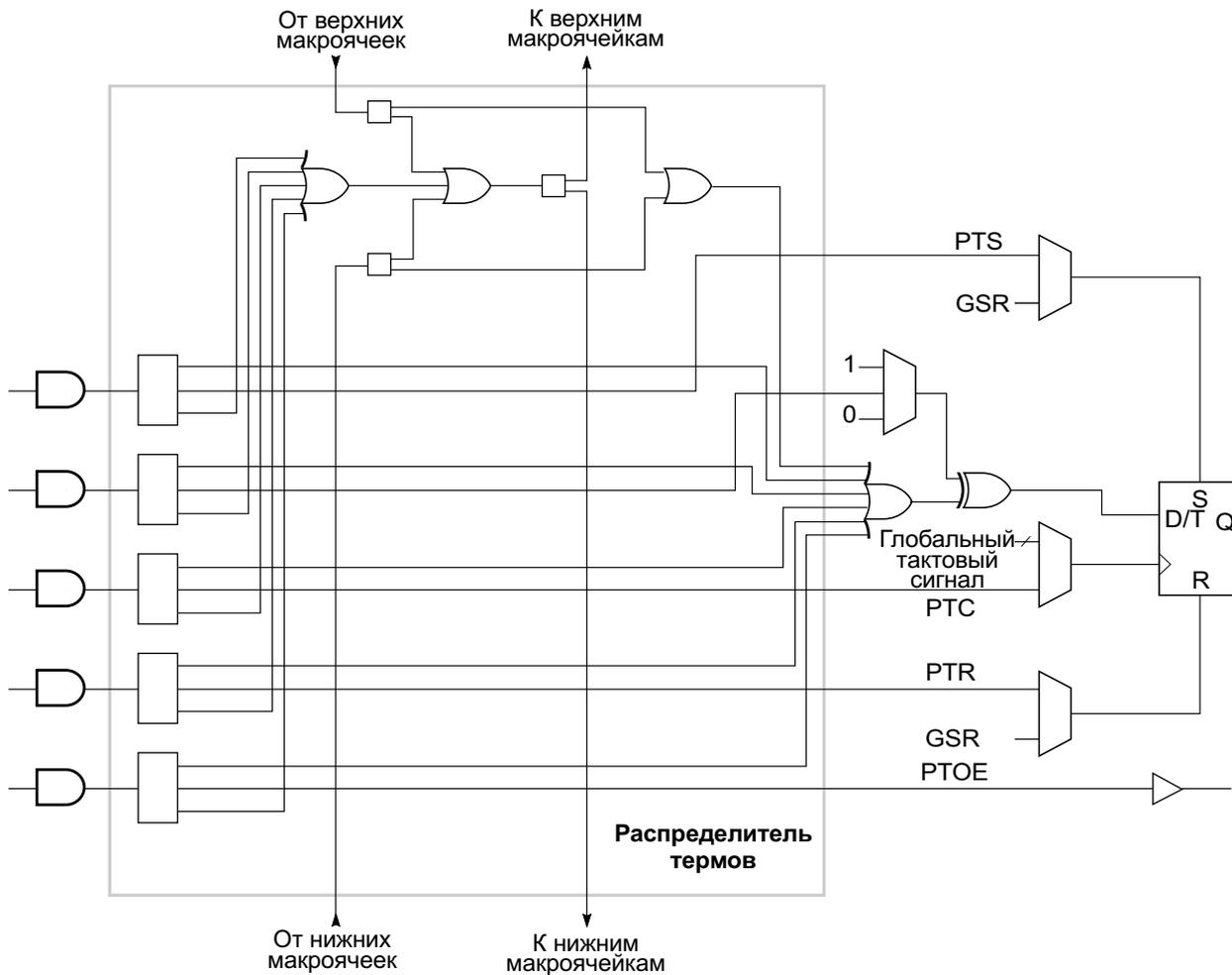


Рис. 8. К пояснению логики работы схемы распределения термов

### Быстродействующая переключающая матрица

Переключающая матрица осуществляет коммутацию сигналов, поступающих с выходов ФБ и из БВВ на входы ФБ внутри МС, как показано на Рис. 9. При необходимости, выходные сигналы ФБ могут объединяться внутри ПМ по схеме "Монтажное И",

что увеличивает логические возможности и позволяет увеличить нагрузочную способность для удаленных ФБ без внесения дополнительных задержек распространения сигнала. Это свойство доступно для внутренних соединений, берущих начало только от выходов ФБ, и автоматически применяется программным обеспечением проектирования, когда возможно.

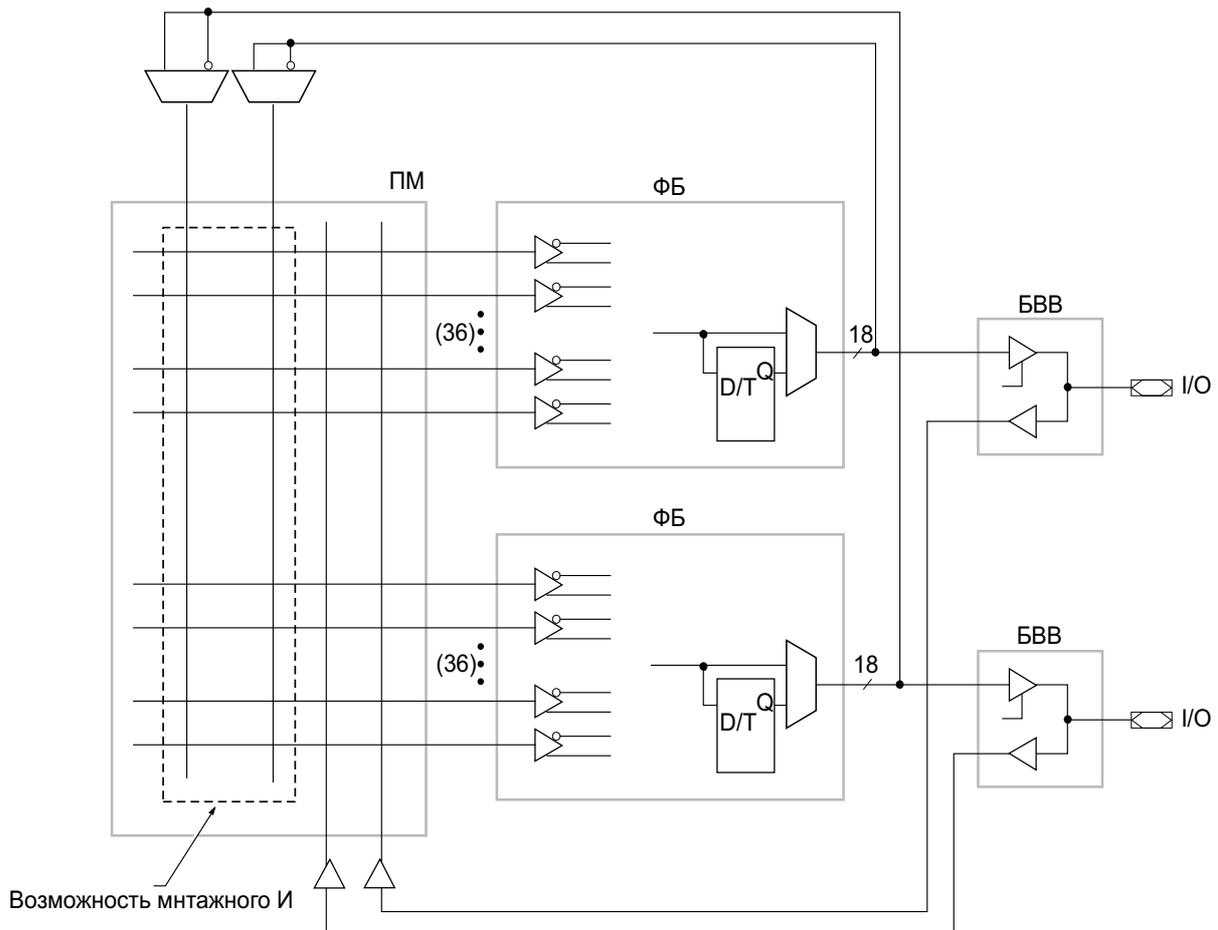


Рис. 9. Быстродействующая ПМ микросхем семейства XC9500

### Блок ввода-вывода

Блок ввода-вывода выполняет функцию интерфейса между внутренними логическими сигналами и контактами МС (Рис. 10). Каждый БВВ содержит буферы ввода и вывода, а также мультиплексор сигналов разрешения выхода и схему программирования пользовательского "общего" вывода.

Входной буфер может работать с сигналами, имеющими стандартные КМОП- или ТТЛ-уровни от элементов с напряжением питания 5 В, либо 3.3 В. Входные буферы используют отдельное внутреннее питание ( $V_{CCINT} = 5 В$ ) для обеспечения стабильности пороговых уровней входных сигналов вне зависимости от напряжения  $V_{CCIO}$ .

В качестве разрешающего выход сигнала OE может быть выбран либо один из термов РТОЕ с вы-

хода макроячейки, либо один из глобальных сигналов разрешения выхода GOE (Global Output Enable) положительной или отрицательной полярности. В зависимости от количества макроячеек в микросхеме (36...144 или 216...288), таких глобальных сигналов может быть два или четыре, соответственно.

К каждому входу/выходу микросхемы на время записи/стирания, а также при включении питания подключается внутренний "подтягивающий" к напряжению питания  $V_{CCINT}$  (5 В, подаваемые на внутренние блоки ПЛИС) резистор (сопротивлением около 10 кОм) для исключения дрейфа потенциала входных/выходных сигналов на время переходного периода. При переходе МС в рабочий режим, внутренние резисторы отключаются.

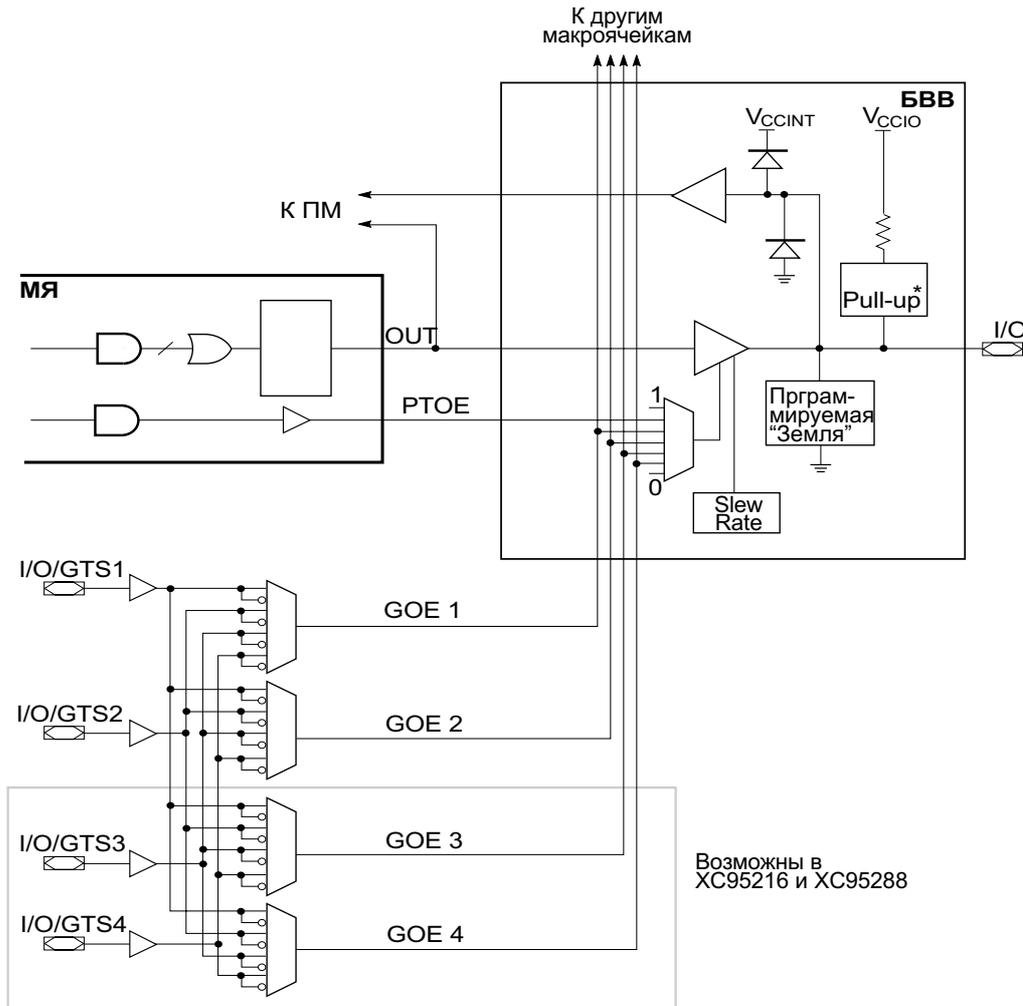


Рис. 10. Блок ввода/вывода микросхем семейства XC9500

В МС семейства XC9500 имеется возможность раздельного управления длительностью фронта выходного сигнала для каждого выходного буфера (Slew Rate), что позволяет, при необходимости,

уменьшить уровень помех на выходах МС за счет незначительного снижения быстродействия на величину  $T_{SLEW}$ . Выходные характеристики БВВ в двух режимах приведены на Рис. 11.

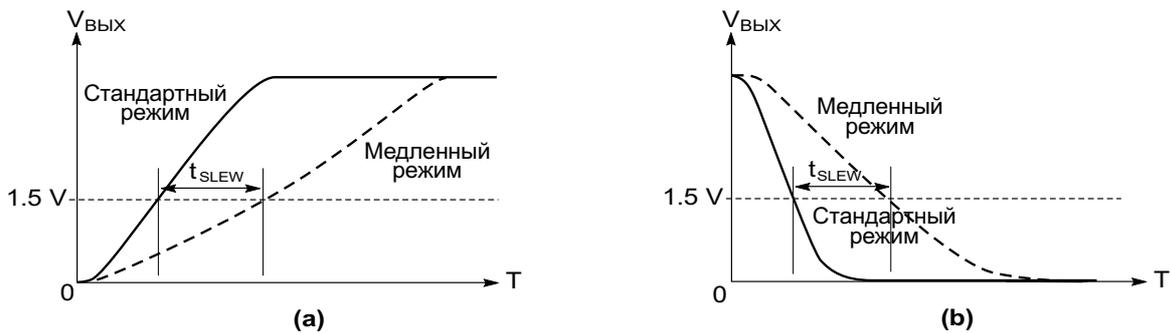


Рис. 11. Выходные характеристики БВВ

Для дальнейшего повышения помехоустойчивости имеется также возможность подсоединять внутри БВВ любой выходной контакт к "общей" шине (User-Programmable Ground).

Выходные буферы МС семейства XC9500 обеспечивают ток до 24 мА. Наличие отдельной шины пи-

тания выходных цепей ( $V_{CCIO}$ ) обеспечивает возможность работы с выходными уровнями сигналов 5.0 В или 3.3 В для всех выходов одновременно. На Рис. 12 проиллюстрирована возможность использования МС семейства XC9500 для работы в устройствах со смешанным (5 В/3.3 В) питанием и сопряжением с КМОП- и ТТЛ-схемами

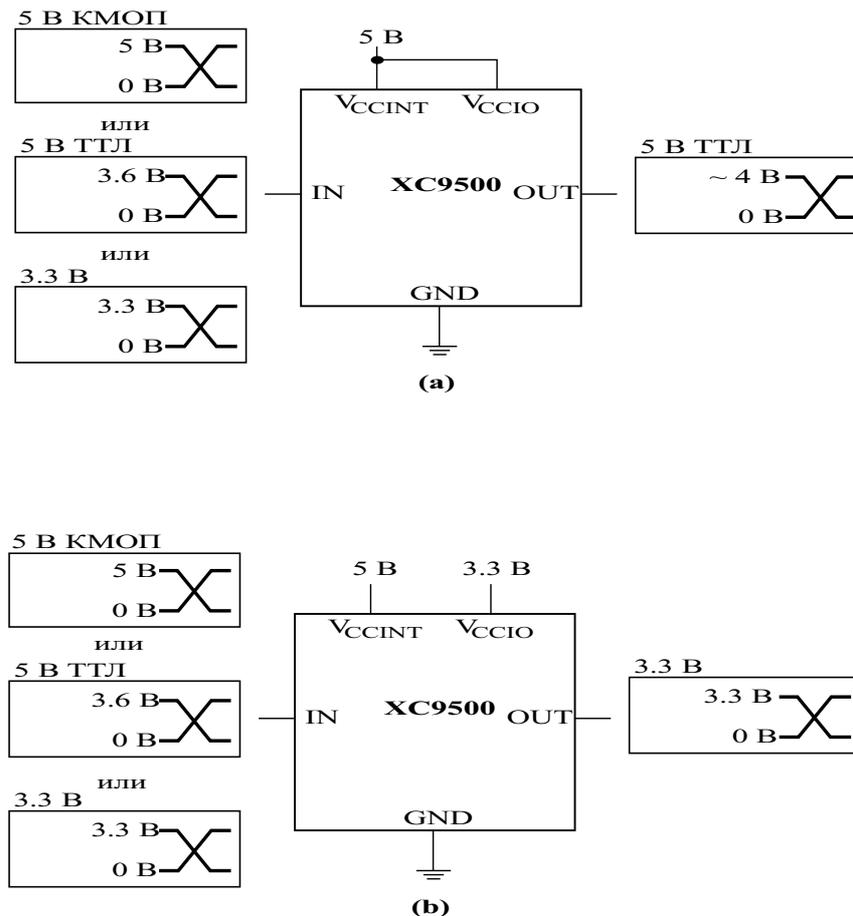


Рис. 12. Использование микросхем семейства XC9500 в системах со смешанным питанием

## Возможность закрепления контактов

Микросхемы семейства XC9500 обладают архитектурными особенностями, позволяющими вносить изменения в схему, сохраняя при этом назначение выводов. Это дает разработчику уверенность в том, что назначение как входных, так и выходных контактов останется неизменным при любых непредвиденных изменениях схемы и производить разработку печатной платы. При необходимости внесения изменений в схему, требующих более высокой логической емкости по сравнению с имеющейся в первоначально выбранной МС, есть возможность загрузки схемы в большую, совместимую по контактам МС, без изменения прежних назначений сигналов на выводы.

## Программирование в системе

Микросхемы семейства XC9500 программируются в системе через стандартный четырех контактный

JTAG-интерфейс, как показано на Рис 13. Программирование в системе позволяет быстро и эффективно вносить изменения в проект, при этом исключается необходимость извлекать микросхему из разрабатываемого устройства. Программное обеспечение фирмы Xilinx создает конфигурационную последовательность, которая может быть загружена в микросхему либо с помощью загрузочного кабеля, либо из системы проектирования, поддерживающей JTAG-протокол, либо с помощью JTAG-совместимого тестера электронных устройств, либо через простой микропроцессорный интерфейс, эмулирующий последовательность команд JTAG.

Микросхемы семейства XC9500 также могут быть запрограммированы специализированным программатором Xilinx (HW130), либо универсальными программаторами других фирм.

Минимальное число циклов программирования - 10 000. Время хранения записанной конфигурации не менее 20-ти лет.

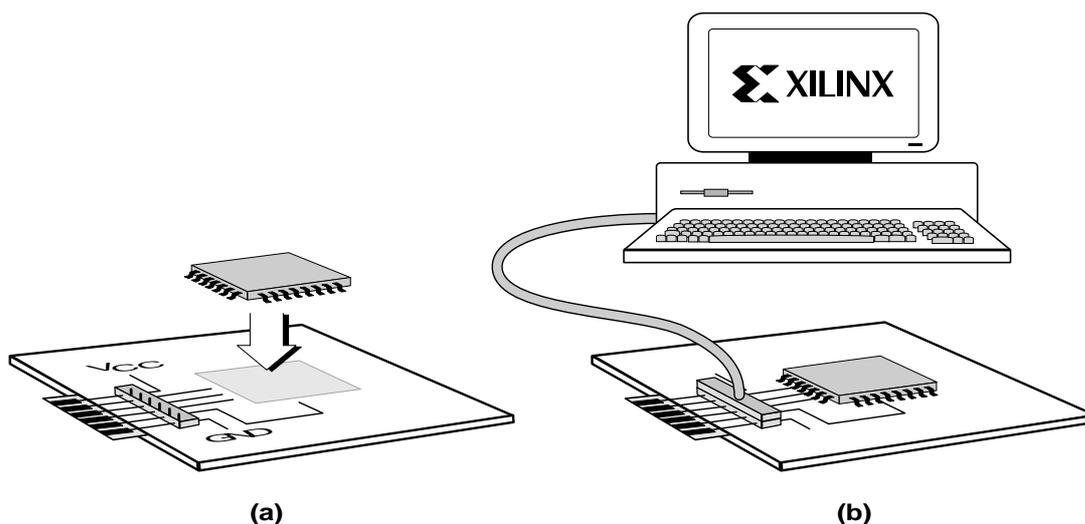


Рис. 13. Программирование в системе

## Протокол периферийного сканирования IEEE Std. 1149.1

МС семейства XC9500 полностью поддерживают протокол периферийного сканирования IEEE Std. 1149.1 (JTAG). При этом поддерживаются команды EXTEST, SAMPLE/PRELOAD, BYPASS, USERCODE, INTEST, IDCODE и HIGHZ. Для операций программирования в системе добавлены команды: ISPEN, FERASE, FPGM, FVIFY и ISPEX, которые являются полностью совместимыми со стандартом 1149.1 расширениями набора команд.

Контакты TMS, TDI и TDO имеют pull-up резисторы в соответствии со стандартом IEEE Std. 1149.1.

Файлы BSDL (Boundary Scan Description Language) для МС семейства XC9500 включены в программное обеспечение проектирования и также доступны на FTP-сайте компании Xilinx.

## Защита проекта от копирования

В МС семейства XC9500 используются передовые методы, которые обеспечивают полную защиту схемы от несанкционированного чтения или случайного стирания (перепрограммирования). В Табл. 3 представлены четыре варианта установки кодов защиты.

Табл. 3. Варианты установки кодов защиты

	Защита от чтения не установлена	Защита от чтения установлена
Защита от записи не установлена	Чтение разрешено Запись разрешена	Чтение запрещено Запись разрешена
Защита от записи установлена	Чтение разрешено Запись запрещена	Чтение запрещено Запись запрещена

Защита по чтению (код секретности) устанавливается пользователем для исключения возможности чтения или копирования схемы. Код секретности может быть отменен только в случае полного стирания МС. Код защиты по записи обеспечивает дополнительную защиту от случайного стирания МС или перепрограммирования пользователем. Установленная однажды, защита от записи может быть отменена при возникновении необходимости перепрограммирования микросхемы пользователем.

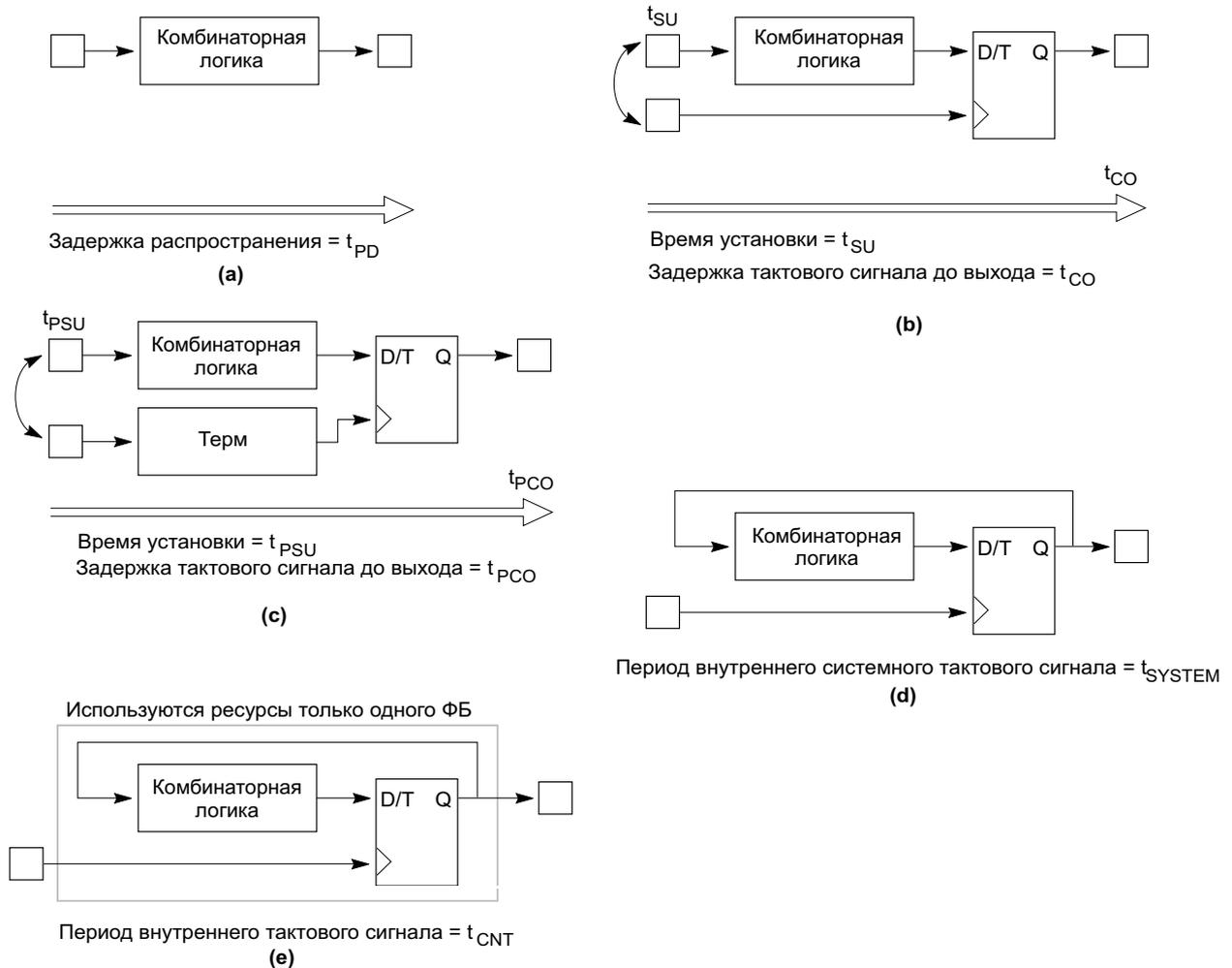
## Режим пониженного потребления энергии

Все МС семейства XC9500 обеспечивают возможность установки режима пониженного потребления энергии не только для всей схемы, но и для выбранных пользователем отдельных макроячеек.

При проектировании устройства необходимо помнить, что режим пониженного потребления приводит к появлению дополнительных задержек в работе макроячеек ( $t_{LP}$ ). Таким образом, можно установить режим пониженного потребления для частей схемы, не требующих повышенного быстродействия, а для критичных к задержкам макроячейкам оставить стандартный режим энергопотребления. Это позволит значительно снизить потребление энергии МС в целом.

## Модель задержек распространения сигналов

Единообразие архитектуры МС семейства XC9500 позволяет принять простую модель задержек распространения сигналов для всего кристалла. Базовая модель, показанная на Рис. 14 применима для макроячейки, использующей только прямые термы, находящейся в стандартном режиме энергопотребления и со стандартными установками скорости нарастания фронтов. В Табл. 4 показано как воздействует на временные параметры использование распределителя термов, режима пониженного энергопотребления, а также изменение скорости нарастания фронтов.



**Рис. 14. Базовая временная модель**

Задержка на распределителе термов зависит от коэффициента охвата логики функцией макроячейки. Коэффициент охвата логики определяется как количество дополнительных распределителей термов минус один. Если используются только прямые термы, то коэффициент охвата логики 0.

На Рис. 6 коэффициент охвата логики 1, а на Рис. 7 – 2.

Детальная модель может быть получена из полной модели, показанной на Рис. 15. Значения параметров и пояснения даны в описаниях конкретной микросхемы.

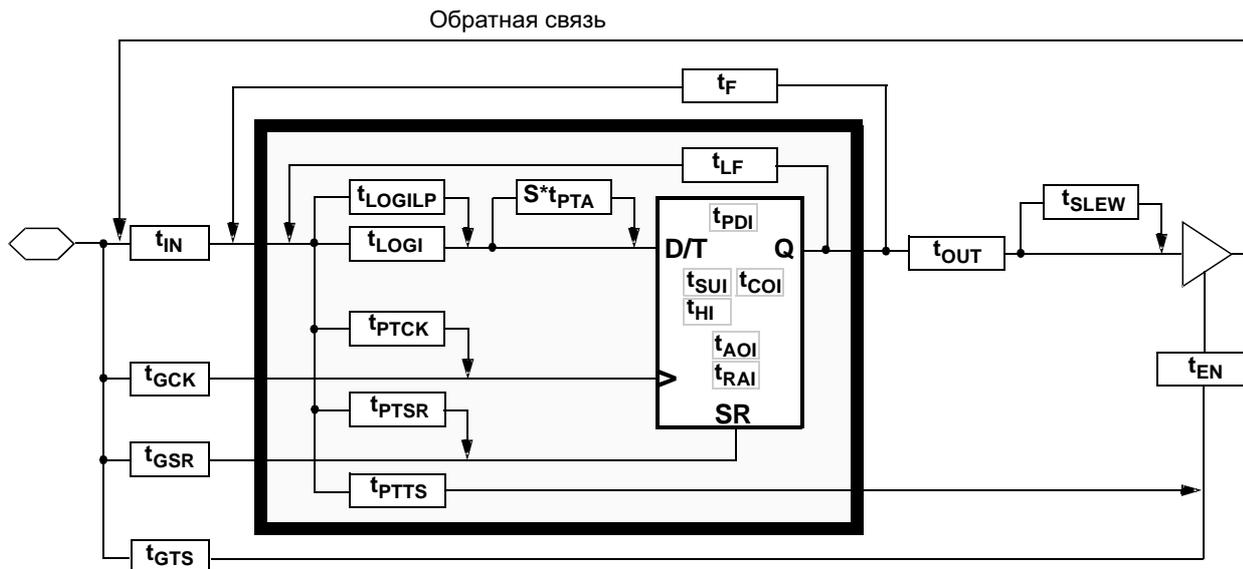


Рис. 15. Детальная временная модель

Табл. 4. Параметры временной модели

Описание	Параметр	Распределитель термов задействован	Макроячейка в режиме малого потребления	Задержка нарастания фронта
Задержка распространения	$t_{PD}$	$+t_{PTA} * S$	$+t_{LP}$	$+t_{SLEW}$
Время установки глобального тактового сигнала	$t_{SU}$	$+t_{PTA} * S$	$+t_{LP}$	-
Задержка тактового сигнала до выхода	$t_{CO}$	-	-	$+t_{SLEW}$
Время установки с использованием термов	$t_{PSU}$	$+t_{PTA} * S$	$+t_{LP}$	-
Задержка тактового сигнала до выхода с использованием термов	$t_{PCO}$	-	-	$+t_{SLEW}$
Внутренний системный период	$t_{SYSTEM}$	$+t_{PTA} * S$	$+t_{LP}$	-

### Характеристики при включении питания

Во время включения питания МС семейства XC9500 используют внутреннюю схему, которая удерживает МС в состоянии ожидания до тех пор, пока напряжение питания  $V_{CCINT}$  не достигнет безопасного значения (приблизительно 3.8 В). В это время все контакты микросхемы, включая JTAG, не доступны для каких-либо действий, pull-up резисторы (~10 кОм) активированы (см. Табл. 5). По достижении безопасного значения напряжения, инициализируются пользовательские регистры и МС

немедленно доступна для работы (см. Рис. 16). Время инициализации 100 мкс для XC9536-XC95144, 200 мкс для XC95216 и 300 мкс для XC95288.

Если МС не запрограммирована, то все контакты микросхемы, за исключением JTAG, не доступны для каких-либо действий, pull-up резисторы (~10 кОм) активированы.

Если МС запрограммирована, то все выходы и входы находятся в состояниях соответствующих конфигурации, а JTAG-контакты доступны для операций программирования в системе и периферийного сканирования.

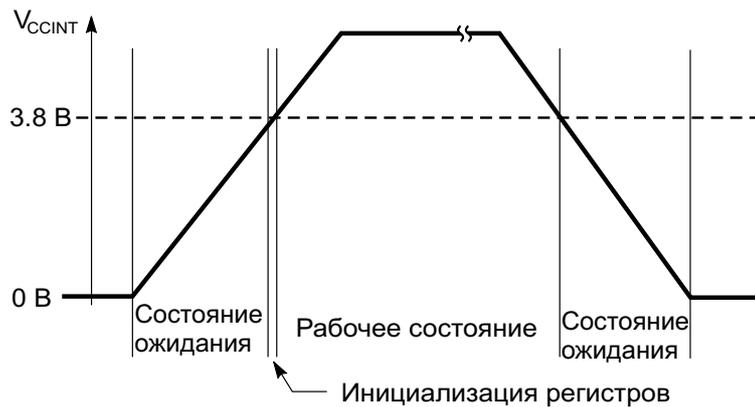


Рис. 16. Поведение МС во время включения питания

Табл. 5. Характеристики при включении питания

Цепи МС	Состояние ожидания	Не запрограммированная МС	Рабочее состояние
Pull-up резисторы	активно	активно	не активно
Выходы	не активно	не активно	как запрограммировано
Входы и тактовые цепи	не активно	не активно	как запрограммировано
ФБ	не активно	не активно	как запрограммировано
JTAG-контроллер	не активно	активно	активно

## Программное обеспечение проектирования

Разработка проекта поддерживается универсальным пакетом ПО Xilinx Foundation Series, поддерживающего все ПЛИС Xilinx, а также специализированным бесплатным ПО WebPack, доступным через Интернет:

(<http://www.xilinx.com/sxpresso/webpack.htm>).

## Технология производства

Для производства МС семейства CPLD используется усовершенствованная КМОП технология - FastFlash. Технология FastFlash была специально разработана для производства ПЛИС с архитектурой CPLD. Технология обеспечивает высокое быстродействие, быстрое программирование и более 10 000 циклов запись/стирание.

## Характеристики семейства XC9500 по постоянному току

В Табл. 6 приведены максимально допустимые значения основных параметров МС семейства XC9500 по постоянному току.

**Внимание!!!: Превышение максимальных значений ведет к повреждению кристалла.**

Табл. 6. Диапазон максимально допустимых значений

Обозначение	Описание	Значения
$V_{CC}$	Напряжение питания относительно GND	-0.5 В...7.0 В
$V_{IN}$	Напряжение входного сигнала относительно GND	-0.5 В...7.5 В
$V_{TS}$	Напряжение, прикладываемое к 3-х стабильному выходу	-0.5 В...7.5 В
$T_{STG}$	Температура хранения (окружающей среды)	-65°C...+150°C
$T_{SOL}$	Максимальная температура припоя	+260°C

В Табл. 7 приведены рекомендуемые рабочие значения основных параметров МС семейства XC9500 по постоянному току. В скобках даны параметры для микросхем индустриального исполнения

Табл. 7. Рекомендуемые значения параметров МС семейства XC9500 по постоянному току

Обозначение	Описание	Мин.	Макс.
$V_{CCINT}$	Напряжение питания ядра и входных буферов	4.75 В (4.5 В)	5.25 В (5.5 В)
$V_{CCIO}$	Напряжение питания выходных каскадов для 5 В операций	4.75 В (4.5 В)	5.25 В (5.5 В)
	Напряжение питания выходных каскадов для 3 В операций	3.0 В	3.6 В
$V_{IL}$	Напряжение входного логического нуля	0 В	0.8 В
$V_{IH}$	Напряжение входной логической единицы	2.0 В	$V_{CCINT}+0.5$ В
$V_O$	Напряжение выхода	0 В	$V_{CCIO}$

В Табл. 8 приведены характеристики МС семейства XC9500 по постоянному току при рекомендуемых значениях

Табл. 8. Характеристики по постоянному току при рекомендуемых значениях

Обозначение	Описание	Мин.	Макс.
$V_{OH}$	Выходное напряжение ЕДИНИЦЫ при 5 В операциях ( $V_{CC}=\text{Мин.}; I_{OH}=-4.0$ мА)	2.4 В	
	Выходное напряжение ЕДИНИЦЫ при 3.3 В операциях ( $V_{CC}=\text{Мин.}; I_{OH}=-3.2$ мА)	2.4В	
$V_{OL}$	Выходное напряжение НУЛЯ при 5 В операциях ( $V_{CC}=\text{Мин.}; I_{OH}=24$ мА)		0.5 В
	Выходное напряжение НУЛЯ при 3.3 В операциях ( $V_{CC}=\text{Мин.}; I_{OH}=10$ мА)		0.4 В
$I_{IL}$	Входной ток утечки		$\pm 10.0$ мкА
$I_{IH}$	Ток утечки БВВ в третьем состоянии		$\pm 10.0$ мкА
$C_{IN}$	Ёмкость входа/выхода		10.0 пФ

## Сопряжение с аналоговыми элементами

Сопряжение МС семейства XC9500 с аналоговыми элементами на плате осуществляется в соответствии со схемой, представленной на Рис. 17.

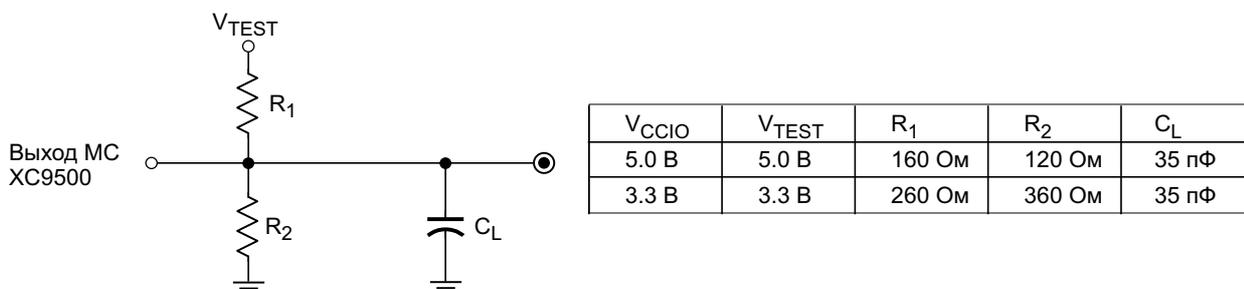


Рис. 17. Сопряжение МС семейства XC9500 с аналоговыми элементами

## Микросхема XC9536

### Описание

МС XC9536 – высокопроизводительная ПЛИС семейства XC9500, ёмкостью 800 логических вентилей и минимальной задержкой распространения сигнала контакт-контакт 5 нс. МС XC9536 состоит из двух 36V18 функциональных блоков (36 МЯ).

### Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех МЯ из высокоскоростного режима в режим низкого потребления. Не использованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$$I_{CC}[\text{mA}] = MC_{HP} (1.7) + MC_{LP} (0.9) + MC (0.006) \cdot f$$

Где

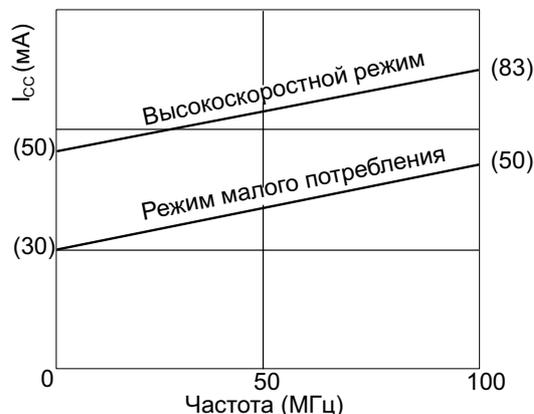
$MC_{HP}$  – Количество макроячеек в высокопроизводительном режиме

$MC_{LP}$  – Количество макроячеек в режиме малого потребления

$MC$  – Общее количество задействованных макроячеек

$f$  – частота [МГц]

На Рис. 18 показано типичное потребление для XC9536 в обоих режимах.



**Рис. 18. Типичное потребление тока микросхемой XC9536**

### Динамические параметры микросхем XC9536

В Табл. 9 приведены динамические параметры микросхем XC9536 в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс., а частоты в МГц.

**Табл. 9. Динамические параметры микросхем XC9536**

Обозначение	Параметр	XC9536-5		XC9536-6		XC9536-7		XC9536-10		XC9536-15	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{PD}$	Задержка вход МС – комбинаторная логика – выход МС		5.0		6.0		7.0		10.0		15.0
$t_{SU}$	Время установки глобального тактового сигнала	3.5		3.5		4.5		6.0		8.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		4.0		4.0		4.5		6.0		8.0
$t_{CNT}$	Частота работы 16-ти разрядного счетчика	100.0		100.0		83.3		66.7		55.6	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	100.0		100.0		83.3		66.7		55.6	
$t_{PSU}$	Время установки тактового сигнала РТС	0.5		0.5		0.5		2.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала РТС	3.0		3.0		4.0		4.0		4.0	
$t_{PCO}$	Задержка тактового сигнала РТС до выхода		7.0		7.0		8.5		10.0		12.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		5.0		5.0		5.5		6.0		11.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		5.0		5.0		5.5		6.0		11.0
$t_{POE}$	Задержка сигнала разрешения по цепи РТОЕ		9.0		9.0		9.5		10.0		14.0
$t_{POD}$	Задержка сигнала запрещения по цепи РТОЕ		9.0		9.0		9.5		10.0		14.0
$t_{WLH}$	Длительность ЕДИНИЦЫ или НУЛЯ тактового сигнала	4.0		4.0		4.0		4.5		5.5	

## Параметры временной модели

В Табл. 10 приведены параметры временной модели микросхем XC9536 в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

Табл. 10. Динамические параметры микросхем XC9536

Обозначение	Параметр	XC9536-5		XC9536-6		XC9536-7		XC9536-10		XC9536-15	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{IN}$	Задержка на входном буфере		1.5		1.5		2.5		3.5		4.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		1.5		1.5		1.5		2.5		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		4.0		4.0		4.5		6.0		7.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		5.0		5.0		5.5		6.0		11.0
$t_{OUT}$	Задержка на выходном буфере		2.0		2.0		2.5		3.0		4.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0		0.0		0.0
$t_{PTCK}$	Задержка РТС		3.0		3.0		3.0		3.0		3.0
$t_{PTSR}$	Задержка PTS		1.0		1.0		2.0		2.5		3.0
$t_{PTTS}$	Задержка РТОЕ		5.5		5.5		4.5		3.5		5.0
$t_{PDI}$	Задержка на комбинаторной логике		0.5		0.5		0.5		1.0		3.0
$t_{SUI}$	Предустановка данных на входе регистра	2.5		2.5		2.5		2.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	1.0		1.0		3.0		3.5		4.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.0		6.0		6.5		7.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	5.0		5.0		7.5		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		1.0		1.0		2.0		2.5		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		9.0		9.0		10.0		11.0		11.5
$t_F$	Задержка по обратной связи от ПМ		6.0		6.0		8.0		9.5		11.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		0.8		0.8		1.0		1.0		1.0
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		3.5		3.5		4.0		4.5		5.0

## Корпуса

Микросхема XC9536 может поставляться в трёх корпусах: PLCC-44, VQFP-44 и CSP-48. В Табл. 11 представлены контакты специального назначения для конкретного корпуса, все не указанные контак-

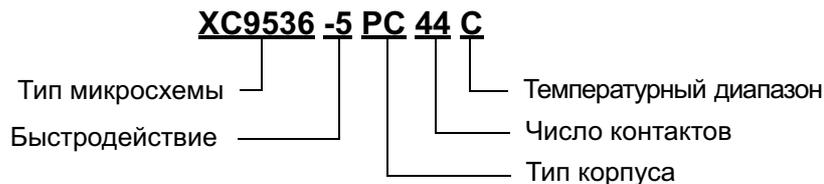
ты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, не глобальные.

**Табл. 11. Контакты специального назначения**

Назначение контакта	PLCC-44	VQFP-44	CSP-48
GCK1	5	43	B7
GCK2	6	44	B6
GCK3	7	1	A7
GTS1	42	36	E6
GTS2	40	34	F6
GSR	39	33	G7
TCK	17	11	A1
TDI	15	9	B3
TDO	30	24	G2
TMS	16	10	A2
V <sub>CCINT</sub> 5 В	21, 41	15, 35	C1, F7
V <sub>CCIO</sub> 3.3 В/5 В	32	26	G3
GND	23, 10, 31	17, 4, 25	A5, D1, F3
Не присоединены	-	-	C4, D3, D4, E4

## Обозначение микросхем XC9536

На Рис. 19 представлен способ обозначения МС XC9536 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.



### Градация по быстродействию

-15	15 нс задержка контакт-контакт
-10	10 нс задержка контакт-контакт
-7	7.5 нс задержка контакт-контакт
-6	6 нс задержка контакт-контакт
-5	5 нс задержка контакт-контакт

### Корпуса

PC44	44-Pin Plastic Leaded Chip Carrier (PLCC)
VQ44	44-Pin Thin Quad Pack (VQFP)
CS48	48-Pin Chip Scale Package (CSP)

### Температурные диапазоны

C	= Commercial (0 C ... +70 C)
I	= Industrial (-40 C ... +85 C)

**Рис. 19. Обозначение микросхем XC9536**

В Табл. 12 представлены все варианты выпускаемых в настоящее время МС XC9536

**Табл. 12. Варианты выпускаемых в настоящее время МС XC9536**

		PC-44	VQ-44	CS-48
<b>XC9536</b>	-15	C, I	C, I	-
	-10	C, I	C, I	C
	-7	C, I	C, I	C
	-6	C	C	-
	-5	C	C	C

## Микросхема XC9572

### Описание

МС XC9572 – высокопроизводительная ПЛИС семейства XC9500, ёмкостью 1 600 логических вентилей и минимальной задержкой распространения сигнала контакт-контакт 7.5 нс. МС XC9572 состоит из четырёх 36V18 функциональных блоков (72 МЯ).

### Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех МЯ из высокоскоростного режима в режим низкого потребления. Не использованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$$I_{CC}[\text{mA}] = MC_{HP} (1.7) + MC_{LP} (0.9) + MC (0.006) f$$

Где

$MC_{HP}$  – Количество макроячеек в высокопроизводительном режиме

$MC_{LP}$  - Количество макроячеек в режиме малого потребления

$MC$  – Общее количество задействованных макроячеек

$f$  – частота [МГц]

На Рис. 20 показано типичное потребление для XC9572 в обоих режимах.

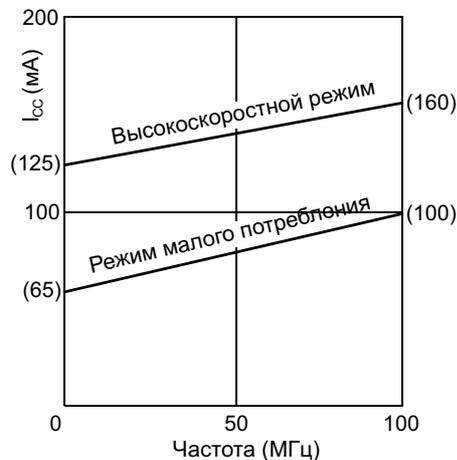


Рис. 20. Типичное потребление тока микросхемой XC9572

### Динамические параметры микросхем XC9572

В Табл. 13 приведены динамические параметры микросхем XC9572 в зависимости от дифференциации кристаллов по быстрдействию. Временные параметры даны в нс., а частоты в МГц.

Табл. 13. Динамические параметры микросхем XC9572

Обозначение	Параметр	XC9572-7		XC9572-10		XC9572-15	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{PD}$	Задержка вход МС – комбинаторная логика – выход МС		7.5		10.0		15.0
$t_{SU}$	Время установки глобального тактового сигнала	4.5		6.0		8.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		4.5		6.0		8.0
$t_{CNT}$	Частота работы 16-ти разрядного счетчика	125.0		111.1		95.2	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	83.3		66.7		55.6	
$t_{PSU}$	Время установки тактового сигнала РТС	0.5		2.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала РТС	4.0		4.0		4.0	
$t_{PCO}$	Задержка тактового сигнала РТС до выхода		8.5		10.0		12.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		5.5		6.0		11.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		5.5		6.0		11.0
$t_{POE}$	Задержка сигнала разрешения по цепи РТОЕ		9.5		10.0		14.0
$t_{POD}$	Задержка сигнала запрещения по цепи РТОЕ		9.5		10.0		14.0
$t_{WLH}$	Длительность ЕДИНИЦЫ или НУЛЯ тактового сигнала	4.0		4.5		5.5	

## Параметры временной модели

В Табл. 14 приведены параметры временной модели микросхем XC9572 в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

**Табл. 14. Динамические параметры микросхем XC9572**

Обозначение	Параметр	XC9572-7		XC9572-10		XC9572-15	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{IN}$	Задержка на входном буфере		2.5		3.5		4.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		1.5		2.5		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		4.5		6.0		7.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		5.5		6.0		11.0
$t_{OUT}$	Задержка на выходном буфере		2.5		3.0		4.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		3.0		3.0		3.0
$t_{PTSR}$	Задержка PTS		2.0		2.5		3.0
$t_{PTTS}$	Задержка PTOE		4.5		3.5		5.0
$t_{PDI}$	Задержка на комбинаторной логике		0.5		1.0		3.0
$t_{SUI}$	Предустановка данных на входе регистра	1.5		2.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	3.0		3.5		4.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.5		7.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	7.5		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		2.0		2.5		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		10.0		11.0		11.5
$t_F$	Задержка по обратной связи от ПМ		8.0		9.5		11.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		1.0		1.0		1.0
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		4.0		4.5		5.0

## Корпуса

Микросхема XC9572 может поставляться в четырёх корпусах: PLCC-44, PLCC-84 PQFP-100 и TQFP-100. В Табл. 15 представлены контакты специального назначения для конкретного корпуса, все не

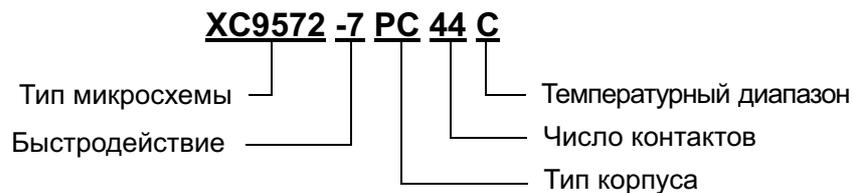
указанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, не глобальные.

**Табл. 15. Контакты специального назначения**

Назначение контакта	PLCC-44	PLCC-84	PQFP-100	TQFP-100
GCK1	5	9	24	22
GCK2	6	10	25	23
GCK3	7	12	29	27
GTS1	42	76	5	3
GTS2	40	77	6	4
GSR	39	74	1	99
TCK	17	30	50	48
TDI	15	28	47	45
TDO	30	59	85	83
TMS	16	29	49	47
$V_{CCINT} 5\text{ В}$	21, 41	38, 73, 78	7, 59, 100	5, 57, 98
$V_{CCIO} 3.3\text{ В}/5\text{ В}$	32	22, 64	28, 40, 53, 90	26, 38, 51, 88
GND	10, 23, 31	8, 16, 27, 42, 49, 60	2, 23, 33, 46, 64, 71, 77, 86	100, 21, 31, 44, 62, 69, 75, 84
Не присоединены	-		4, 9, 21, 26, 36, 45, 48, 75, 82	2, 7, 19, 24, 34, 43, 46, 73, 80

## Обозначение микросхем XC9572

На Рис. 21 представлен способ обозначения МС XC9572 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.



### Градации по быстродействию

-15	15 нс задержка контакт-контакт
-10	10 нс задержка контакт-контакт
-7	7.5 нс задержка контакт-контакт

### Корпуса

PC44 44-Pin Plastic Leaded Chip Carrier (PLCC)  
 PC84 84-Pin Plastic Leaded Chip Carrier (PLCC)  
 PQ100 100-Pin Plastic Quad Flat Pack (PQFP)  
 TQ100 100-Pin Very Thin Quad Flat Pack (TQFP)

### Температурный диапазон

C = Commercial (0 C to +70 C)  
 I = Industrial (-40 C to +85 C)

Рис. 21. Обозначение микросхем XC9572

В Табл. 16 представлены все варианты выпускаемых в настоящее время МС XC9572

Табл. 16. Варианты выпускаемых в настоящее время МС XC9572

		PC-44	PC-84	PQ-100	TQ-100
XC9572	-7	C	C	C	C
	-10	C,I	C,I	C,I	C,I
	-15	C,I	C,I	C,I	C,I

## Микросхема XC95108

### Описание

МС XC95108 – высокопроизводительная CPLD семейства XC9500. Состоит из 6-ти 36V18 функциональных блоков (108 МЯ), ёмкостью 2 400 логических вентилей. Минимальная задержка распространения сигнала контакт-контакт 7.5 нс.

### Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех МЯ из высокоскоростного режима в режим низкого потребления. Не использованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$$I_{CC}[\text{mA}] = MC_{HP} (1.7) + MC_{LP} (0.9) + MC (0.006) f$$

Где

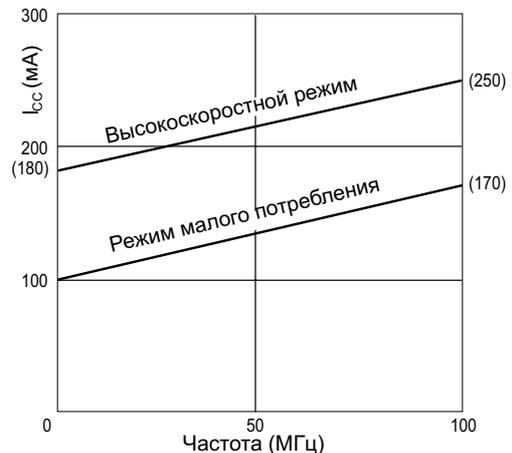
$MC_{HP}$  – Количество макроячеек в высокопроизводительном режиме

$MC_{LP}$  - Количество макроячеек в режиме малого потребления

$MC$  – Общее количество задействованных макроячеек

$f$  – частота [МГц]

На Рис. 22 показано типичное потребление для XC95108 в обоих режимах.



**Рис. 22: Типичное потребление тока микросхемой XC95108**

### Динамические параметры микросхем XC95108

В Табл. 17 приведены динамические параметры микросхем XC95108 в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс., а частоты в МГц.

**Табл. 17. Динамические параметры микросхем XC95108**

Обозначение	Параметр	XC95108-7		XC95108-10		XC95108-15		XC95108-20	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{PD}$	Задержка вход МС – комбинаторная логика – выход МС		7.5		10.0		15.0		20.0
$t_{SU}$	Время установки глобального тактового сигнала	4.5		6.0		8.0		10.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		4.5		6.0		8.0		10.0
$t_{CNT}$	Частота работы 16-ти разрядного счетчика	125.0		111.1		95.2		83.3	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	83.3		66.7		55.6		50.0	
$t_{PSU}$	Время установки тактового сигнала РТС	0.5		2.0		4.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала РТС	4.0		4.0		4.0		6.0	
$t_{PCO}$	Задержка тактового сигнала РТС до выхода		8.5		10.0		12.0		16.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		5.5		6.0		11.0		16.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		5.5		6.0		11.0		16.0
$t_{POE}$	Задержка сигнала разрешения по цепи РТОЕ		9.5		10.0		14.0		18.0
$t_{POD}$	Задержка сигнала запрещения по цепи РТОЕ		9.5		10.0		14.0		18.0
$t_{WLH}$	Длительность ЕДИНИЦЫ или НУЛЯ тактового сигнала	4.0		4.5		5.5		5.5	

## Параметры временной модели

В Табл. 18 приведены параметры временной модели микросхем XC95108 в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

Табл. 18. Динамические параметры микросхем XC95108

Обозначение	Параметр	XC95108-7		XC95108-10		XC95108-15		XC95108-20	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{IN}$	Задержка на входном буфере		2.5		3.5		4.5		6.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		1.5		2.5		3.0		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		4.5		6.0		7.5		9.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		5.5		6.0		11.0		16.0
$t_{OUT}$	Задержка на выходном буфере		2.5		3.0		4.5		6.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0		0.0
$t_{PTCK}$	Задержка РТС		3.0		3.0		2.5		2.5
$t_{PTSR}$	Задержка PTS		2.0		2.5		3.0		3.0
$t_{PTTS}$	Задержка РТОЕ		4.5		3.5		5.0		5.0
$t_{PDI}$	Задержка на комбинаторной логике		0.5		1.0		3.0		4.0
$t_{SUI}$	Предустановка данных на входе регистра	1.5		2.5		3.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	3.0		3.5		4.5		6.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.5		7.0		8.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	7.5		10.0		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		2.0		2.5		3.0		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		10.0		11.0		11.5		11.5
$t_F$	Задержка по обратной связи от ПМ		8.0		9.5		11.0		13.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		1.0		1.0		1.0		1.5
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		4.0		4.5		5.0		5.5

## Корпуса

Микросхема XC95108 может поставляться в четырёх корпусах: PLCC-84, PQFP-100, TQFP-100 и PQFP-160. В Табл. 19 представлены контакты специального назначения для конкретного корпуса,

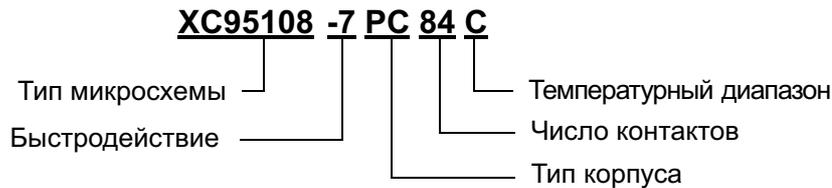
все не указанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, не глобальные.

**Табл. 19. Контакты специального назначения**

Назначение контакта	PLCC-84	PQFP-100	TQFP-100	PQFP-160
GCK1	9	24	22	33
GCK2	10	25	23	35
GCK3	12	29	27	42
GTS1	76	5	3	6
GTS2	77	6	4	8
GSR	74	1	99	159
TCK	30	50	48	75
TDI	28	47	45	71
TDO	59	85	83	136
TMS	29	49	47	73
V <sub>CCINT</sub> 5 В	38, 73, 78	7, 59, 100	5, 57, 98	10, 46, 94, 157
V <sub>CCIO</sub> 3.3 В/5 В	22, 64	28, 40, 53, 90	26, 38, 51, 88	1, 41, 61, 81, 121, 141
GND	8, 16, 27, 42, 49, 60	2, 23, 33, 46, 64, 71, 77, 86	100, 21, 31, 44, 62, 69, 75, 84	20, 31, 40, 51, 70, 80, 99, 100, 110, 120, 127, 137, 160
Не присоединены				3, 5, 7, 32, 38, 39, 48, 53, 55, 65, 66, 67, 83, 85, 93, 109, 118, 119, 125, 130, 131, 132, 149, 150, 151

**Обозначение микросхем XC95108**

На Рис. 23 представлен способ обозначения МС XC95108 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.


**Градация по быстродействию**

-20	20 нс задержка контакт-контакт
-15	15 нс задержка контакт-контакт
-10	10 нс задержка контакт-контакт
-7	7.5 нс задержка контакт-контакт

**Корпуса**

PC84 84-Pin Plastic Leaded Chip Carrier (PLCC)  
 PQ100 100-Pin Plastic Quad Flat Pack (PQFP)  
 TQ100 100-Pin Very Thin Quad Flat Pack (TQFP)  
 PQ160 160-Pin Plastic Quad Flat Pack (PQFP)

**Температурный диапазон**

C = Commercial (0 C to +70 C)  
 I = Industrial (-40 C to +85 C)

**Рис. 23. Обозначение микросхем XC95108**

В Табл. 20 представлены все варианты выпускаемых в настоящее время МС XC95108

**Табл. 20. Варианты выпускаемых в настоящее время МС XC95108**

		PC-84	PQ-100	PQ-160	TQ-100
<b>XC95108</b>	-7	C,I	C,I	C,I	C,I
	-10	C,I	C,I	C,I	C,I
	-15	C,I	C,I	C,I	C,I
	-20	C,I	C,I	C,I	C,I

## Микросхема XC95144

### Описание

МС XC95144 – высокопроизводительная CPLD семейства XC9500. Состоит из 8-ми 36V18 функциональных блоков (144 МЯ), ёмкостью 3 200 логических вентилях и минимальной задержкой распространения сигнала контакт-контакт 7.5 нс.

### Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех МЯ из высокоскоростного режима в режим низкого потребления. Не использованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$$I_{CC}[\text{mA}] = MC_{HP} (1.7) + MC_{LP} (0.9) + MC (0.006) f$$

Где

$MC_{HP}$  – Количество макроячеек в высокопроизводительном режиме

$MC_{LP}$  - Количество макроячеек в режиме малого потребления

$MC$  – Общее количество задействованных макроячеек

$f$  – частота [МГц]

На Рис. 24 показано типичное потребление для XC95144 в обоих режимах.

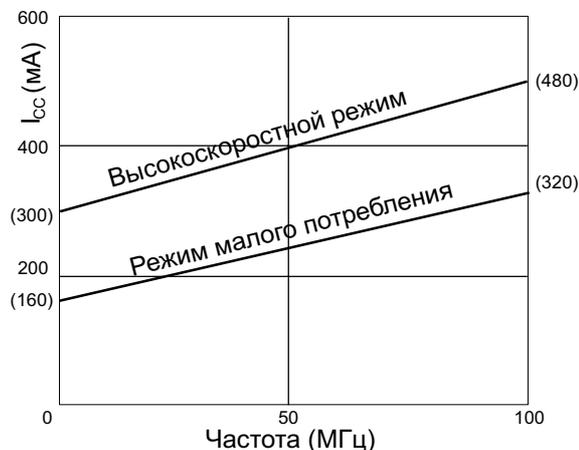


Рис. 24. Типичное потребление тока микросхемой XC95144

### Динамические параметры микросхем XC95144

В Табл. 21 приведены динамические параметры микросхем XC95144 в зависимости от дифференциации кристаллов по быстрдействию. Временные параметры даны в нс., а частоты в МГц.

Табл. 21. Динамические параметры микросхем XC95144

Обозначение	Параметр	XC95144-7		XC95144-10		XC95144-15	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{PD}$	Задержка вход МС – комбинаторная логика – выход МС		7.5		10.0		15.0
$t_{SU}$	Время установки глобального тактового сигнала	4.5		6.0		8.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		4.5		6.0		8.0
$t_{CNT}$	Частота работы 16-ти разрядного счетчика	125.0		111.1		95.2	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	83.3		66.7		55.6	
$t_{PSU}$	Время установки тактового сигнала РТС	0.5		2.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала РТС	4.0		4.0		4.0	
$t_{PCO}$	Задержка тактового сигнала РТС до выхода		8.5		10.0		12.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		5.5		6.0		11.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		5.5		6.0		11.0
$t_{POE}$	Задержка сигнала разрешения по цепи РТОЕ		9.5		10.0		14.0
$t_{POD}$	Задержка сигнала запрещения по цепи РТОЕ		9.5		10.0		14.0
$t_{WLH}$	Длительность ЕДИНИЦЫ или НУЛЯ тактового сигнала	4.0		4.5		5.5	

## Параметры временной модели

В Табл. 22 приведены параметры временной модели микросхем XC95144 в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

**Табл. 22. Динамические параметры микросхем XC95144**

Обозначение	Параметр	XC95144-7		XC95144-10		XC95144-15	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{IN}$	Задержка на входном буфере		2.5		3.5		4.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		1.5		2.5		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		4.5		6.0		7.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		5.5		6.0		11.0
$t_{OUT}$	Задержка на выходном буфере		2.5		3.0		4.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		3.0		3.0		3.0
$t_{PTSR}$	Задержка PTS		2.0		2.5		3.0
$t_{PTTS}$	Задержка PTOE		4.5		3.5		5.0
$t_{PDI}$	Задержка на комбинаторной логике		0.5		1.0		3.0
$t_{SUI}$	Предустановка данных на входе регистра	1.5		2.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	3.0		3.5		4.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.5		7.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	7.5		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		2.0		2.5		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		10.0		11.0		11.5
$t_F$	Задержка по обратной связи от ПМ		8.0		9.5		11.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		1.0		1.0		1.0
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		4.0		4.5		5.0

## Корпуса

Микросхема XC95144 может поставляться в трех корпусах: PQFP-100, TQFP-100 и PQFP-160. В Табл. 23 представлены контакты специального назначения для конкретного корпуса, все не указан-

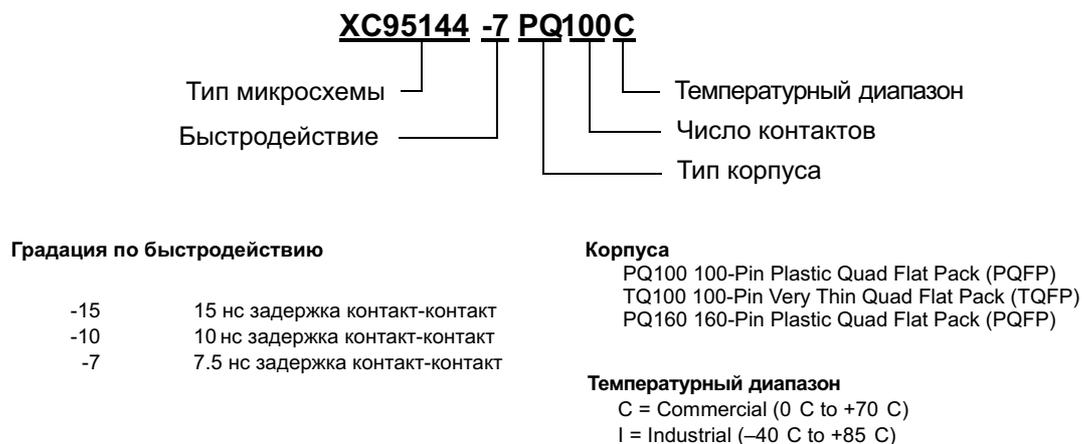
ные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, не глобальные.

**Табл. 23. Контакты специального назначения**

Назначение контакта	PQFP-100	TQFP-100	PQFP-160
GCK1	24	22	33
GCK2	25	23	35
GCK3	29	27	42
GTS1	5	3	6
GTS2	6	4	8
GSR	1	99	159
TCK	50	48	75
TDI	47	45	71
TDO	85	83	136
TMS	49	47	73
V <sub>CCINT</sub> 5 В	7, 59, 100	5, 57, 98	10, 46, 94, 157
V <sub>CCIO</sub> 3.3 В/5 В	28, 40, 53, 90	26, 38, 51, 88	1, 41, 61, 81, 121, 141
GND	2, 23, 33, 46, 64, 71, 77, 86	100, 21, 31, 44, 62, 69, 75, 84	20, 31, 40, 51, 70, 80, 99, 100, 110, 120, 127, 137, 160
Не присоединены			

## Обозначение микросхем XC95144

На Рис. 25 представлен способ обозначения МС XC95144 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.



**Рис. 25. Обозначение микросхем XC95144**

В Табл. 24 представлены все варианты выпускаемых в настоящее время МС XC95144

**Табл. 24. Варианты выпускаемых в настоящее время МС XC95144**

		PQ-100	PQ-160	TQ-100
<b>XC95144</b>	-7	C	C	C
	-10	C,I	C,I	C,I
	-15	C,I	C,I	C,I

## Микросхема XC95216

### Описание

МС XC95216 – высокопроизводительная CPLD семейства XC9500. Состоит из 12-ти 36V18 функциональных блоков (216 МЯ), ёмкостью 4 800 логических вентилей и минимальной задержкой распространения сигнала контакт-контакт 10 нс.

### Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех МЯ из высокоскоростного режима в режим низкого потребления. Не использованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$$I_{CC}[\text{mA}] = MC_{HP} (1.7) + MC_{LP} (0.9) + MC (0.006) f$$

Где

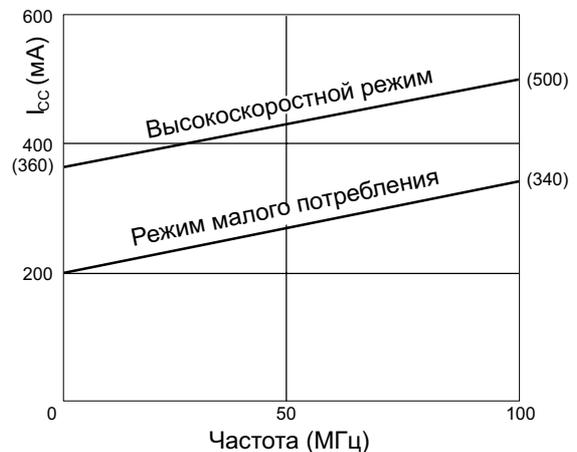
$MC_{HP}$  – Количество макроячеек в высокопроизводительном режиме

$MC_{LP}$  - Количество макроячеек в режиме малого потребления

$MC$  – Общее количество задействованных макроячеек

$f$  – частота [МГц]

На Рис. 26 показано типичное потребление для XC95216 в обоих режимах.



**Рис. 26:** Типичное потребление тока микросхемой XC95216

### Динамические параметры микросхем XC95216

В Табл. 25 приведены динамические параметры микросхем XC95216 в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс., а частоты в МГц.

**Табл. 25.** Динамические параметры микросхем XC95216

Обозначение	Параметр	XC95216-10		XC95216-15		XC95216-20	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{PD}$	Задержка вход МС – комбинаторная логика – выход МС		10.0		15.0		20.0
$t_{SU}$	Время установки глобального тактового сигнала	6.0		8.0		10.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		6.0		8.0		10.0
$t_{CNT}$	Частота работы 16-ти разрядного счетчика	111.1		95.2		83.3	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	66.7		55.6		50.0	
$t_{PSU}$	Время установки тактового сигнала РТС	2.0		4.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала РТС	4.0		4.0		6.0	
$t_{PCO}$	Задержка тактового сигнала РТС до выхода		10.0		12.0		16.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		6.0		11.0		16.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		6.0		11.0		16.0
$t_{POE}$	Задержка сигнала разрешения по цепи РТОЕ		10.0		14.0		18.0
$t_{POD}$	Задержка сигнала запрещения по цепи РТОЕ		10.0		14.0		18.0
$t_{WLN}$	Длительность ЕДИНИЦЫ или НУЛЯ тактового сигнала	4.5		5.5		5.5	

## Параметры временной модели

В Табл. 26 приведены параметры временной модели микросхем XC95216 в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

Табл. 26. Динамические параметры микросхем XC95216

Обозначение	Параметр	XC95216-10		XC95216-15		XC95216-20	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{IN}$	Задержка на входном буфере		3.5		4.5		6.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		2.5		3.0		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		6.0		7.5		9.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		6.0		11.0		16.0
$t_{OUT}$	Задержка на выходном буфере		3.0		4.5		6.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка РТС		3.0		3.0		3.0
$t_{PTSR}$	Задержка PTS		2.5		3.0		3.0
$t_{PTTS}$	Задержка РТОЕ		3.5		5.0		5.0
$t_{PDI}$	Задержка на комбинаторной логике		1.0		3.0		4.0
$t_{SUI}$	Предустановка данных на входе регистра	2.5		3.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	3.5		4.5		6.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		7.0		8.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	10.0		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		2.5		3.0		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		11.0		11.5		11.5
$t_F$	Задержка по обратной связи от ПМ		9.5		11.0		13.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		1.0		1.0		1.5
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		4.5		5.0		5.5

## Корпуса

Микросхема XC95216 может поставляться в трех корпусах: PQFP-160, HQFP-208 и BGA-352. В Табл. 27 представлены контакты специального назначения для конкретного корпуса, все не указанные кон-

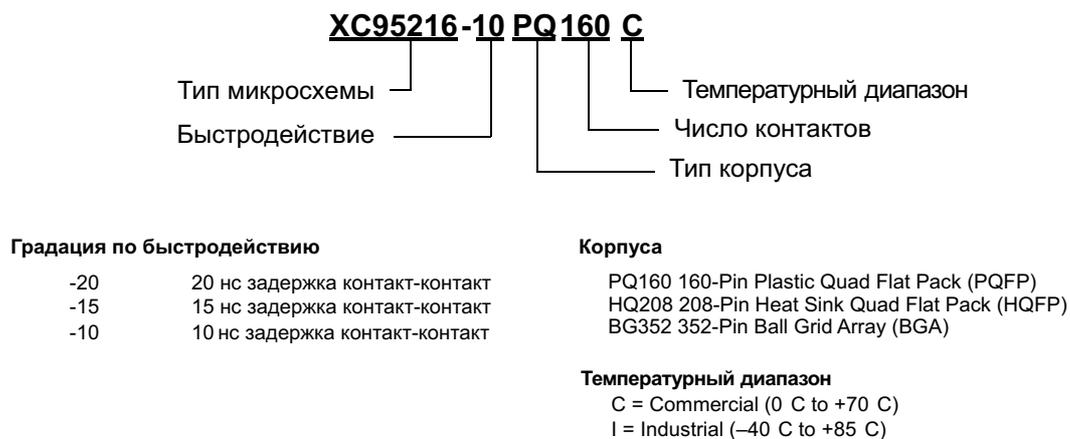
такты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, не глобальные.

**Табл. 27. Контакты специального назначения**

Назначение контакта	PQFP-160	HQFP-208	BGA-352
GCK1	33	44	Y24
GCK2	35	46	AA24
GCK3	42	55	AD23
GTS1	6	7	E25
GTS2	8	9	F26
GTS3	2	3	E23
GTS4	4	5	E24
GSR	159	206	C23
TCK	75	98	AD6
TDI	71	94	AF6
TDO	136	176	D12
TMS	73	96	AE6
V <sub>CCINT</sub> 5 В	10, 46, 94, 157	11, 59, 124, 153, 204	H24, AF23, T1, G4, C22
V <sub>CCIO</sub> 3.3 В/5 В	1, 41, 61, 81, 121, 141	1, 26, 53, 65, 79, 92, 105, 132, 157, 172, 181, 184	A10, A17, B2, B25, D7, D13, D19, G23, H4, K1, K26, N23, P4, U1, U26, W23, Y4, AC8, AC14, AC20, AE25, AF10, AF17
GND	20, 31, 40, 51, 70, 80, 99, 100, 110, 120, 127, 137, 160	2, 13, 24, 27, 42, 52, 66, 68, 69, 81, 93, 104, 108, 129, 130, 141, 156, 163, 177, 190, 207	A1, A2, A5, A8, A14, A19, A22, A25, A26, B1, B26, C7, E1, E26, H1, H26, N1, P3, P26, V23, W1, W26, AB1, AB4, AB26, AC9, AC17, AE1, AE26, AF1, AF2, AF5, AF8, AF13, AF19, AF20, AF22, AF25, AF26
Не присоединены			A4, A11, A18, A23, A24, B4, B8, B10, B13, B16, B17, B21, B23, C1, C2, C3, C4, C5, C8, C9, C11, C13, C18, C21, C24, C25, D1, D3, D4, D5, D10, D14, D16, D17, D21, D23, D24, D25, D26, E3, E4, F1, F3, F23, F25, G25, J2, J3, J23, J24, J26, K2, K4, L4, L23, L25, M2, M23, N24, P2, R23, R25, T3, T4, T24, U25, V1, V24, V25, W3, W4, W24, Y2, Y3, Y25, AA3, AA25, AB3, AB23, AC2, AC4, AC6, AC11, AC15, AC16, AC18, AC21, AC22, AC23, AC24, AC25, AD5, AD10, AD11, AD14, AD15, AD16, AD17, AD20, AD21, AD22, AD24, AD26, AE2, AE4, AE7, AE10, AE15, AE18, AE19, AF3, AF4, AF9, AF12, AF15

## Обозначение микросхем XC95216

На Рис. 27 представлен способ обозначения МС XC95216 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.



**Рис. 27. Обозначение микросхем XC95216**

В Табл. 28 представлены все варианты выпускаемых в настоящее время МС XC95216

**Табл. 28. Варианты выпускаемых в настоящее время МС XC95216**

		PQ160	HQ208	BG352
<b>XC95216</b>	-10	C,I	C,I	C,I
	-15	C,I	C,I	C,I
	-20	C,I	C,I	C,I

## Микросхема XC95288

### Описание

МС XC95288 – высокопроизводительная CPLD семейства XC9500. Состоит из 16-ти 36V18 функциональных блоков (288 МЯ), ёмкостью 6 400 логических вентилей и минимальной задержкой распространения сигнала контакт-контакт 10 нс.

### Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех МЯ из высокоскоростного режима в режим низкого потребления. Не использованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$$I_{CC}[\text{mA}] = MC_{HP} (1.7) + MC_{LP} (0.9) + MC (0.006) f$$

Где

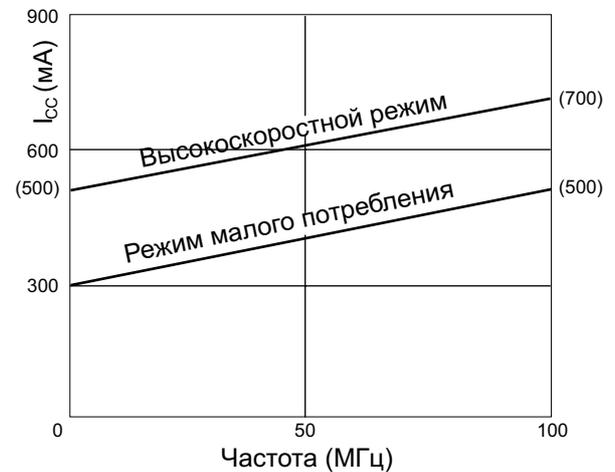
$MC_{HP}$  – Количество макроячеек в высокопроизводительном режиме

$MC_{LP}$  - Количество макроячеек в режиме малого потребления

$MC$  – Общее количество задействованных макроячеек

$f$  – частота [МГц]

На Рис. 28 показано типичное потребление для XC95288 в обоих режимах.



**Рис. 28:** Типичное потребление тока микросхемой XC95288

### Динамические параметры микросхем XC95288

В Табл. 29 приведены динамические параметры микросхем XC95288 в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс., а частоты в МГц.

**Табл. 29.** Динамические параметры микросхем XC95288

Обозначение	Параметр	XC95288-10		XC95288-15		XC95288-20	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{PD}$	Задержка вход МС – комбинаторная логика – выход МС		10.0		15.0		20.0
$t_{SU}$	Время установки глобального тактового сигнала	6.0		8.0		10.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		6.0		8.0		10.0
$t_{CNT}$	Частота работы 16-ти разрядного счетчика	111.1		95.2		83.3	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	66.7		55.6		50.0	
$t_{PSU}$	Время установки тактового сигнала РТС	2.0		4.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала РТС	4.0		4.0		6.0	
$t_{PCO}$	Задержка тактового сигнала РТС до выхода		10.0		12.0		16.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		6.0		11.0		16.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		6.0		11.0		16.0
$t_{POE}$	Задержка сигнала разрешения по цепи РТОЕ		10.0		14.0		18.0
$t_{POD}$	Задержка сигнала запрещения по цепи РТОЕ		10.0		14.0		18.0
$t_{WLN}$	Длительность ЕДИНИЦЫ или НУЛЯ тактового сигнала	4.5		5.5		5.5	

## Параметры временной модели

В Табл. 30 приведены параметры временной модели микросхем XC95288 в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

Табл. 30. Динамические параметры микросхем XC95288

Обозначение	Параметр	XC95288-10		XC95288-15		XC95288-20	
		Мин.	Макс.	Мин.	Макс.	Мин.	Макс.
$t_{IN}$	Задержка на входном буфере		3.5		4.5		6.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		2.5		3.0		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		6.0		7.5		9.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		6.0		11.0		16.0
$t_{OUT}$	Задержка на выходном буфере		3.0		4.5		6.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка РТС		3.0		3.0		3.0
$t_{PTSR}$	Задержка PTS		2.5		3.0		3.0
$t_{PTTS}$	Задержка РТОЕ		3.5		5.0		5.0
$t_{PDI}$	Задержка на комбинаторной логике		1.0		3.0		4.0
$t_{SUI}$	Предустановка данных на входе регистра	2.5		3.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	3.5		4.5		6.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		7.0		8.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	10.0		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		2.5		3.0		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		11.0		11.5		11.5
$t_F$	Задержка по обратной связи от ПМ		9.5		11.0		13.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		1.0		1.0		1.5
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		4.5		5.0		5.5

## Корпуса

Микросхема XC95288 может поставляться в корпусах: HQFP-208 и BGA-352. В Табл. 31 представлены контакты специального назначения для конкретного корпуса, все не указанные контакты являются

пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, не глобальные.

**Табл. 31. Контакты специального назначения**

Назначение контакта	HQFP-208	BGA-352
GCK1	44	Y24
GCK2	46	AA24
GCK3	55	AD23
GTS1	7	E25
GTS2	9	F26
GTS3	3	E23
GTS4	5	E24
GSR	206	C23
TCK	98	AD6
TDI	94	AF6
TDO	176	D12
TMS	96	AE6
V <sub>CCINT</sub> 5 В	11, 59, 124, 153, 204	H24, AF23, T1, G4, C22
V <sub>CCIO</sub> 3.3 В/5 В	1, 26, 53, 65, 79, 92, 105, 132, 157, 172, 181, 184	A10, A17, B2, B25, D7, D13, D19, G23, H4, K1, K26, N23, P4, U1, U26, W23, Y4, AC8, AC14, AC20, AE25, AF10, AF17
GND	2, 13, 24, 27, 42, 52, 66, 68, 69, 81, 93, 104, 108, 129, 130, 141, 156, 163, 177, 190, 207	A1, A2, A5, A8, A14, A19, A22, A25, A26, B1, B26, C7, E1, E26, H1, H26, N1, P3, P26, V23, W1, W26, AB1, AB4, AB26, AC9, AC17, AE1, AE26, AF1, AF2, AF5, AF8, AF13, AF19, AF20, AF22, AF25, AF26
Не присоединены		A18, A23, A24, B4, B8, B10, B23, C1, C2, C3, C4, C5, C8, C11, C24, C25, D1, D3, D4, D14, D16, D21, D23, D25, E3, E4, F3, F23, G25, J2, J24, J26, K2, L4, L23, P2, T3, T4, T24, U25, V25, W3, W24, Y2, AB3, AB23, AC2, AC4, AC6, AC11, AC16, AC17, AC21, AC23, AC24, AC25, AD16, AD21, AD24, AD26, AE2, AE4, AE10, AE15, AF3, AF4, AF9, AF20

## Обозначение микросхем XC95288

На Рис. 29 представлен способ обозначения MC XC95288 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.



**Рис. 29. Обозначение микросхем XC95288**

В Табл. 32 представлены все варианты выпускаемых в настоящее время МС XC95288

**Табл. 32. Варианты выпускаемых в настоящее время МС XC95288**

		HQ208	BG352
XC95288	-10	C	C
	-15	C,I	C,I
	-20	C,I	C,I

## Содержание

ОСОБЕННОСТИ СЕМЕЙСТВА.....	1
ОБЗОР СЕМЕЙСТВА .....	1
ОПИСАНИЕ АРХИТЕКТУРЫ СЕМЕЙСТВА XC9500.....	2
Функциональный блок .....	3
Макрочейка.....	3
Распределитель термов .....	5
Быстродействующая переключающая матрица .....	6
Блок ввода-вывода.....	7
ВОЗМОЖНОСТЬ ЗАКРЕПЛЕНИЯ КОНТАКТОВ.....	9
ПРОГРАММИРОВАНИЕ В СИСТЕМЕ .....	9
ПРОТОКОЛ ПЕРИФЕРИЙНОГО СКАНИРОВАНИЯ IEEE STD. 1149.1 .....	10
ЗАЩИТА ПРОЕКТА ОТ КОПИРОВАНИЯ .....	10
РЕЖИМ ПОНИЖЕННОГО ПОТРЕБЛЕНИЯ ЭНЕРГИИ.....	10
МОДЕЛЬ ЗАДЕРЖЕК РАСПРОСТРАНЕНИЯ СИГНАЛОВ .....	10
ХАРАКТЕРИСТИКИ ПРИ ВКЛЮЧЕНИИ ПИТАНИЯ .....	12
ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ПРОЕКТИРОВАНИЯ.....	13
ТЕХНОЛОГИЯ ПРОИЗВОДСТВА.....	13
ХАРАКТЕРИСТИКИ СЕМЕЙСТВА XC9500 ПО ПОСТОЯННОМУ ТОКУ .....	14
СОПРЯЖЕНИЕ С АНАЛОГОВЫМИ ЭЛЕМЕНТАМИ .....	14
<b>МИКРОСХЕМА XC9536 .....</b>	<b>15</b>
Описание.....	15
Потребление тока .....	15
Динамические параметры микросхем XC9536.....	15
Параметры временной модели .....	16
Корпуса .....	17
Обозначение микросхем XC9536 .....	17
<b>МИКРОСХЕМА XC9572 .....</b>	<b>18</b>
Описание.....	18
Потребление тока .....	18
Динамические параметры микросхем XC9572.....	18
Параметры временной модели .....	19
Корпуса .....	19
Обозначение микросхем XC9572 .....	20
<b>МИКРОСХЕМА XC95108 .....</b>	<b>21</b>
Описание.....	21
Потребление тока .....	21
Динамические параметры микросхем XC95108 .....	21
Параметры временной модели .....	22
Корпуса .....	22
Обозначение микросхем XC95108 .....	23
<b>МИКРОСХЕМА XC95144 .....</b>	<b>24</b>
Описание.....	24
Потребление тока .....	24
Динамические параметры микросхем XC95144 .....	24
Параметры временной модели .....	25
Корпуса .....	25
Обозначение микросхем XC95144 .....	26
<b>МИКРОСХЕМА XC95216 .....</b>	<b>27</b>
Описание .....	27
Потребление тока.....	27
Динамические параметры микросхем XC95216 .....	27
Параметры временной модели.....	28
Корпуса .....	28
Обозначение микросхем XC95216.....	30
<b>МИКРОСХЕМА XC95288 .....</b>	<b>31</b>
Описание .....	31
Потребление тока.....	31
Динамические параметры микросхем XC95288 .....	31
Параметры временной модели.....	32
Корпуса .....	33
Обозначение микросхем XC95288.....	33